

# LB11922 — モノリシックデジタル集積回路 0A 用 3相ブラシレスモータプリドライバ

LB11922 は、3相ブラシレスモータの固定速制御用に適したプリドライバ IC である。出力にディスクリット Tr 等を付けることにより、希望の出力能力(電圧, 電流)を持ったモータ駆動回路を構成できる。ダイレクト PWM 駆動により、パワーロスの少ない駆動が可能である。

## 機能および特長

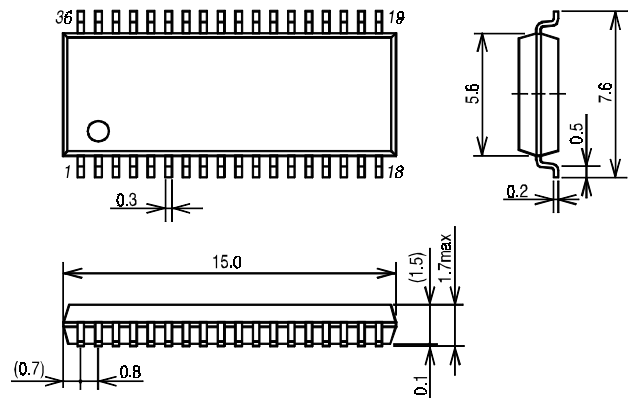
- ・ダイレクト PWM 駆動用出力
- ・速度ディスクリ+PLL 速度制御方式
- ・速度ロック検知出力
- ・水晶発振回路内蔵
- ・正逆転切替え回路内蔵
- ・ショートブレーキ回路内蔵
- ・電流制限回路, 過熱保護回路, モータ拘束保護回路等の各種保護回路内蔵

## 絶対最大定格/Ta=25°C

項目	記号	条件	定格値	unit
最大電源電圧	V <sub>CC max</sub>		8	V
最大入力電流	I <sub>REG max</sub>	VREG 端子	2	mA
出力電流	I <sub>O max</sub>	UH, VH, WH, UL, VL, WL 出力	30	mA
許容消費電力 1	P <sub>d max1</sub>	IC 単体	0.62	W
許容消費電力 2	P <sub>d max2</sub>	基板付き (114.3mm×76.1mm×1.6mm ガラスエポキシ樹脂)	1.36	W
動作周囲温度	T <sub>opr</sub>		-20~+80	°C
保存周囲温度	T <sub>stg</sub>		-55~+150	°C

外形図 3247A

(unit: mm)



■本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。

■本書記載の規格値(最大定格、動作条件範囲等)を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。

SANYO : SSOP36(275mil)

# LB11922

## 許容動作範囲/ $T_a=25^{\circ}\text{C}$

項目	記号	条件	定格値	unit
入力電流範囲	IREG	VREG 端子 (7V)	0.2~1.5	mA
FG シュミットアウト 印加電圧	VFGS		0~7	V
FG シュミットアウト 出力電流	IFGS		0~5	mA
ロック検出印加電圧	VLD		0~7	V
ロック検出出力電流	ILD		0~20	mA
電源電圧	VCC		4.4~7.0	V

## 電気的特性/ $T_a=25^{\circ}\text{C}$ , $V_{CC}=6.3\text{V}$

項目	記号	条件	min	typ	max	unit
電源電流 1	$I_{CC1}$			22	30.5	mA
電源電流 2	$I_{CC2}$	STOP 時		2.4	3.4	mA
電源電流 3	$I_{CC3}$	$V_{CC}=5\text{V}$		21	28	mA
電源電流 4	$I_{CC4}$	$V_{CC}=5\text{V}$ STOP 時		2.1	2.9	mA
出力飽和電圧 1-1	$V_{O\ sat1-1}$	「L」レベル $I_O=400\mu\text{A}$		0.1	0.3	V
出力飽和電圧 1-2	$V_{O\ sat1-2}$	「L」レベル $I_O=10\text{mA}$		0.8	1.2	V
出力飽和電圧 2	$V_{O\ sat2}$	「H」レベル $I_O=-20\text{mA}$	$V_{CC}-1.2$	$V_{CC}-0.9$		V
[ホールアンプ]						
入力バイアス電流	IHB(HA)		-2	-0.1		$\mu\text{A}$
同相入力電圧範囲 1	VICM1	ホール素子使用時	0.5		$V_{CC}-2.0$	V
同相入力電圧範囲 2	VICM2	入力片側バイアス時 (ホール IC 応用)	0		$V_{CC}$	V
ホール入力感度		SIN 波	100			mVp-p
ヒステリシス幅	$\Delta\text{VIN(HA)}$		20	30	50	mV
入力電圧 L→H	VSLH		9	17	29	mV
入力電圧 H→L	VSHL		-25	-13	-5	mV
[PWM 発振器]						
出力 H レベル電圧 1	$V_{OH(PWM)1}$		3.5	3.8	4.1	V
出力 H レベル電圧 2	$V_{OH(PWM)2}$	$V_{CC}=5\text{V}$	2.75	3.0	3.25	V
出力 L レベル電圧 1	$V_{OL(PWM)1}$		1.8	2.1	2.4	V
出力 L レベル電圧 2	$V_{OL(PWM)2}$	$V_{CC}=5\text{V}$	1.45	1.65	1.9	V
発振周波数	$f(PWM)$	$C=560\text{pF}$		22		kHz
振幅 1	$V(PWM)1$		1.4	1.7	2.0	Vp-p
振幅 2	$V(PWM)2$	$V_{CC}=5\text{V}$	1.1	1.35	1.6	Vp-p

次ページへ続く。

# LB11922

前ページより続く。

項目	記号	条件	min	typ	max	unit
[CSD 発振器]						
出力H レベル電圧 1	V <sub>OH</sub> (CSD) 1		3.95	4.4	4.85	V
出力H レベル電圧 2	V <sub>OH</sub> (CSD) 2	V <sub>CC</sub> =5V	3.15	3.5	3.85	V
出力L レベル電圧 1	V <sub>OL</sub> (CSD) 1		1.1	1.4	1.7	V
出力L レベル電圧 2	V <sub>OL</sub> (CSD) 2	V <sub>CC</sub> =5V	0.9	1.1	1.3	V
外付け C 充電電流	ICHG1		-13	-9	-6	μA
外付け C 放電電流	ICHG2		8	12	16	μA
発振周波数	f(RK)	C=0.068μF		22		Hz
振幅 1	V(RK) 1		2.65	3.0	3.35	V <sub>p-p</sub>
振幅 2	V(RK) 2	V <sub>CC</sub> =5V	2.1	2.4	2.65	V <sub>p-p</sub>
[水晶発振器]						
動作周波数範囲	f <sub>OSC</sub>		3		10	MHz
L レベル端子電圧	V <sub>OSCL</sub>	I <sub>OSC</sub> =-0.3mA		1.65		V
H レベル端子電流	I <sub>OSCH</sub>	V <sub>OSC</sub> =V <sub>OSCL</sub> +0.3V		0.35		mA
[電流制限動作]						
リミッタ	VRF		0.235	0.260	0.285	V
[熱しや断動作]						
熱しや断動作温度	TTSD	設計目標値※	150	180		°C
ヒステリシス幅	ΔTSD	設計目標値※		30		°C
[VREG 端子]						
VREG 端子電圧	VREG	I=500μA	6.6	7.0	7.4	V
[低電圧保護]						
動作電圧	VSDL		3.55	3.75	4.00	V
解除電圧	VSDH		3.85	4.03	4.25	V
ヒステリシス幅	ΔVSD		0.18	0.28	0.38	V
[FG アンプ]						
入力オフセット電圧	V <sub>IO</sub> (FG)		-10		10	mV
入力バイアス電流	I <sub>B</sub> (FG)		-1		1	μA
出力H レベル電圧 1	V <sub>OH</sub> (FG) 1	IFGI=-0.1mA, 無負荷	4.2	4.6	5.0	V
出力H レベル電圧 2	V <sub>OH</sub> (FG) 2	IFGI=-0.1mA, 無負荷, V <sub>CC</sub> =5V	3.6	3.95	4.3	V
出力L レベル電圧 1	V <sub>OL</sub> (FG) 1	IFGI=0.1mA, 無負荷	1.3	1.7	2.1	V
出力L レベル電圧 2	V <sub>OL</sub> (FG) 2	IFGI=0.1mA, 無負荷, V <sub>CC</sub> =5V	0.7	1.05	1.4	V
FG 入力感度		GAIN 100 倍	3			mV
次段のシュミット幅			100	180	250	mV
動作周波数範囲					2	kHz
オープンループ GAIN		f(FG)=2kHz	45	51		dB
基準電圧	V <sub>B</sub> (FG)		-5%	V <sub>CC</sub> /2	5%	V

※設計目標値であり、測定は行わない。

次ページへ続く。

# LB11922

前ページより続く。

項目	記号	条件	min	typ	max	unit
[FGS 出力]						
出力飽和電圧	$V_O$ (FGS)	$I_O$ (FGS)=2mA		0.2	0.4	V
出力リーク電流	$I_L$ (FGS)	$V_O=V_{CC}$			10	$\mu$ A
[速度ディスタクリ出力]						
出力H レベル電圧	$V_{OH}$ (D)		$V_{CC}-1.0$	$V_{CC}-0.7$		V
出力L レベル電圧	$V_{OL}$ (D)			0.8	1.1	V
[速度制御 PLL 出力]						
出力H レベル電圧 1	$V_{OH}$ (P) 1		4.05	4.30	4.65	V
出力H レベル電圧 2	$V_{OH}$ (P) 2	$V_{CC}=5V$	3.25	3.50	3.85	V
出力L レベル電圧 1	$I_{OL}$ (P) 1		1.85	2.15	2.45	V
出力L レベル電圧 2	$I_{OL}$ (P) 2	$V_{CC}=5V$	1.25	1.60	1.85	V
[ロック検出]						
出力飽和電圧	$V_{OL}$ (LD)	ILD=10mA		0.25	0.4	V
出力リーク電流	$I_L$ (LD)	$V_O=V_{CC}$			10	$\mu$ A
ロック範囲			-6.25		+6.25	%
[積分器]						
入力オフセット電圧	$V_{IO}$ (INT)	設計目標値※	-10		10	mV
入力バイアス電流	$I_B$ (INT)		-0.4		0.4	$\mu$ A
出力H レベル電圧 1	$V_{OH}$ (INT) 1	IINTI=-0.1mA, 無負荷	4.1	4.4	4.7	V
出力H レベル電圧 2	$V_{OH}$ (INT) 2	IINTI=-0.1mA, 無負荷, $V_{CC}=5V$	3.45	3.7	3.95	V
出力L レベル電圧 1	$V_{OL}$ (INT) 1	IINTI=0.1mA, 無負荷	1.2	1.4	1.65	V
出力L レベル電圧 2	$V_{OL}$ (INT) 2	IINTI=0.1mA, 無負荷, $V_{CC}=5V$	1.1	1.3	1.5	V
オープンループ GAIN			45	51		dB
利得帯域幅積		設計目標値※		1.0		MHz
基準電圧	$V_B$ (INT)	設計目標値※	-5%	$V_{CC}/2$	5%	V
[S/S 端子]						
入力H レベル電圧	$V_{IH}$ (S/S)	$V_{CC}=6.3V, 5V$	2.0		$V_{CC}$	V
入力L レベル電圧	$V_{IL}$ (S/S)	$V_{CC}=6.3V, 5V$	0		1.0	V
入力オープン電圧	$V_{IO}$ (S/S)		$V_{CC}-0.5$		$V_{CC}$	V
ヒステリシス幅	$\Delta V_{IN}$ (S/S)	$V_{CC}=6.3V, 5V$	0.13	0.22	0.31	V
H レベル入力電流	$I_{IH}$ (S/S)	$V_S/S=V_{CC}$	-10	0	10	$\mu$ A
L レベル入力電流	$I_{IL}$ (S/S)	$V_S/S=0V$	-170	-118		$\mu$ A
プルアップ抵抗	$R_U$ (S/S)		37	53.5	70	k $\Omega$

※設計目標値であり、測定は行わない。

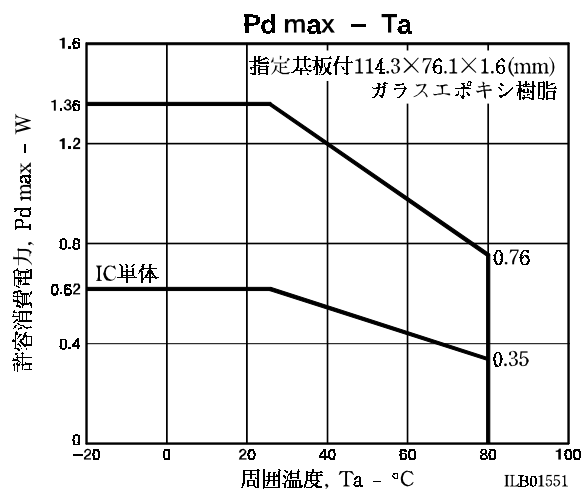
次ページへ続く。

# LB11922

前ページより続く。

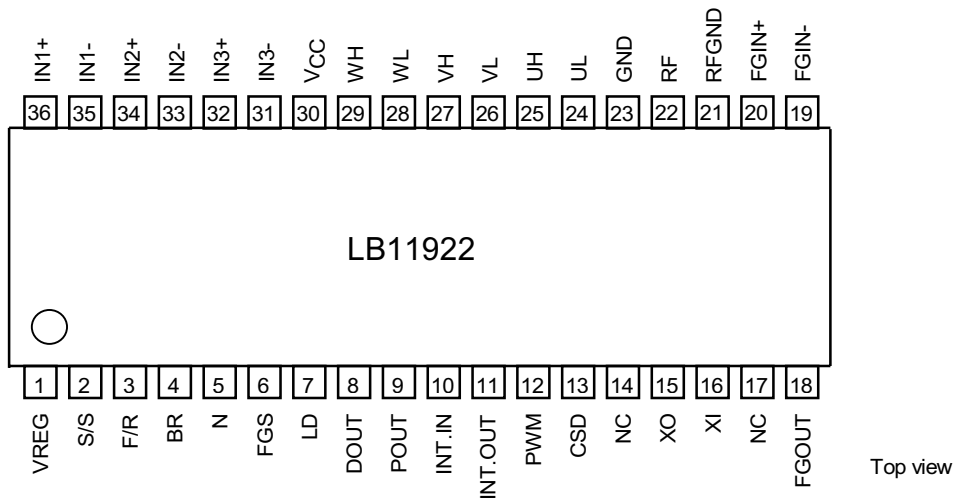
項目	記号	条件	min	typ	max	unit
[F/R 端子]						
入力H レベル電圧	$V_{IH}(F/R)$	$V_{CC}=6.3V, 5V$	2.0		$V_{CC}$	V
入力L レベル電圧	$V_{IL}(F/R)$	$V_{CC}=6.3V, 5V$	0		1.0	V
入力オープン電圧	$V_{IO}(F/R)$		$V_{CC}-0.5$		$V_{CC}$	V
ヒステリシス幅	$\Delta V_{IN}(F/R)$	$V_{CC}=6.3V, 5V$	0.13	0.22	0.31	V
H レベル入力電流	$I_{IH}(F/R)$	$V_{F/R}=V_{CC}$	-10	0	10	$\mu A$
L レベル入力電流	$I_{IL}(F/R)$	$V_{F/R}=0V$	-170	-118		$\mu A$
プルアップ抵抗	$R_U(F/R)$		37	53.5	70	$k\Omega$
[BR 端子]						
入力H レベル電圧	$V_{IH}(BR)$	$V_{CC}=6.3V, 5V$	2.0		$V_{CC}$	V
入力L レベル電圧	$V_{IL}(BR)$	$V_{CC}=6.3V, 5V$	0		1.0	V
入力オープン電圧	$V_{IO}(BR)$		$V_{CC}-0.5$		$V_{CC}$	V
ヒステリシス幅	$\Delta V_{IN}(BR)$	$V_{CC}=6.3V, 5V$	0.13	0.22	0.31	V
H レベル入力電流	$I_{IH}(BR)$	$V_{BR}=V_{CC}$	-10	0	10	$\mu A$
L レベル入力電流	$I_{IL}(BR)$	$V_{BR}=0V$	-170	-118		$\mu A$
プルアップ抵抗	$R_U(BR)$		37	53.5	70	$k\Omega$
[N 端子]						
入力H レベル電圧	$V_{IH}(N)$	$V_{CC}=6.3V, 5V$	2.0		$V_{CC}$	V
入力L レベル電圧	$V_{IL}(N)$	$V_{CC}=6.3V, 5V$	0		1.0	V
入力オープン電圧	$V_{IO}(N)$		$V_{CC}-0.5$		$V_{CC}$	V
ヒステリシス幅	$\Delta V_{IN}(N)$	設計目標値※, $V_{CC}=6.3V, 5V$	0.13	0.22	0.31	V
H レベル入力電流	$I_{IH}(N)$	$V_N=V_{CC}$	-10	0	10	$\mu A$
L レベル入力電流	$I_{IL}(N)$	$V_N=0V$	-170	-118		$\mu A$
プルアップ抵抗	$R_U(N)$		37	53.5	70	$k\Omega$

※設計目標値であり、測定は行わない。



# LB11922

## ピン配置図



### 速度ディスクリカウント数

N	カウント数
Hまたはオープン	512
L	1024

$$f_{FG} = f_{OSC} \div (16 \times \text{カウント数})$$

### 3相ロジック真理値表 (IN Hとは、IN<sup>+</sup> > IN<sup>-</sup>の状態を示す)

	F/R=L			F/R=H			出力	
	IN1	IN2	IN3	IN1	IN2	IN3	PWM	-
1	H	L	H	L	H	L	VH	UL
2	H	L	L	L	H	H	WH	UL
3	H	H	L	L	L	H	WH	VL
4	L	H	L	H	L	H	UH	VL
5	L	H	H	H	L	L	UH	WL
6	L	L	H	H	H	L	VH	WL

#### S/S 端子

Hまたはオープン	ストップ
L	スタート

#### BRK 端子

Hまたはオープン	ブレーキ
L	解除

# LB11922

## 端子説明

端子番号	端子記号	等価回路図	端子説明
1	VREG		7V ショントレギュレータ出力端子。
2	S/S		スタート/ストップ制御端子。 「L」: 0V~1.0V 「H」: 2.0V~V <sub>CC</sub> オープン時、「H」レベルとなる。 「L」でスタート。 「H」または「オープン」でストップ。 ヒステリシス幅 約 0.22V。
3	F/R		正転/逆転 制御端子。 「L」: 0V~1.0V 「H」: 2.0V~V <sub>CC</sub> オープン時、「H」レベルとなる。 「L」で正転。 「H」または「オープン」で逆転。 ヒステリシス幅 約 0.22V。
4	BR		ブレーキ制御端子(ショートブレーキ動作)。 「L」: 0V~1.0V 「H」: 2.0V~V <sub>CC</sub> オープン時、「H」レベルとなる。 「L」でスタート。 「H」又はオープンでブレーキ。 ヒステリシス幅 約 0.22V。

次ページへ続く。

# LB11922

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
5	N		<p>速度ディスクリミネータカウンタ数切替え端子。  「L」: 0V~1.0V  「H」: 2.0V~V<sub>CC</sub>  オープン時、「H」レベルとなる。  ヒステリシス幅 約 0.22V。</p>
6	FGS		<p>FG アンプシュミット出力端子 (シュミット後)。  オープンコレクタ出力端子。</p>
7	LD		<p>速度ロック検知出力端子。  モータの回転数が速度ロック範囲内(±6.25%)にある時、「L」となる。</p>
8	DOUT		<p>速度ディスクリ出力端子。  加速→「H」、減速→「L」。</p>
9	POUT		<p>速度制御系 PLL 出力端子。  CLK と FG の位相比較を出力する。</p>

次ページへ続く。

# LB11922

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
10	INT IN		積分アンプ反転入力端子。
11	INT OUT		積分アンプ出力端子 (速度制御端子)。
12	PWM		PWM 発振周波数を設定する端子。 GND 間にコンデンサを接続する。
13	CSD		拘束保護回路の動作時間を設定する端子。 クロック断線時、誤動作防止回路等の基準信号発振端子。 GND 間にコンデンサを付けることにより、保護動作時間を設定できる。 ロジック回路部の初期リセット端子と兼用。

次ページへ続く。

# LB11922

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
15 16	X0 XI		<p>水晶発振端子。 X0: 出力端子 XI: 入力端子</p> <p>水晶発振子を接続することにより、基準クロックを発生させる。外部からクロック(数MHz)を入力する場合は、約5.1kΩ程度をXI端子に直列に接続し、抵抗を通して信号を入力する。その時、X0端子はオープンとする。</p>
18	FGOUT	<p style="text-align: center;">FG シュミットコンパレータ</p>	<p>FG アンプ出力端子。 IC 内部でFG シュミットコンパレータ入力と接続されている。</p>
19 20	FGIN <sup>-</sup> FGIN <sup>+</sup>		<p>FG アンプ入力端子。 FGIN<sup>-</sup>: FG アンプ反転入力端子 FGIN<sup>+</sup>: FG アンプ非反転入力端子(1/2V<sub>CC</sub> 電位) GND 間にコンデンサを接続する。</p>
21	RFGND		<p>出力電流検出基準端子。 外付け R<sub>f</sub> 抵抗のGND部に接続する。</p>

次ページへ続く。

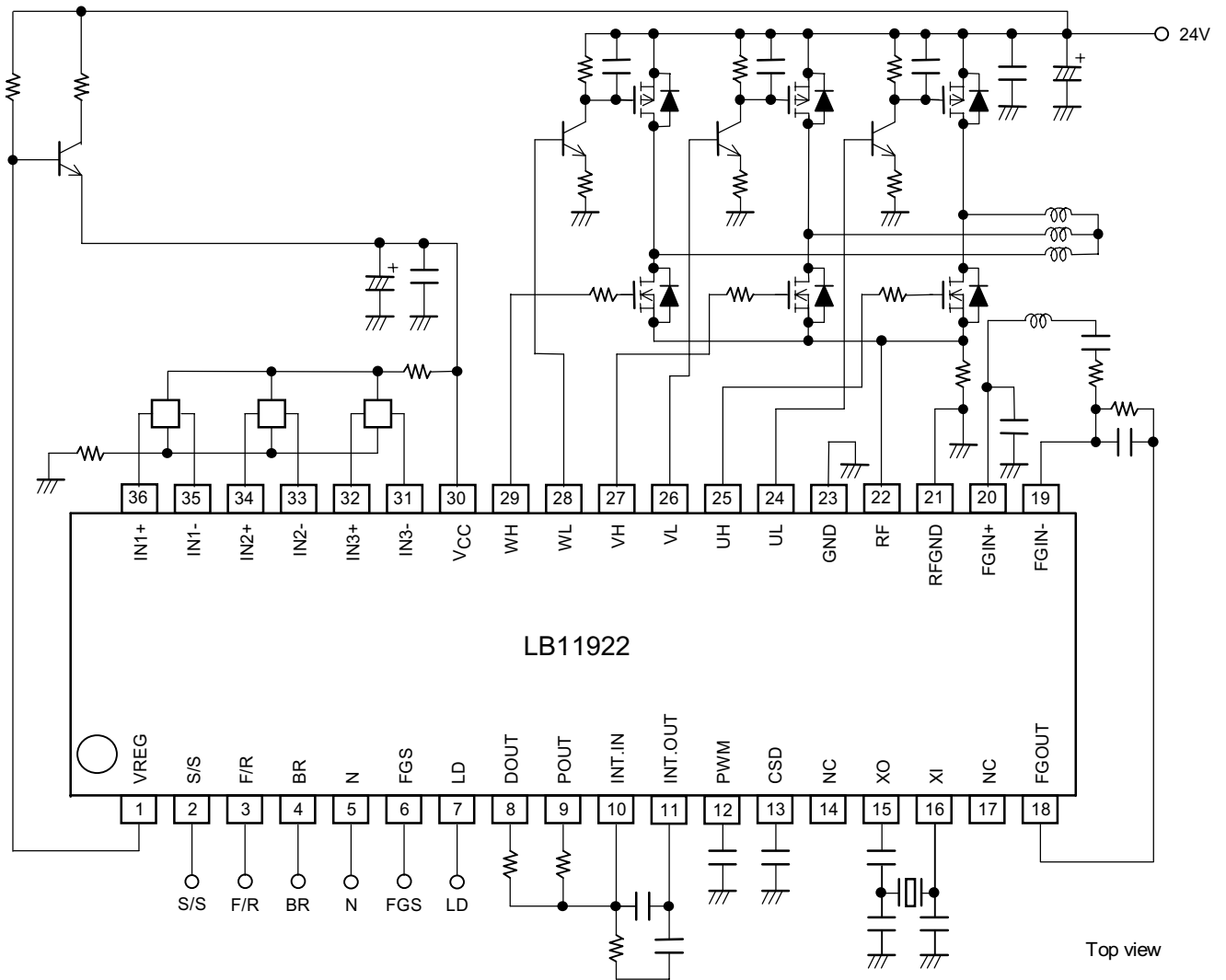
# LB11922

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
22	RF		出力電流検出端子。 RFGND 間に低抵抗を接続する。 制限出力電流 $I_{OUT}=0.26/R_f$ で設定する。
23	GND		GND 端子。
24 25 26 27 28 29	UL UH VL VH WL WH		出力端子(外付け TR 駆動出力)。 プッシュプル出力。 UH, VH, WH 側で PWM による デューティ制御を行う。
30	VCC		電源端子。 安定化のために、GND 間にコン デンサを接続する。
31 32 33 34 35 36	IN3- IN3+ IN2- IN2+ IN1- IN1+		ホール入力端子。 $IN^+ > IN^-$ で「H」、逆は「L」と する。 ホール信号のノイズが問題とな る場合は、 $IN^+$ 、 $IN^-$ 間にコンデ ンサを接続する。 ロジックの「H」とは $V_{IN^+} > V_{IN^-}$ を示す。
14, 17	NC		NC 端子、配線として使用可能。

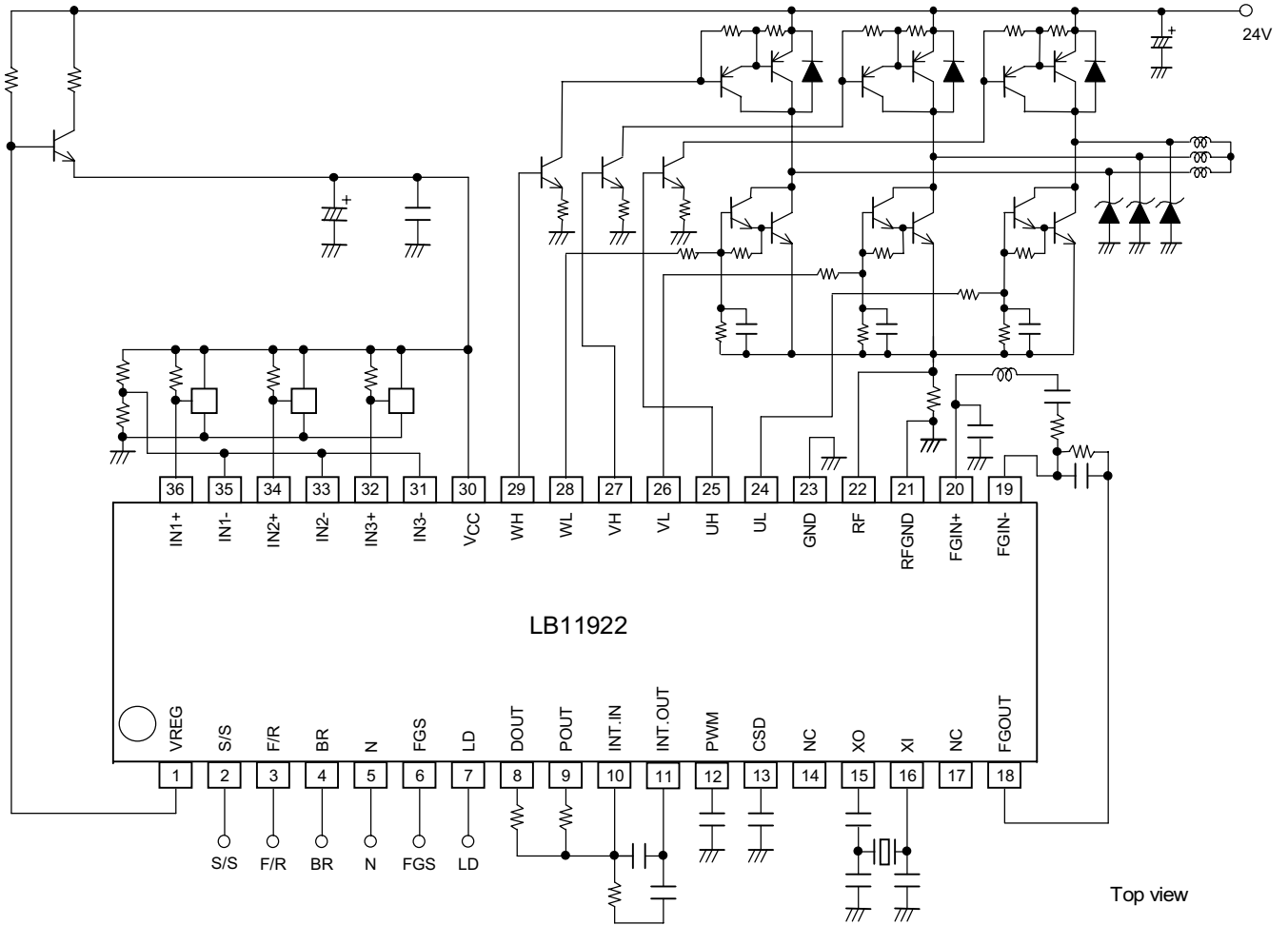
# LB11922

応用回路例 1 (Pch+Nch、ホール素子応用)



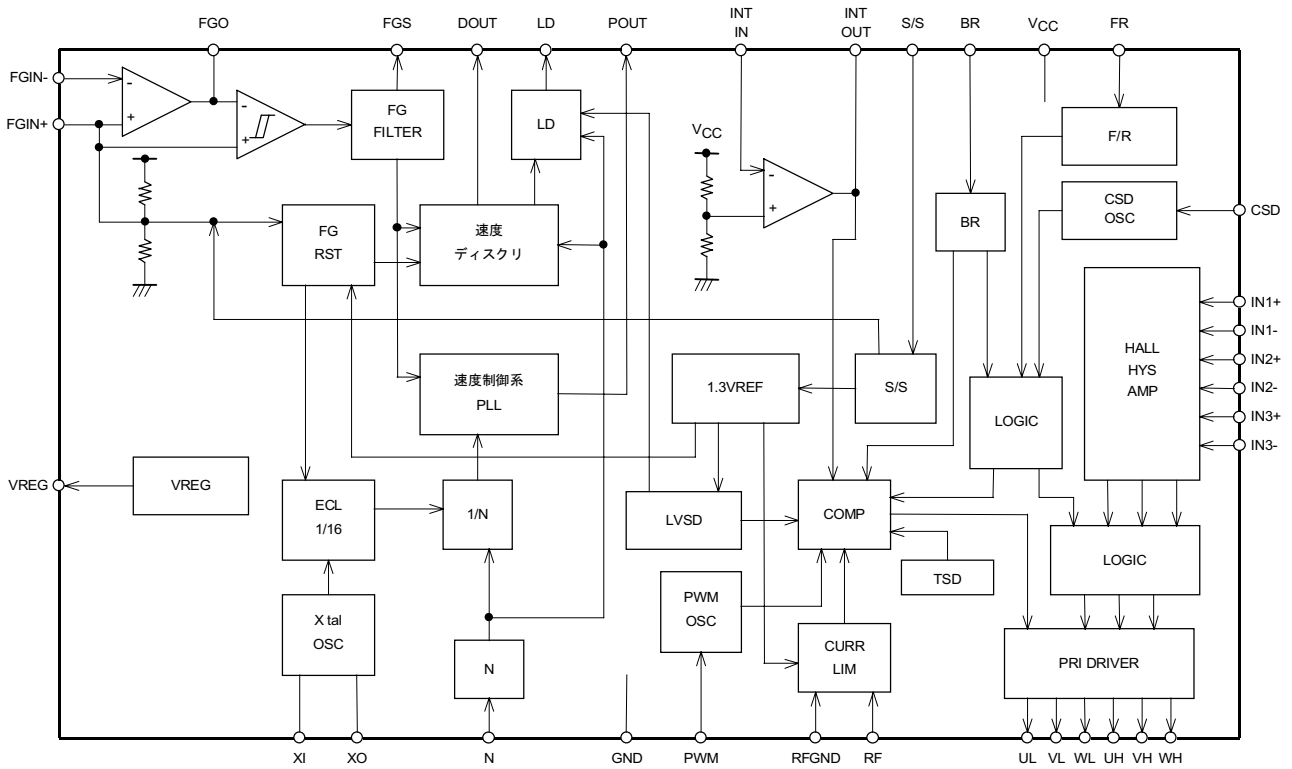
# LB11922

## 応用回路例 2 (PNP+NPN、ホール IC 応用)



# LB11922

## 等価回路ブロック図



## LB11922 の説明

### 1. 速度制御回路

本 IC は、速度ディスクリ回路および PLL 回路の併用により速度制御を行っている。速度ディスクリ回路は FG の 2 周期に 1 回誤差信号を出力する (FG の 1 周期をカウント)。PLL 回路は、FG の 1 周期に 1 回誤差信号を出力する。

速度ディスクリ回路および PLL 回路の併用により、従来の速度ディスクリのみの速度制御方式に比べ、負荷変動の大きいモータに使用した場合、回転変動をより抑えることができる。

FG サーボ周波数 ( $f_{FG}$ ) は、水晶発振周波数 ( $f_{OSC}$ ) と次の関係の周波数で制御される。

$$f_{FG} = f_{OSC} \div (16 \times \text{カウント数})$$

N	カウント数
H または オープン	512
L	1024

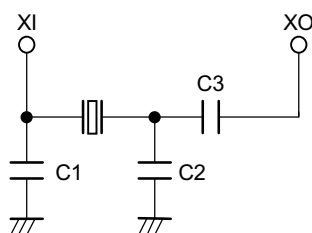
よって、N1=“H”，N2=“L”の状態と他の設定状態を組み合わせることにより、クロック周波数を切替えなくても半速制御が可能である。

### 2. 基準クロック

速度制御の基準クロックは、次の 2 通りの入力方法が可能である。

#### ① 水晶発振子による発振

水晶発振子による発振を行う場合は、下図の様に Xtal および C を接続する。



C1 : オーバートーン発振防止用

C2 : オーバートーン発振防止用及び安定用

C3 : 発振子結合用

(参考値)

発振周波数 (MHz)	C1 (pF)	C2 (pF)	C3 (pF)
3~5	39	10	47
5~8	10	10	47
8~10	5	10	22

本回路および定数は、あくまでも参考値である。水晶発振子の特性及び基板の引き回しによる浮遊容量等の影響が考えられるため、各メーカーにおいて問題がないか検討が必要である。

(注意点)

C1 は、高周波での負性抵抗値を下げる効果は大きいですが、基本波での負性抵抗値を下げすぎないように注意が必要である。

次ページへ続く。

前ページより続く。

水晶発振回路は高周波回路であるため、基板の浮遊容量等の影響を受けやすい回路である。よって、外付けはできるだけ短い配線とし、線幅も細くする等の考慮が必要である。

C1, C2 の GND ラインは、出来るだけ短い配線で IC の GND ピン (23 ピン) に接続すること。引き回しが長い場合、モータ過負荷時等に GND ライン電圧変動の影響を受け、発振周波数がずれる場合がある。C1, C2 の GND は、XI, X0 端子に隣接する NC ピンを配線に利用し、IC 裏面を通して GND ピンに接続することにより、配線を短くすることが出来る。

## ②外部クロック (水晶周波数相当 数 MHz)

外部信号源より、水晶発振周波数相当の信号を入力する場合は、XI 端子に直列に抵抗 (参考値 : 約 5.1kΩ 程度) を介して入力する。その時、X0 端子はオープンとする。

入力信号レベル (信号源)

「L」 レベル電圧 0V~0.8V

「H」 レベル電圧 2.5V~5.0V

## 3. 出力駆動回路

本 IC は、出力での電力損失 (パワーロス) を少なくするために、ダイレクト PWM 駆動方式を採用している。出力 Tr (外付け) は、オン時は常に飽和しており、出力がオンするデューティを変化させることにより、モータの駆動力を調整する。

PWM スイッチングは、UH, VH, WH 出力で行っている。外付け Tr との接続により、出力上下いずれでも PWM スイッチング側を選択できる。

## 4. 電流制限回路

電流制限回路は、 $I = V_{RF} / R_f$  ( $V_{RF} = 0.26V_{typ}$ ,  $R_f$  : 電流検出抵抗) で決まる電流で制限 (ピーク電流を制限) する。制限動作としては、PWM 出力のオンデューティが小さくなり、電流を抑える。RF および RFGND 端子の配線を電流検出抵抗 ( $R_f$ ) の両端近傍で接続することにより、精度良い検出ができる。

## 5. 速度ロックの範囲

速度ロックの範囲は定速の  $\pm 6.25\%$  以内であり、モータの回転数がロック範囲内となると、LD 端子が「L」となる (オープンコレクタ出力)。モータの回転数がロック範囲を外れた場合、速度の誤差に応じてモータ駆動出力のオンデューティが変化し、モータの回転数がロック範囲内となるように制御がかかる。

## 6. PWM 周波数に関して

PWM 周波数は PWM 端子に接続するコンデンサ容量 C (F) により決まる。

$$V_{CC} = 6.3V \text{ 時 } f_{PWM} \approx 1 / (82000 \times C)$$

$$V_{CC} = 5.0V \text{ 時 } f_{PWM} \approx 1 / (66000 \times C)$$

PWM 周波数は 15k~25kHz 程度が望ましい。PWM 周波数が低いとモータ拘束時にモータが PWM 周波数で共振し、その周波数が可聴領域であるため騒音となる。PWM 周波数が高すぎると、出力 Tr でのスイッチング時の損失が大きくなる。接続するコンデンサは、ノイズの影響を受けにくいようにできるだけ短い配線で GND ピン (23 ピン) 間に接続すること。

## 7. ホール入力信号

ホール入力は、100mV<sub>p-p</sub>以上(差動)の入力振幅が望ましい。入力波形が矩形波に近い程、入力振幅は小さくても良いが、三角波に近い程、入力振幅を大きくする必要がある。また、入力のDC電圧は、同相入力電圧範囲内に設定すること。

ホール入りにノイズの影響がある場合は、入力間のできるだけピン近傍にコンデンサを付け、ノイズを除去すること。

ホール入力が3相ともに同入力状態となると、出力は全オフとなる。

ホールIC出力を入力する場合は、入力片側(+, -いずれか)をホール素子使用時の同相入力範囲内の電圧に固定することにより、別の片側入力は0~V<sub>CC</sub>まで入力することができる。

## 8. F/R切替え

モータの回転方向の切替えは、F/R端子で行うことができる。但し、F/Rの切替えをモータ回転状態で行う場合は、次のような注意が必要である。

- 切替え時のスルー電流に関しては、回路的に対策を行っている。但し、切替え時のモータ電源電圧の持ち上がり(モータ電流が瞬時的に電源に戻るため)には、注意が必要である。問題となる場合は、電源-GND間コンデンサ容量を大きくすること。
- 切替わり後のモータ電流が電流制限値以上の場合、PWM駆動側の出力はオフするが、逆側の出力ではショートブレーキ状態となり、モータ起電圧およびコイル抵抗で決まる電流が流れる。この電流が使用する出力Trの定格を超えないようにする必要がある(高い回転数でのF/R切替え時ほど、注意が必要である)。

## 9. ブレーキ切替え

ブレーキは、UH, VH, WH側が駆動する出力Trを全相オンさせるショートブレーキ方式となっている(逆側Trは全相オフ)。ブレーキ時には、電流制限が動作しないので注意が必要である。ブレーキ時は、モータの回転数に関係なく、100%デューティでショート状態となる。ブレーキ時に出力Trに流れる電流は、モータ起電圧およびコイル抵抗で決まる電流が流れる。この電流が使用する出力Trの定格を超えないようにする必要がある(高い回転数でのブレーキ時ほど、注意が必要である)。

ブレーキ動作及びブレーキ解除は、スタート状態で行っても問題ない。よって、S/S端子を“L”(スタート状態)とし、ブレーキ端子でモータの起動、停止を制御することができる。

## 10. 拘束保護回路

モータ拘束時のICおよびモータの保護を行うため、拘束保護回路を内蔵している。スタート状態でLD出力が一定時間「H」(アンロック状態)であると、PWM側出力Trをオフする。時間設定は、CSD端子に接続するコンデンサ容量により行う。

$$V_{CC}=6.3V \text{ 時 } \text{設定時間(s)} \approx 74 \times C(\mu\text{F})$$

$$V_{CC}=5.0V \text{ 時 } \text{設定時間(s)} \approx 60 \times C(\mu\text{F})$$

拘束保護状態を解除するには、一定時間の間(約1mS以上)ストップ状態またはブレーキ状態とするか、電源の再投入が必要である。

拘束保護回路を使用しない場合は、CSD端子-GND間に220k $\Omega$ と1500pFを並列に接続すること。CSD端子は、初期リセット端子としての機能も兼用しているため、CSD端子をGNDに接続すると、初期リセット状態となり、駆動がオフする。CSD端子電圧が約0.64V以上となると、初期リセット状態は解除される。

**11. 低電圧保護回路**

電源投入時および電源電圧 ( $V_{CC}$ ) が低下した場合、誤動作を防止するために低電圧保護回路を内蔵している。約  $3.75V_{typ}$  以下で上側出力 Tr (外付け) はオフされ、約  $4.0V_{typ}$  で解除される。

**12. 電源安定化**

本 IC は出力電流が大きい応用に使用されるため、電源ラインが振られやすい。よって、 $V_{CC}$  端子-GND 間には、安定化のために十分な容量のコンデンサを接続する必要がある。電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合は、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

**13. GND の引き回しについて**

信号系 GND と出力系 GND は分離し、配線はコネクタ部で一点 GND とすること。出力系 GND には大電流が流れるため、引き回しはできるだけ短くすること。

出力系 GND    ---    Rf の GND (および出力ダイオードの GND)

信号系 GND    ---    IC の GND 及び周辺外付けの GND

**14. VREG 端子**

モータ駆動回路を 1 電源で構成する場合、VREG 端子 (1 ピン) を使用し、本 IC の電源電圧 (約  $6.3V$ ) を作ることができる。VREG 端子は、シャントレギュレータとなっており、外付け抵抗を介して電流を流すことにより、約  $7V$  を発生する。電流の設定を約  $0.2\sim 1.5mA$  とすることにより安定した電圧を発生する。外付け Tr は、電流能力  $80mA$  以上 ( $I_{CC} + \text{ホールバイアス電流} + \text{出力電流 (ソース)}$ )、耐圧はモータ電源電圧以上の Tr を選定すること。Tr の発熱が問題となることがあるので、パッケージによっては放熱をすること。

外部から本 IC の電源電圧 ( $4.4\sim 7.0V$ ) を印加する場合は、 $V_{CC}$  端子 (30 ピン) に直接印加する。その場合、VREG 端子はオープンもしくは GND とすること。

**15. FG アンプ**

FG アンプは、通常ノイズをリジェクトするために応用回路のようなフィルタアンプを構成する。FG アンプ出力には、クランプ回路が付加されているため、増幅度を上げて約  $3V_{p-p}$  の振幅でクランプされる。

FG アンプ後にはシュミットコンパレータが接続されているため、アンプの出力振幅は、必ず  $250mV_{p-p}$  以上となるように増幅度を設定すること (使用する最低の制御回転数で約  $0.5V_{p-p}$  以上となるように設定することが望ましい)。

FGIN+ 端子 (20 ピン)-GND 間に接続するコンデンサは、バイアス電圧安定化のために必要となる。接続するコンデンサは、ノイズの影響を受けにくいようにできるだけ短い配線で GND ピン (23 ピン) 間に接続すること。

**16. 積分アンプ**

積分アンプは、速度誤差パルス及び位相誤差パルスを積分し、速度指令電圧へ変換するとともに制御ループのゲイン及び周波数特性を外付けで設定する。

**17. NC 端子**

NC 端子は、電氣的にオープンとなっているため、配線引き回しなどで使用しても問題ない。

- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品（機器）での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。
- 弊社は、高品質・高信頼性の製品を供給することに努めております。しかし、半導体製品はある確率で故障が生じてしまいます。この故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- この資料の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の実施に対する保証を行うものではありません。

This datasheet has been download from:

[www.datasheetcatalog.com](http://www.datasheetcatalog.com)

Datasheets for electronics components.