

1. Построение 8 разрядного счетчика на 74х163

На основе интегральной микросхемы 4-х разрядного синхронного двоичного счетчика 74х163 разработать 8-разрядный двоичный счетчик со следующими характеристиками: начальное состояние $N_{нач} = 54$, модуль счета $M = 120$.

Вычислим конечное состояние счетчика:

$$N_{кон} = N_{нач} + M - 1 = 54 + 120 - 1 = 173_{10}.$$

$$N_{нач} = 54_{10} = 0011\ 0110_2$$

$$N_{кон} = 173_{10} = 1010\ 1101_2$$

Поскольку конечное состояние описывается восьмиразрядным числом для построения схемы необходимо использовать два счетчика 74х163.

На Рис. 1.1 представлена схема разработанного логического устройства выполняющего счет от $0011\ 0110_2$ до $1010\ 1101_2$. Данная схема устанавливается в начальное состояние $0011\ 0110_2$ без сторонних генераторов и задающих цепочек. По факту счетчики DD1...2 (74х163) считают от 0_{10} до 117_{10} , оставшиеся 54_{10} прибавляются на сумматорах DD3...4 (74х83). Контроль по переполнению реализован на DD5 (74LS08) и DD6 (74LS00).

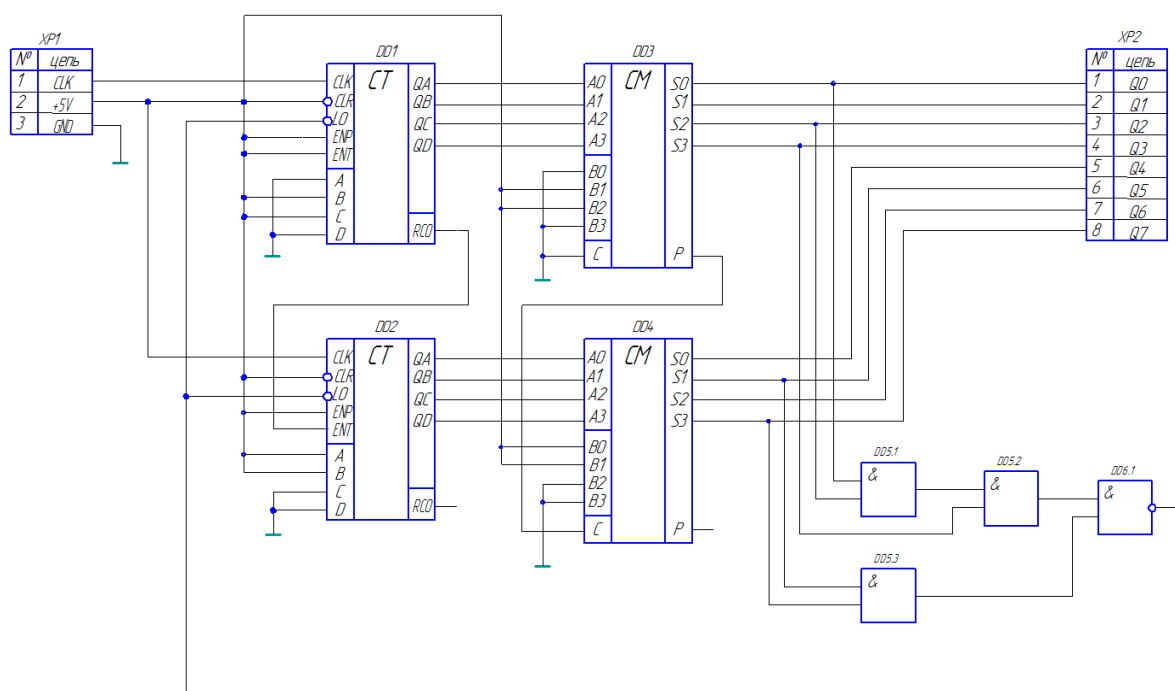


Рисунок 1.1 – схема восьмиразрядного счетчика

2. Электрическая принципиальная схема в соответствии ГОСТ 2.743-82

Чертеж принципиальной схемы разработанного устройства представлен в приложении ИУ4.2205.11-3.06-02 ЭЗ

3. Моделирование работы устройства в пакете PROTEUS 8.1

Поскольку пакет прикладных программ Design Lab не запускается на 64-разрядной ОС Windows 8.1, моделирование устройства осуществлялось в системе сквозного проектирования электроники PROTEUS 8.1.

На Рисунке 3.1 представлена схема моделируемого устройства в Proteus. Сигнал CLK подается с генератора **Pulse Generator**, настройки тактового сигнала заданы в соответствии с ДЗ (Рис. 3.2)

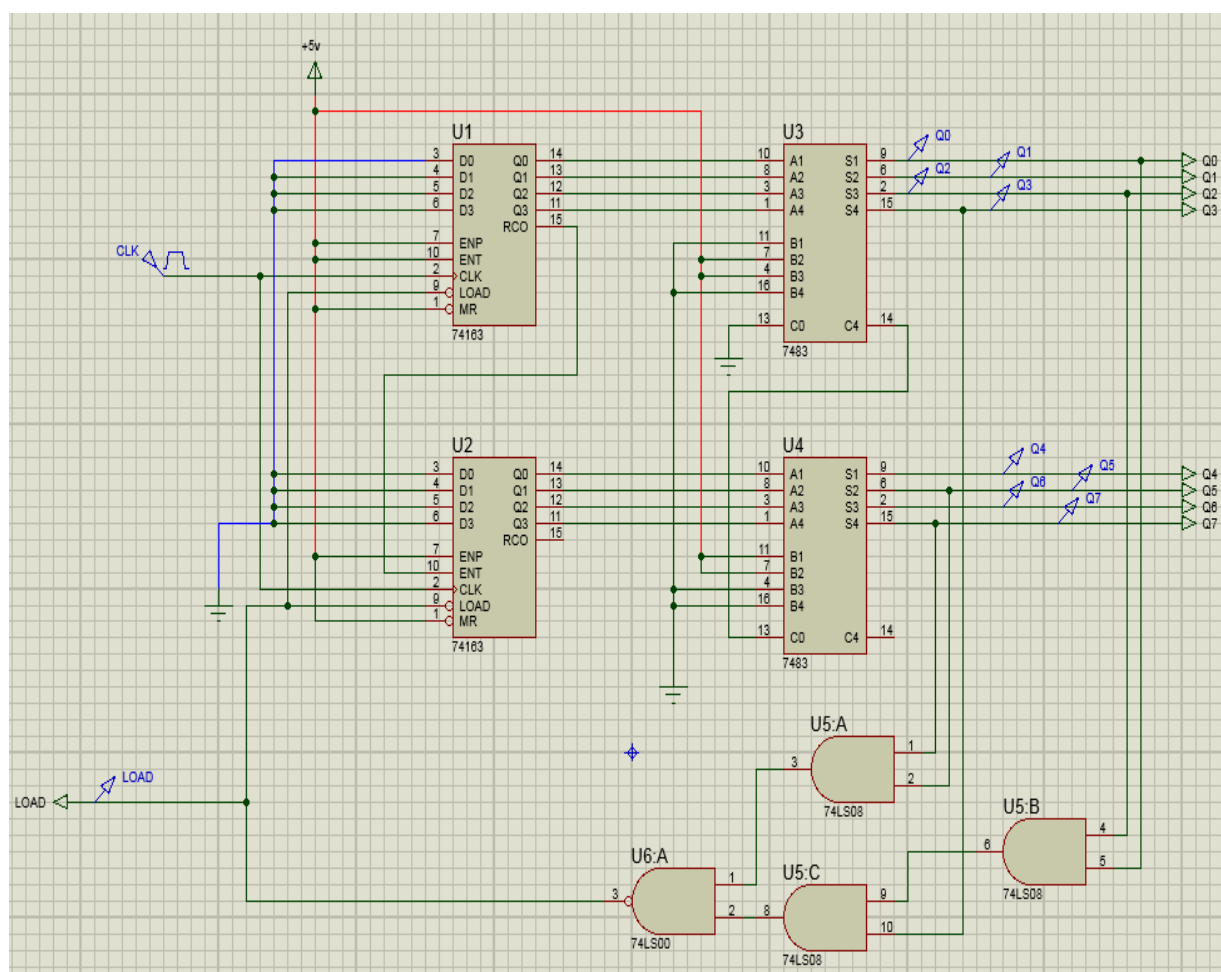
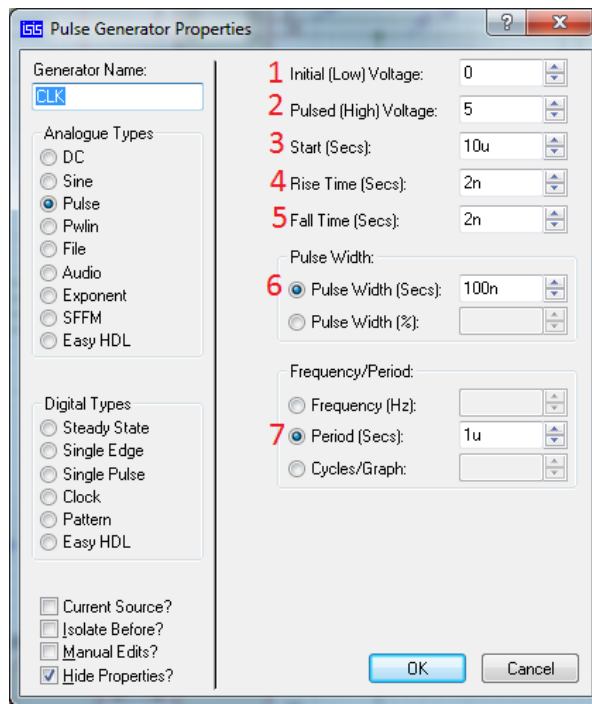


Рисунок 3.1 – Схема моделируемого устройства в Proteus



1. Напряжение «низкого» уровня
2. Напряжение «высокого» уровня
3. Задержка запуска генератора
4. Время переднего фронта
5. Время заднего фронта
6. Время состояния лог. «1»
7. Период сигнала

Рисунок 3.2 – Настройки генератора тактового импульса

Выходы **Q0...Q7**, а также выходы **CLK** и **LOAD** подключены к логическому анализатору **Digital Analysis**, на Рис. 3.3 представлены настройки логического анализатора. Параметр «Stop time» был подобран специально, чтобы захватить полный цикл работы устройства от установки в начальное состояние **0011 0110**, до сброса при переполнении **0011 0110** и повторной установки в начальное состояние.

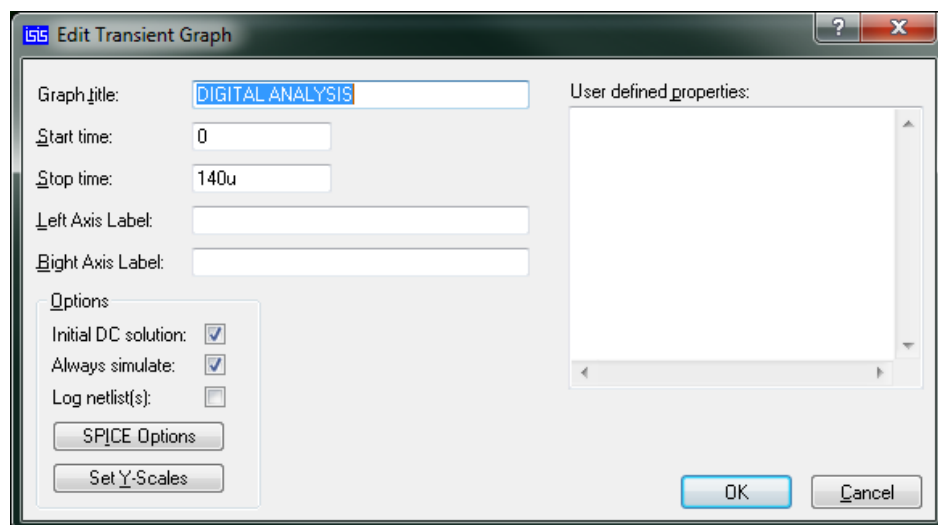


Рисунок 3.3 – Настройки логического анализатора

4. Временные диаграммы полученные при исследовании устройства

В соответствии с заданием устройство на момент включения должно находиться в заданном логическом состоянии **0011 0110**, в этом можно убедиться посмотрев на Рис. 4.1.

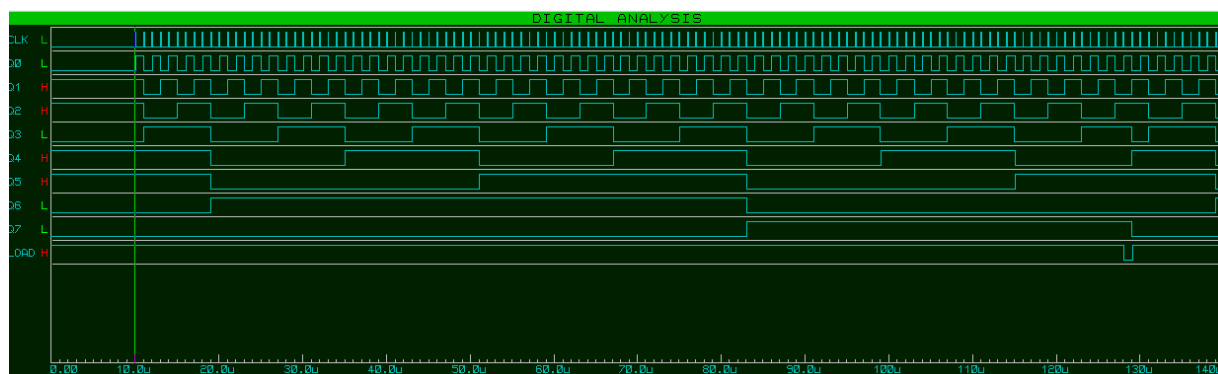


Рисунок 4.1 – Состояние выходной шины Q0...Q7 на момент включения

Действительно, на 10мкс на выходной шине Q0...Q7 присутствует начальное состояние **00110110**.

Далее проверим конечное состояние устройства (оно должно принимать значение **1010 1101**), вместе с ним на выводе начальной установки **LOAD** должен присутствовать логический «0». Рассмотрим Рис. 4.2 с конечным состоянием счетчика.

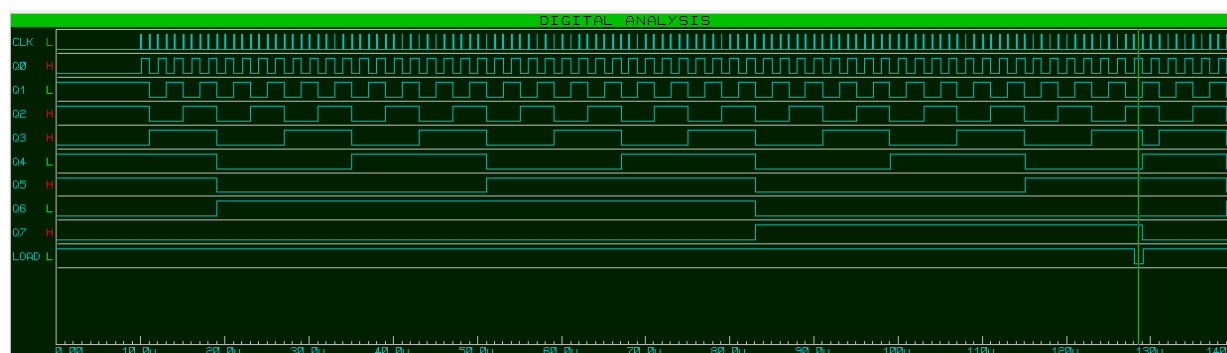


Рисунок 4.2 – Состояние выходной шины Q0...Q7 на момент переполнения

В самом деле, сигнал **LOAD=0** возникает в момент, когда на выходной шине присутствует состояние **1010 1101**.

В заключении проверим, устанавливает-ли устройство начальное состояние (**00110110**) после переполнения. Для этого рассмотрим логическую диаграмму представленную на Рис. 4.3.

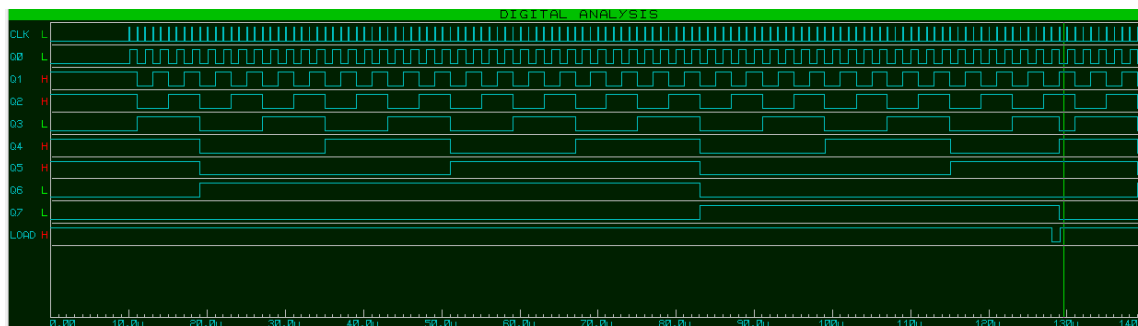


Рисунок 4.3 – Состояние выходной шины Q0...Q7 после сброса счетчика

Устройство действительно после сброса возвращает на шину Q0...Q7 начальное состояние **00110110**.

Можно сделать вывод, что результаты моделирования подтвердили работоспособность данной схемы.

5. Описание работы спроектированного устройства

Основная часть схемы состоит из двух каскадно соединенных счетчиков 74x163 (DD1 и DD2). На микросхеме DD1 производится подсчет четырех младших разрядов, с четырьмя старшими разрядами работает счетчик DD2. Каскадирование осуществляется за счет подсоединения выхода RCO микросхемы DD1 к входу ENT счетчика DD2, тогда если на всех выходах QA...QD счетчика DD1 присутствует уровень логической единицы, т.е. происходит переполнение разрядности, то изменение логического состояния на RCO, в следствии чего разрешается функционирование микросхемы DD2, и она включается в работу.

Чтобы счетчик начинал считать с $54_{10} = 0011\ 0110_2$, необходимо задать это состояние на входах A,B,C,D обоих счетчиков, либо добавить в схему два сумматора DD3...DD4, подключив их входы (A0...A3) к выходным шинам счетчиков DD1...DD2 (QA, QB, QC и QD), а все входы счетчиков для установки начального состояния подключить к GND, тем самым задав $0000\ 0000_2$. Теперь необходимое начальное состояние $54_{10} = 0011\ 0110_2$ можно задавать на входах обоих сумматоров (B0...B3) которое в последствии и будет прибавляться к начальному состоянию $0000\ 0000_2$ счетчиков (DD1...DD2).

Описанный способ с добавлением сумматоров DD3...DD4 на взгляд автора более простой, т.к. для задания начального значения счетчиков отличного от **0000 0000**₂ требуется дополнительная логика позволяющая делать параллельную запись начального состояния микросхем DD1...DD2 (в начальный момент времени для установки начального значения выводы LOAD должен быть в состоянии «0»). Либо необходимо вводить дополнительный сигнал, который в момент включения тактового генератора CLC пошлет на вывод LOAD обоих счетчиков низкоуровневый сигнал длиной 100нс, но данный способ запрещен в данном ДЗ («Разработанный счетчик должен автоматически формировать импульс установки в начальное состояние т.е. не должен устанавливаться в него с помощью внешнего сигнала»).

Сброс счетчика в начальное состояние осуществляется при установке на выходной шине Q0...Q7 конечного логического состояния **1010 1101**₂, это достигается при помощи добавления в схему дополнительной логики на микросхеме DD5 (3-х элементах 2-И микросхемы 74LS08) и одного элемента DD6.1 микросхемы 4LS00 (2-И-НЕ). Когда устройство достигает состояния **1010 1101**₂ на выходах всех 3-х вентилях микросхемы DD5 присутствует логическая «1», в следствии чего элемент DD6.1 меняет свое выходное высокоуровневое состояние на низкоуровневое, тем самым на выводы LOAD счетчиков DD1...DD2 приходит логический «0» и происходит сброс схемы в начальное состояние.

Заключение

Разработанная схема позволяет использовать вместо двух синхронных двоичных четырехразрядных счетчиков с возможностью параллельной записи начального значения 74х163 более простые счетчики без записи начального состояния.