

# **Краткий справочник по STM32F10xxx и Keil uVision-4**

**(часть-1)**

**Ташкент 2011г.**

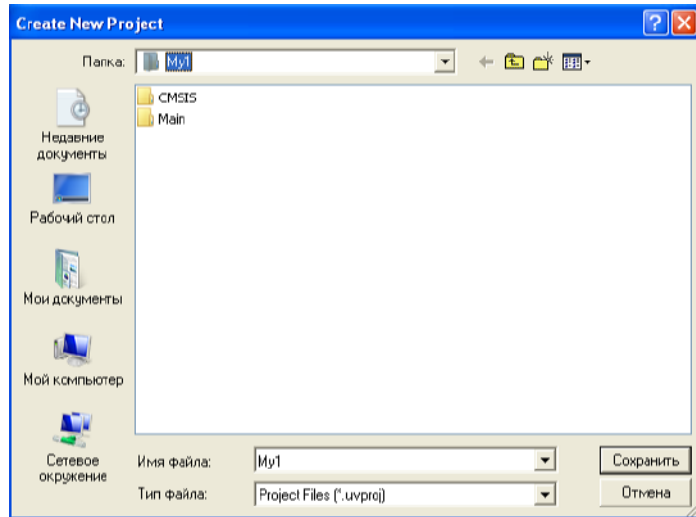
## Оглавление:

|                                                                          |    |
|--------------------------------------------------------------------------|----|
| Создание заготовки для проекта. ....                                     | 3  |
| Выбор задающего генератора и настройка системы синхронизации. ....       | 6  |
| Настройка синхронизации шин. ....                                        | 8  |
| Линии ввода-вывода GPIO. ....                                            | 10 |
| Альтернативные функции ввода-вывода AFIO. ....                           | 14 |
| Системный таймер SysTick. ....                                           | 18 |
| Таймеры TIM 1-17. ....                                                   | 19 |
| Система управления электропитанием контроллера PWR. ....                 | 33 |
| Режимы энергосбережения и система сброса. ....                           | 35 |
| Независимый сторожевой таймер IWDG. ....                                 | 37 |
| Оконный сторожевой таймер WWDG. ....                                     | 39 |
| Защищённая область памяти BKP. ....                                      | 40 |
| Часы реального времени RTC. ....                                         | 43 |
| Обработка прерываний, системные прерывания. ....                         | 47 |
| Контроллер вложенных векторизованных прерываний NVIC. ....               | 52 |
| Контроллер внешних прерываний / событий EXTI. ....                       | 54 |
| Контроллер прямого доступа к памяти DMA. ....                            | 57 |
| Аналогово-цифровой преобразователь ADC. ....                             | 61 |
| Цифро-аналоговый преобразователь DAC. ....                               | 69 |
| Последовательный периферийный интерфейс SPI. ....                        | 75 |
| Двухпроводный двунаправленный интерфейс I2C. ....                        | 80 |
| Универсальный синхронный асинхронный интерфейс USART. ....               | 89 |
| Flash – память, варианты загрузки и защита программ от копирования. .... | 96 |

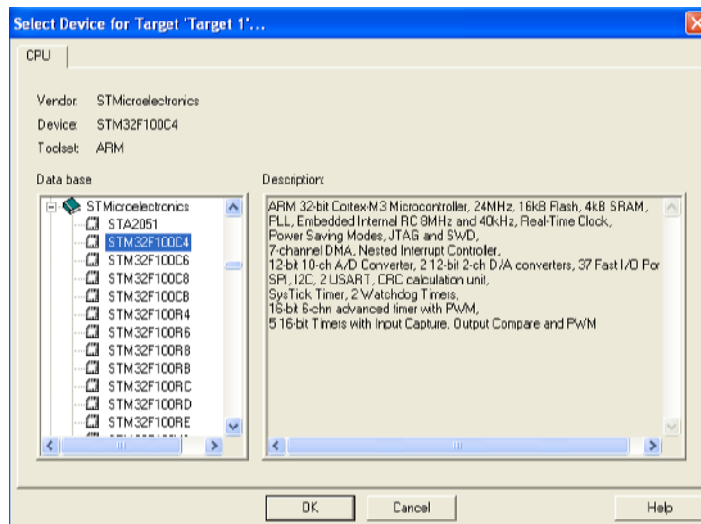
## STM32F10xxx и Keil uVision-4 (часть-1)

### Создание заготовки для проекта.

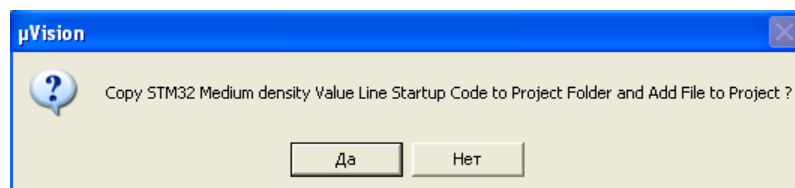
1. Создать папку для проекта. (например “My1”) , в которую копируем папку “CMSIS”, а так же создаём папку “Main” с текстовым файлом “main.c”.
2. Запускаем uVision-4 и создаем новый проект:



3. Выбираем микроконтроллер.

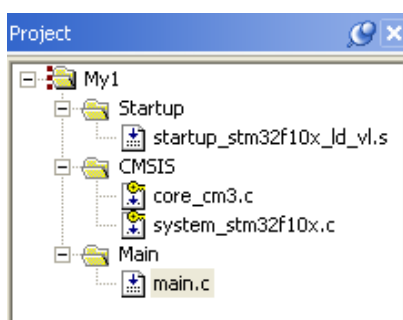


4. Разрешаем создать стартовый файл с кодом инициализации.



5. Добавляем в проект группы “CMSIS” и “Main”, в которые включаем файлы “core\_cm3.c”, “system\_stm32f10x.c” и файл “main.c” в соответствующие группы.

Группы “Target 1” и “Source Group 1” целесообразно переименовать на “My1” и “Startup”.



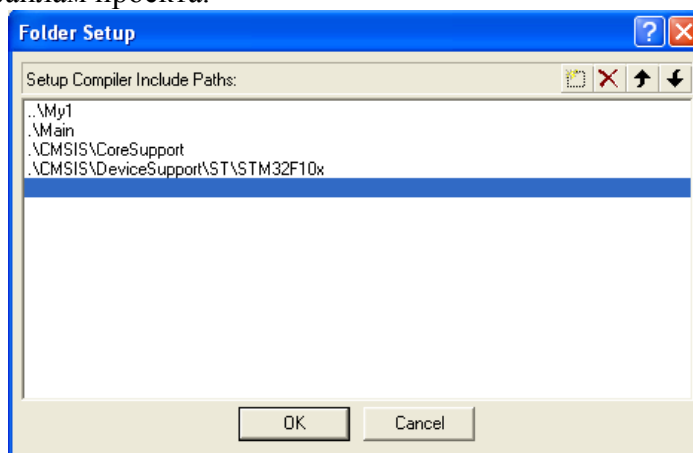
**Примечание: 1.** При выборе контроллера STM32F100C4 Keil-4 создаёт стартовый файл с именем “startup\_stm32f10x\_ld\_vl.s”, а при выборе контроллера STM32F103R8 – “STM32F10x.s”.

**2.** Библиотека “CMSIS” содержит папку “CoreSupport” с файлами описания ядра Cortex-M3 (“core\_cm3.c”, “core\_cm3.h”) и папку “DeviceSupport \ ST \ STM32F10x” с файлами описания периферии и структур доступа к её регистрам – “stm32f10x.h”, заголовочный файл функций CMSIS – “system\_stm32f10x.h” и файл с описанием этих функций – “system\_stm32f10x.c”.

Функции CMSIS используются для инициализации периферийных узлов контроллера и установки их тактовых частот.

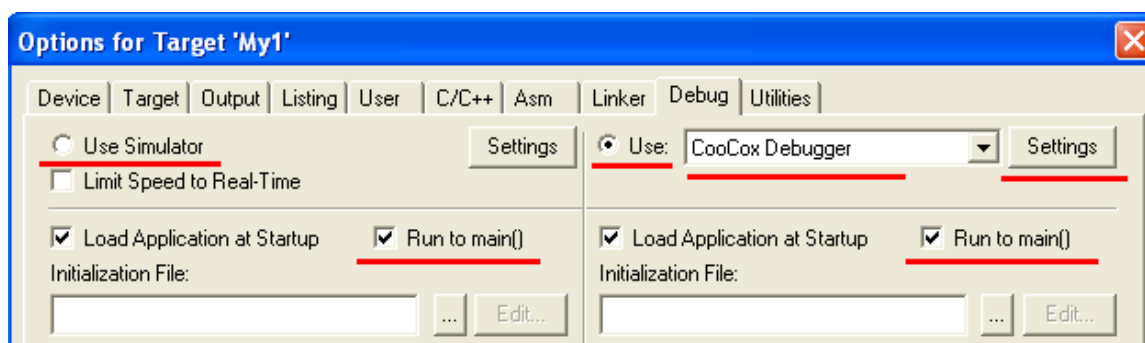
6. Зайти в раздел “Options for Target ...” и выполнить установки:

- на вкладке “Target” задать частоту эмуляции задающего генератора (8 МГц);
- на вкладке “Output” установить галочку “Create HEX File” ☒ Create HEX File ;
- на вкладке “C/C++” запретить оптимизацию кода Optimization: Level 0 (-O0) , а так же указать путь к файлам проекта.

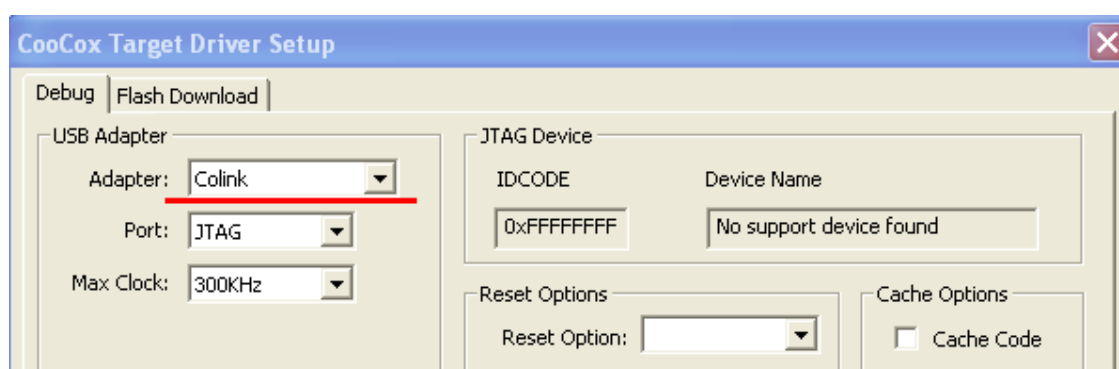


- на вкладке “Debug” выбрать режим отладки “Симулятор – Use Simulator” или “Внутрисхемная отладка - Use”, режим запуска программы – “Запускать отладку с

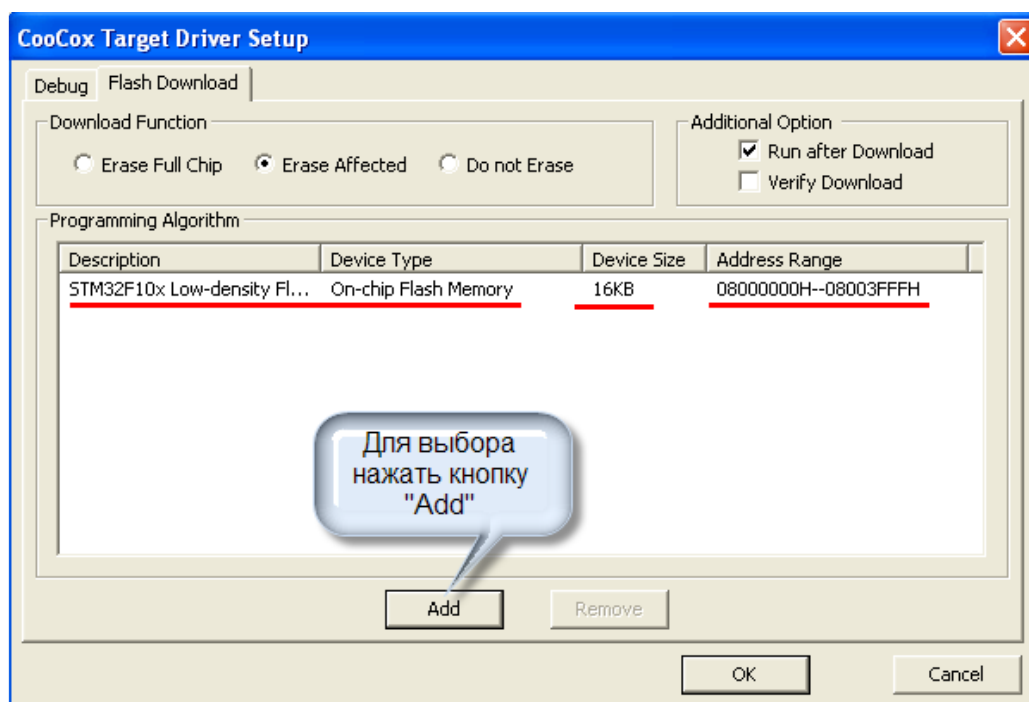
функции main() – Run to main()”. В случае выбора режима внутрисхемной отладки – указать используемый отладчик, например “CooCox Debugger”. (Keil-4 не поддерживает симуляцию контроллеров серии STM32F100.)



- нажать кнопку “Setting”, выбрать тип используемого отладчика



и модель памяти выбранного микроконтроллера.



- на вкладке “Utils” выбрать устройство, при помощи которого в память контроллера будет записываться программа.



1. Следует иметь ввиду, что STM32F100x может работать с максимальной частотой 24 МГц, поэтому при выполнении кода возникнет ошибка и процессор продолжит работу от HSE генератор. Действия по обработке возникшей ошибки могут быть указаны в конце функции:

```
static void SetSysClockToHSE(void) /* Конфигурация тактовой частоты*/  
{
```

```
    .....  
    .....  
    else
```

```
{
```

```
    /* Если HSE запустить не удалось.
```

```
    Здесь можно добавить код обработки ошибки*/
```

```
}
```

```
}
```

2. Данные настройки справедливы в том случае, если используется кварцевый резонатор на 8 МГц. При использовании другого кварцевого резонатора следует изменить частоту умножения системы PLL:

```
static void SetSysClockToHSE(void) /* Конфигурация тактовой частоты*/  
{
```

```
    .....  
    /* Конфигурируем множитель PLL: PLLCLK = HSE * 9 = 72 MHz, при
```

```
    условии, что кварц на 8МГц! ( RCC_CFGR_PLLMULL9 - множитель на 9).  
    Если нужна другая частота, не 72МГц , то выбираем другой множитель. */
```

```
RCC->CFGR &= (uint32_t)((uint32_t)~(RCC_CFGR_PLLSRC |  
                                RCC_CFGR_PLLXTPRE | RCC_CFGR_PLLMULL));
```

```
RCC->CFGR |= (uint32_t)(RCC_CFGR_PLLSRC_HSE | RCC_CFGR_PLLMULL9);
```

```
/* Включаем PLL */
```

```
RCC->CR |= RCC_CR_PLLON;
```

```
/* Ожидаем, пока PLL выставит бит готовности */
```

```
while((RCC->CR & RCC_CR_PLLRDY) == 0)
```

```
{
```

```
}
```

```
/* Выбираем PLL как источник системной частоты */
```

```
RCC->CFGR &= (uint32_t)((uint32_t)~(RCC_CFGR_SW));
```

```
RCC->CFGR |= (uint32_t)RCC_CFGR_SW_PLL;
```

```
/* Ожидаем, пока PLL выберется как источник системной частоты */
```

```
while ((RCC->CFGR & (uint32_t)RCC_CFGR_SWS) != (uint32_t)0x08)
```

```
{
```

```
}
```

```
else
```

```
{
```

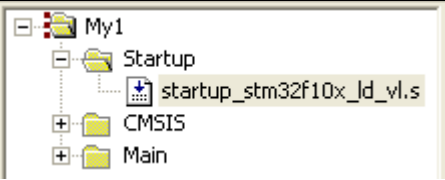
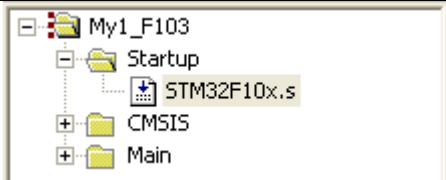
```
    /* Если HSE запустить не удалось.
```

```
    Здесь можно добавить код обработки ошибки*/
```

```
}
```

3. В файле **system\_stm32f10x.c** осуществляется так же настройка буфера предвыборки, частоты тактирования Flash и шинных делителей на максимально допустимую частоту. Если есть необходимость изменить частоту шинных делителей, то так же следует пересмотреть настройки **RCC->CFGR**.

Обратить внимание на содержимое файла в группе Startup и при необходимости добавьте в **main()** функцию **SystemInit()**, например:

| Для STM32F100xx                                                                                                                                                                                   | Для STM32F103xx                                                                                                                           |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------|
|                                                                                                                  |                                                         |
| <pre> ; Reset handler Reset_Handler PROC     EXPORT Reset_Handler [WEAK]     IMPORT __main     IMPORT SystemInit     LDR R0, =SystemInit     BLX R0     LDR R0, =__main     BX R0     ENDP </pre> | <pre> ; Reset Handler Reset_Handler PROC     EXPORT Reset_Handler [WEAK]     IMPORT __main     LDR R0, =__main     BX R0     ENDP </pre>  |
| <p>В первом случае перед вызовом функции <code>main()</code> запускается функция <code>SystemInit()</code>, а во втором она должна запускаться в тле функции <code>main()</code>.</p>             |                                                                                                                                           |
| <pre> #include "stm32f10x.h" void main(void) {     // Иниц. синхронизации уже выполнена.     RCC-&gt;CR  = RCC_CR_CSSON;     ..... </pre>                                                         | <pre> #include "stm32f10x.h" void main(void) {     SystemInit(); // Иниц. синхронизации.     RCC-&gt;CR  = RCC_CR_CSSON;     ..... </pre> |

**Примечание:** Схема защиты синхронизации (CSS) нужна для контроля исправности HSE - генератора. Для включения CSS необходимо в регистре `RCC->CR` установить бит `RCC_CR_CSSON` (`RCC->CR |= RCC_CR_CSSON;`). При этом, в случае отказа HSE блок CSS переводит МК на аварийную синхронизацию от HIS и формирует прерывание, связанное с “прерыванием по экстренному отключению расширенного таймера 1” (обработчик этого прерыванию должен на выводах ШИМ устанавливаться безопасное состояние, что особенно важно при управлении силовым оборудованием).

## Настройка синхронизации шин.

Частично при выполнении функции `SystemInit()` шины уже синхронизированы:

```
RCC->AHBENR = 0x00000114;
```

```
RCC->APB2ENR = 0x000001E0;
```

Однако, при такой настройке будут работать далеко не все периферийные устройства.

Регистры разрешения синхронизации шин:

**RCC->AHBENR**

| Бит | Название | Назначение                       | После иниц. |
|-----|----------|----------------------------------|-------------|
| 0   | DMA1EN   | Шина DMA1                        |             |
| 1   | DMA2EN   | Шина DMA2                        |             |
| 2   | SRAMEN   | Шина SRAM (ОЗУ)                  | 1           |
| 3   | -        | Р е з е р в                      |             |
| 4   | FLITFEN  | Шина буфера предвыборки из Flash | 1           |
| 5   | -        | Р е з е р в                      |             |
| 6   | CRCEN    |                                  |             |

|       |                 |                                                            |                                                                                                       |   |
|-------|-----------------|------------------------------------------------------------|-------------------------------------------------------------------------------------------------------|---|
| 7     | -               | Р е з е р в                                                |                                                                                                       |   |
| 8     | FSMCEN          | Шина диспетчера памяти ( <i>только в STM32F100xx</i> )     |                                                                                                       | 1 |
| 9-11  | -               | Р е з е р в                                                |                                                                                                       |   |
| 12    | OTGFSEN         | Шина 48 МГц для USB ( <i>только в контроллерах с USB</i> ) |                                                                                                       |   |
| 13    | -               | Р е з е р в                                                |                                                                                                       |   |
| 14    | ETHM<br>ACEN    | Шина Ethernet MAC                                          | <i>Только в контроллерах<br/>с узлом Ethernet<br/><br/>( STM32F105xx<br/><br/>и<br/>STM32F105xx )</i> |   |
| 15    | ETHM<br>ACTXEN  | Шина Ethernet MAC TX                                       |                                                                                                       |   |
| 16    | ETHM<br>MACRXEN | Шина Ethernet MAC RX                                       |                                                                                                       |   |
| 17-31 | -               | Р е з е р в                                                |                                                                                                       |   |

### RCC-> APB2ENR

| Бит   | Название | Назначение                                                       | После иниц. |
|-------|----------|------------------------------------------------------------------|-------------|
| 0     | AFIOEN   | Шина альтернативных функций линий ввода-вывода                   |             |
| 1     | -        | Р е з е р в                                                      |             |
| 2     | IOPAEN   | Шина соответствующего порта GPIOx                                |             |
| 3     | IOPBEN   |                                                                  |             |
| 4     | IOPCEN   |                                                                  |             |
| 5     | IOPDEN   |                                                                  | 1           |
| 6     | IOPEEN   |                                                                  | 1           |
| 7     | IOPFEN   | Шина соответствующего порта GPIOx                                | 1           |
| 8     | IOPGEN   | ( <i>только в STM32F100xx</i> )                                  | 1           |
| 9     | ADC1EN   | Шина ADC1                                                        |             |
| 10    | ADC2EN   | Шина ADC2 ( <i>в STM32F100xx отсутствует</i> )                   |             |
| 11    | TIM1EN   | Шина таймера-1                                                   |             |
| 12    | SPI1EN   | Шина интерфейса SPI-1                                            |             |
| 13    | -        | Р е з е р в                                                      |             |
| 14    | USART1EN | Шина интерфейса USART-1                                          |             |
| 15    | -        | Р е з е р в                                                      |             |
| 16    | TIM15EN  | Шина соответствующего таймера<br>( <i>только в STM32F100xx</i> ) |             |
| 17    | TIM16EN  |                                                                  |             |
| 18    | TIM17EN  |                                                                  |             |
| 19-31 | -        | Р е з е р в                                                      |             |

### RCC->APB1ENR

| Бит  | Название | Назначение                        | После иниц. |
|------|----------|-----------------------------------|-------------|
| 0    | TIM2EN   | Шина соответствующего таймера     |             |
| 1    | TIM3EN   |                                   |             |
| 2    | TIM4EN   |                                   |             |
| 3    | TIM5EN   |                                   |             |
| 4    | TIM6EN   |                                   |             |
| 5    | TIM7EN   |                                   |             |
| 6    | TIM12EN  |                                   |             |
| 7    | TIM13EN  |                                   |             |
| 8    | TIM14EN  |                                   |             |
| 9-10 | -        | Р е з е р в                       |             |
| 11   | WWDGEN   | Шина оконного сторожевого таймера |             |

|       |          |                                                            |  |
|-------|----------|------------------------------------------------------------|--|
| 12-13 | -        | Р е з е р в                                                |  |
| 14    | SPI2EN   | Шина соответствующего интерфейса SPI                       |  |
| 15    | SPI3EN   |                                                            |  |
| 16    | -        | Р е з е р в                                                |  |
| 17    | USART2EN | Шина соответствующего интерфейса USART                     |  |
| 18    | USART3EN |                                                            |  |
| 19    | USART4EN |                                                            |  |
| 20    | USART5EN |                                                            |  |
| 21    | I2C1EN   | Шина соответствующего интерфейса I2C                       |  |
| 22    | I2C2EN   |                                                            |  |
| 23    | USBEN    | Шина интерфейса USB ( <i>только в контроллерах с USB</i> ) |  |
| 24    | -        | Р е з е р в                                                |  |
| 25    | CANEN    | Шина интерфейса CAN ( <i>только в контроллерах с CAN</i> ) |  |
| 26    | -        | Р е з е р в                                                |  |
| 27    | BKPER    | Шина регистров с резервным питанием BKP                    |  |
| 28    | PWREN    | Шина узла управления напряжениями питания PWR              |  |
| 29    | DACEN    | Шина DAC                                                   |  |
| 30    | CECEN    | Шина интерфейса HDMI CEC ( <i>только в STM32F100xx</i> )   |  |
| 31    | -        | Р е з е р в                                                |  |

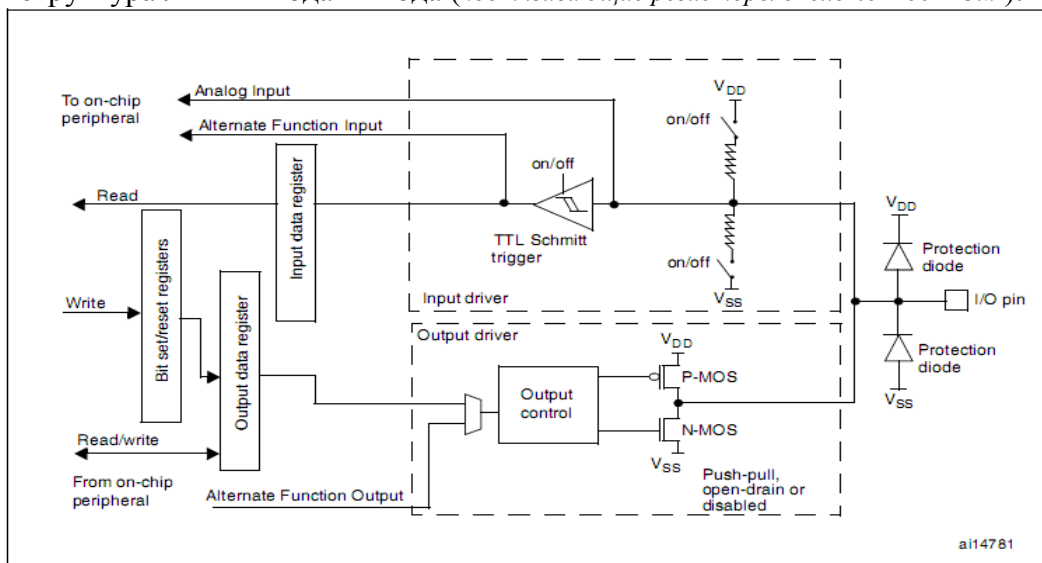
### Регистры сброса синхронизации шин:

**RCC\_APB2RSTR** и **RCC\_APB1RSTR** имеют расположение битов аналогично регистрам **RCC\_APB1ENR** и **RCC\_APB2ENR** с той лишь разницей, что название бита оканчивается не на **EN**, а на **RST** (пример: не **USBEN** а **USBRST** ).

При записи “1” в соответствующий разряд этих регистров производится сброс и удержание в этом состоянии соответствующего периферийного устройства. Для дальнейшего возобновления работы сброшенного периферийного устройства необходимо записать в соответствующий разряд регистра **RCC\_APB1ENR** или **RCC\_APB2ENR** “0”.

### Линии ввода-вывода GPIO.

Базовая структура линий ввода-вывода (*подтягивающие резисторы около 45 – 55 кОм*):



Линии ввода-вывода могут быть сконфигурированы для работы в следующих режимах:

| Конфигурация                                                                                                                                                     | CNF1 | CNF0 | MOD1              | MOD0 |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|-------------------|------|
| Аналоговый вход                                                                                                                                                  | 0    | 0    | 00 (после сброса) |      |
| Плавающий, альтернативный вход (сост. после сброса)                                                                                                              | 0    | 1    |                   |      |
| Вход с подтягиванием к плюсу (См. прим. 1,2)                                                                                                                     | 1    | 0    |                   |      |
| Вход с подтягиванием к минусу (См. прим. 1)                                                                                                                      | 1    | 0    |                   |      |
| Двухтактный выход                                                                                                                                                | 0    | 0    | 01: 10МГц         |      |
| Выход с открытым стоком                                                                                                                                          | 0    | 1    | 10: 2МГц          |      |
| Двухтактный выход альтернат. функции                                                                                                                             | 1    | 0    | 11: 50МГц         |      |
| Выход с открытым стоком альтернат. функции                                                                                                                       | 1    | 1    | (См. прим. 3)     |      |
| Примечание:                                                                                                                                                      |      |      |                   |      |
| 1. GPIOx->ODRx="1" – подтяжка к "+", GPIOx->ODRx="0" – подтяжка к "-".                                                                                           |      |      |                   |      |
| 2. Входы толерантны к напряжению +5В, однако при подтяжке к плюсу не рекомендуется подавать на вход напряжение +5В, нагрузочная способность выходов - до ±25 мА. |      |      |                   |      |
| 3. Максимальное быстродействие выходов.                                                                                                                          |      |      |                   |      |
| 4. Двухнаправленные альтернативные линии конфигурировать как альтернативные выходы.                                                                              |      |      |                   |      |

### GPIOx->CRL (регистр конфигурации младших разрядов порта - x)

| Бит | № линии | Назначение | Бит | № линии | Назначение |
|-----|---------|------------|-----|---------|------------|
| 0   | 0       | MODE0_0    | 16  | 4       | MODE4_0    |
| 1   |         | MODE0_1    | 17  |         | MODE4_1    |
| 2   |         | CNF0_0     | 18  |         | CNF4_0     |
| 3   |         | CNF0_1     | 19  |         | CNF4_1     |
| 4   | 1       | MODE1_0    | 20  | 5       | MODE5_0    |
| 5   |         | MODE1_1    | 21  |         | MODE5_1    |
| 6   |         | CNF1_0     | 22  |         | CNF5_0     |
| 7   |         | CNF1_1     | 23  |         | CNF5_1     |
| 8   | 2       | MODE2_0    | 24  | 6       | MODE6_0    |
| 9   |         | MODE2_1    | 25  |         | MODE6_1    |
| 10  |         | CNF2_0     | 26  |         | CNF6_0     |
| 11  |         | CNF2_1     | 27  |         | CNF6_1     |
| 12  | 3       | MODE3_0    | 28  | 7       | MODE7_0    |
| 13  |         | MODE3_1    | 29  |         | MODE7_1    |
| 14  |         | CNF3_0     | 30  |         | CNF7_0     |
| 15  |         | CNF3_1     | 31  |         | CNF7_1     |

### GPIOx->CRH (регистр конфигурации старших разрядов порта - x)

| Бит | № линии | Назначение | Бит | № линии | Назначение |
|-----|---------|------------|-----|---------|------------|
| 0   | 8       | MODE8_0    | 16  | 12      | MODE12_0   |
| 1   |         | MODE8_1    | 17  |         | MODE12_1   |
| 2   |         | CNF8_0     | 18  |         | CNF12_0    |
| 3   |         | CNF8_1     | 19  |         | CNF12_1    |
| 4   | 9       | MODE9_0    | 20  | 13      | MODE13_0   |
| 5   |         | MODE9_1    | 21  |         | MODE13_1   |
| 6   |         | CNF9_0     | 22  |         | CNF13_0    |
| 7   |         | CNF9_1     | 23  |         | CNF13_1    |
| 8   | 10      | MODE10_0   | 24  | 14      | MODE14_0   |
| 9   |         | MODE10_1   | 25  |         | MODE14_1   |
| 10  |         | CNF10_0    | 26  |         | CNF14_0    |
| 11  |         | CNF10_1    | 27  |         | CNF14_1    |

|    |    |          |    |    |          |
|----|----|----------|----|----|----------|
| 12 | 11 | MODE11_0 | 28 | 15 | MODE15_0 |
| 13 |    | MODE11_1 | 29 |    | MODE15_1 |
| 14 |    | CNF11_0  | 30 |    | CNF15_0  |
| 15 |    | CNF11_1  | 31 |    | CNF15_1  |

### GPIOx->IDR (регистр приёма порта - x)

|          |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
|----------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| 31       | 30    | 29    | 28    | 27    | 26    | 25   | 24   | 23   | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| Reserved |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
| 15       | 14    | 13    | 12    | 11    | 10    | 9    | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| IDR15    | IDR14 | IDR13 | IDR12 | IDR11 | IDR10 | IDR9 | IDR8 | IDR7 | IDR6 | IDR5 | IDR4 | IDR3 | IDR2 | IDR1 | IDR0 |
| r        | r     | r     | r     | r     | r     | r    | r    | r    | r    | r    | r    | r    | r    | r    | r    |

### GPIOx->ODR (регистр передачи порта - x)

|          |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
|----------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| 31       | 30    | 29    | 28    | 27    | 26    | 25   | 24   | 23   | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| Reserved |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
| 15       | 14    | 13    | 12    | 11    | 10    | 9    | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| ODR15    | ODR14 | ODR13 | ODR12 | ODR11 | ODR10 | ODR9 | ODR8 | ODR7 | ODR6 | ODR5 | ODR4 | ODR3 | ODR2 | ODR1 | ODR0 |
| rw       | rw    | rw    | rw    | rw    | rw    | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   |

### GPIOx->BSRR (регистр установки/сброса линии порта - x)

|      |      |      |      |      |      |     |     |     |     |     |     |     |     |     |     |
|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 31   | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| BR15 | BR14 | BR13 | BR12 | BR11 | BR10 | BR9 | BR8 | BR7 | BR6 | BR5 | BR4 | BR3 | BR2 | BR1 | BR0 |
| w    | w    | w    | w    | w    | w    | w   | w   | w   | w   | w   | w   | w   | w   | w   | w   |
| 15   | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| BS15 | BS14 | BS13 | BS12 | BS11 | BS10 | BS9 | BS8 | BS7 | BS6 | BS5 | BS4 | BS3 | BS2 | BS1 | BS0 |
| w    | w    | w    | w    | w    | w    | w   | w   | w   | w   | w   | w   | w   | w   | w   | w   |

Запись “1” в **BSx** устанавливает соответствующую линию в состояние “1”, запись “0” действия не оказывает.

Запись “1” в **BRx** сбрасывает соответствующую линию в состояние “0”, запись “0” действия не оказывает.

### GPIOx->BRR (регистр сброса линии порта - x)

|          |      |      |      |      |      |     |     |     |     |     |     |     |     |     |     |
|----------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 31       | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| Reserved |      |      |      |      |      |     |     |     |     |     |     |     |     |     |     |
| 15       | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| BR15     | BR14 | BR13 | BR12 | BR11 | BR10 | BR9 | BR8 | BR7 | BR6 | BR5 | BR4 | BR3 | BR2 | BR1 | BR0 |
| w        | w    | w    | w    | w    | w    | w   | w   | w   | w   | w   | w   | w   | w   | w   | w   |

Запись “1” в **BRx** сбрасывает соответствующую линию в состояние “0”, запись “0” действия не оказывает.

### GPIOx->LCKR (регистр блокировки конфигурации порта - x)

|          |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
|----------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| 31       | 30    | 29    | 28    | 27    | 26    | 25   | 24   | 23   | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| Reserved |       |       |       |       |       |      |      |      |      |      |      |      |      |      | LCKK |
|          |       |       |       |       |       |      |      |      |      |      |      |      |      |      | rw   |
| 15       | 14    | 13    | 12    | 11    | 10    | 9    | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| LCK15    | LCK14 | LCK13 | LCK12 | LCK11 | LCK10 | LCK9 | LCK8 | LCK7 | LCK6 | LCK5 | LCK4 | LCK3 | LCK2 | LCK1 | LCK0 |
| rw       | rw    | rw    | rw    | rw    | rw    | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   | rw   |

По окончании конфигурирования линии для предотвращения случайного изменения конфигурации следует записать “1” в соответствующий разряд (**LCK0-LCK15**) регистра **GPIOx->LCKR**. После установки всех требуемых бит следует последовательно записать в 16 разряд (**LCKK**) “1”-“0”-“1”, что активизирует блокировку. Убедиться в активности блокировки можно, если сразу после записи выполнить подряд два чтения этого же бита.

Считывание значений “0”-“1” свидетельствует об успешной активизации блокировки.  
Сброс блокировки происходит только при сбросе микроконтроллера.

```
/**
 * Пример “ My1”
 * Настройка синхронизации шин и линий ввода-вывода,
 * При замыкании PA2 на корпус, на выводе PA8 - “0”.
 */
#include "stm32f10x.h"

void InitAll(void) // Настройка порта.
{
    int a, b;
    // Разрешить синхронизацию порта GPIOA.
    RCC->APB2ENR |= RCC_APB2ENR_IOPAEN; //0x00000004
    // Освобождение линии сброса синхронизации. (В данном примере
    // не обязательно, т.к. после включения линии сброса освобождены.)
    RCC->APB2RSTR=0x00000000;
    // Настройка PA8 как двухтактный выход 10 МГц(0001).
    GPIOA->CRH &= ~GPIO_CRH_CNF0; // ~0x0000000C
    GPIOA->CRH |= GPIO_CRH_MODE0_0; // 0x00000001
    // Запретить изменение конфигурации линии PA8.
    GPIOA->LCKR |= 0x00000100;
    // Настройка линии PA2 как вход подтянутый к +3,3В (1000).
    GPIOA->CRL &= ~GPIO_CRL_CNF2; // ~0x00000C00
    GPIOA->CRL |= GPIO_CRL_CNF2_1; // 0x00000800
    GPIOA->CRL &= ~GPIO_CRL_MODE2; // ~0x00000300
    GPIOA->BSRR=GPIO_BSRR_BS2; // Подтяжка PA2 к "+".
    // Запретить изменение конфигурации линии PA2.
    GPIOA->LCKR |= 0x00000004;
    // Запретить изменение конфигурации GPIOA->LCKR.
    GPIOA->LCKR |= 0x00010000;
    GPIOA->LCKR &= 0xFFFEFFFF;
    GPIOA->LCKR |= 0x00010000;
    // Проверить, установлена ли блокировка регистра GPIOA->LCKR.
    a=GPIOA->LCKR;
    b=GPIOA->LCKR;
    if((a & 0x00010000 != 0x00000000)||(b & 0x00010000 != 0x00010000))
    {
        // Действия, если блокировку установить не удалось.
    }
    return;
}

int main(void)
{
    SystemInit (); // Для STM32F100 не надо.
    InitAll(); // Настройка порта.
    while(1)
    {
        if((GPIOA->IDR & 0x00000004) == 0x00000004)
        {
            GPIOA->BSRR=GPIO_BSRR_BS8; // PA8=+3,3В.
        }
        else // Если PA2 замкнут.
        {
            GPIOA->BSRR=GPIO_BSRR_BR8; // PA8="0".
        }
    }
}
```

## Альтернативные функции ввода-вывода AFIO

**AFIO->EVCR (Регистр коммутации выхода EVENTOUT)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит  | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                        |
|------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | PIN0     | Выбор номера вывода для использования в качестве <b>EVENTOUT</b> .<br><b>0000</b> : Px0. <b>0001</b> : Px1. <b>0010</b> : Px2. <b>0011</b> : Px3. <b>0100</b> : Px4. <b>0101</b> : Px5.<br><b>0110</b> : Px6. <b>0111</b> : Px7. <b>1000</b> : Px8. <b>1001</b> : Px9. <b>1010</b> : Px10. <b>1011</b> : Px11.<br><b>1100</b> : Px12. <b>1101</b> : Px13. <b>1110</b> : Px14. <b>1111</b> : Px15. |
| 1    | PIN1     |                                                                                                                                                                                                                                                                                                                                                                                                   |
| 2    | PIN2     |                                                                                                                                                                                                                                                                                                                                                                                                   |
| 3    | PIN3     |                                                                                                                                                                                                                                                                                                                                                                                                   |
| 4    | PORT0    | Выбор порта, вывод которого будет использоваться в качестве EVENTOUT:<br><b>000</b> : PA. <b>001</b> : PB. <b>010</b> : PC. <b>011</b> : PD. <b>100</b> : PE.                                                                                                                                                                                                                                     |
| 5    | PORT1    |                                                                                                                                                                                                                                                                                                                                                                                                   |
| 6    | PORT2    |                                                                                                                                                                                                                                                                                                                                                                                                   |
| 7    | EVOE     | <b>0</b> : Запретить.<br><b>1</b> : Разрешить использовать выбранный вывод в качестве выхода <b>EVENTOUT</b> . (Выход <b>EVENTOUT</b> используется в мультипроцессорных системах для одновременного оповещения подчинённых процессоров о наступившем событии, например, выйти из режима сна.)                                                                                                     |
| 8-31 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                       |

**AFIO->MAPR (Регистр переназначения выводов и сигналов)** Состояние после сброса - 0x0000, биты **0-15** доступны для чтения и записи, **24-26** только для записи.

| Бит | Название      | Назначение                                                                                                                                                                                                                                                                                                                                                                                      |
|-----|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | SPI1_REMAP    | Переназначение выводы SPI1 на другие линии:<br><b>0</b> : NSS/PA4, SCK/PA5, MISO/PA6, MOSI/PA7<br><b>1</b> : NSS/PA15, SCK/PB3, MISO/PB4, MOSI/PB5                                                                                                                                                                                                                                              |
| 1   | I2C1_REMAP    | Переназначение выводы I2C1 на другие линии:<br><b>0</b> : SCL/PB6, SDA/PB7<br><b>1</b> : SCL/PB8, SDA/PB9                                                                                                                                                                                                                                                                                       |
| 2   | USART1_REMAP  | Переназначение выводы USART1 на другие линии:<br><b>0</b> : TX/PA9, RX/PA10<br><b>1</b> : TX/PB6, RX/PB7                                                                                                                                                                                                                                                                                        |
| 3   | USART2_REMAP  | Переназначение выводы USART2 на другие линии:<br><b>0</b> : CTS/PA0, RTS/PA1, TX/PA2, RX/PA3, CK/PA4<br><b>1</b> : CTS/PD3, RTS/PD4, TX/PD5, RX/PD6, CK/PD7                                                                                                                                                                                                                                     |
| 4   | USART3_REMAP0 | Переназначение выводы USART3 на другие линии:<br><b>00</b> : TX/PB10, RX/PB11, CK/PB12, CTS/PB13, RTS/PB14<br><b>01</b> : TX/PC10, RX/PC11, CK/PC12, CTS/PB13, RTS/PB14<br><b>10</b> : р е з е р в<br><b>11</b> : TX/PD8, RX/PD9, CK/PD10, CTS/PD11, RTS/PD12                                                                                                                                   |
| 5   | USART3_REMAP1 |                                                                                                                                                                                                                                                                                                                                                                                                 |
| 6   | TIM1_REMAP0   | Переназначение выводы TIM1 на другие линии:<br><b>00</b> : ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PB12, CH1N/PB13, CH2N/PB14, CH3N/PB15<br><b>01</b> : ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PA6, CH1N/PA7, CH2N/PB0, CH3N/PB1<br><b>10</b> : р е з е р в<br><b>11</b> : ETR/PE7, CH1/PE9, CH2/PE11, CH3/PE13, CH4/PE14, BKIN/PE15, CH1N/PE8, CH2N/PE10, CH3N/PE12 |
| 7   | TIM1_REMAP1   |                                                                                                                                                                                                                                                                                                                                                                                                 |

|       |                                      |                                                                                                                                                                                                                                                                       |
|-------|--------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 8     | TIM2_REMAP0                          | Переназначение выводы TIM2 на другие линии:<br><b>00:</b> CH1/ETR/PA0, CH2/PA1, CH3/PA2, CH4/PA3<br><b>01:</b> CH1/ETR/PA15, CH2/PB3, CH3/PA2, CH4/PA3<br><b>10:</b> CH1/ETR/PA0, CH2/PA1, CH3/PB10, CH4/PB11<br><b>11:</b> CH1/ETR/PA15, CH2/PB3, CH3/PB10, CH4/PB11 |
| 9     | TIM2_REMAP1                          |                                                                                                                                                                                                                                                                       |
| 10    | TIM3_REMAP0                          | Переназначение выводы TIM3 на другие линии:<br><b>00:</b> CH1/PA6, CH2/PA7, CH3/PB0, CH4/PB1<br><b>01:</b> р е з е р в<br><b>10:</b> CH1/PB4, CH2/PB5, CH3/PB0, CH4/PB1<br><b>11:</b> CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9                                              |
| 11    | TIM3_REMAP1                          |                                                                                                                                                                                                                                                                       |
| 12    | TIM4_REMAP                           | Переназначение выводы TIM4 на другие линии:<br><b>0:</b> TIM4_CH1/PB6, TIM4_CH2/PB7, TIM4_CH3/PB8, TIM4_CH4/PB9<br><b>1:</b> TIM4_CH1/PD12, TIM4_CH2/PD13, TIM4_CH3/PD14, TIM4_CH4/PD15                                                                               |
| 13    | CAN_REMAP0<br>или резерв             | Переназначение выводы CAN на другие линии:<br><b>00:</b> CAN_RX/PA11, CAN_TX/PA12<br><b>01:</b> р е з е р в<br><b>10:</b> CAN_RX/PB8, CAN_TX/PB9<br><b>11:</b> CAN_RX/PD0, CAN_TX/PD1                                                                                 |
| 14    | CAN_REMAP1<br>или резерв             |                                                                                                                                                                                                                                                                       |
| 15    | PD01_REMAP                           | Переназначение выводов внешнего кварца на PD0, PD1<br><b>0:</b> OSC_IN, OSC_OUT (PD0 и PD1 отсутствуют)<br><b>1:</b> Замена OSC_IN на PD0, OSC_OUT на PD1                                                                                                             |
| 16    | TIM5CH4_IEMAP                        | Переназначение выводы TIM5 на другие линии:<br><b>0:</b> TIM5_CH4/PA3<br><b>1:</b> TIM5_CH4 подключён к сигналу LSI (для калибровки)                                                                                                                                  |
| 17    | ADC1_ETRGINJ<br>_REMAP<br>или резерв | Выбор источника запуска ADC1<br><b>0:</b> запуск преобразования ADC1 по сигналу EXTI15 (см. AFIO_EXTICR4 – регистр конфигурации внешних прерывания).<br><b>1:</b> запуск преобразования ADC1 от TIM8_CH4–совпадение                                                   |
| 18    | ADC1_ETRGREG<br>_REMAP<br>или резерв | Выбор источника запуска ADC1<br><b>0:</b> запуск преобразования ADC1 по сигналу EXTI11 (см. AFIO_EXTICR3 – регистр конфигурации внешних прерывания).<br><b>1:</b> запуск преобразования ADC1 от TIM8_TRGO (см. TIMx->CR2[MMS0-MMS2])                                  |
| 19    | ADC2_ETRGINJ<br>_REMAP<br>или резерв | Выбор источника запуска ADC2<br><b>0:</b> запуск преобразования ADC2 по сигналу (см. AFIO_EXTICR4 – регистр конфигурации внешних прерывания).<br><b>1:</b> запуск преобразования ADC2 от TIM8_CH4–совпадение                                                          |
| 20    | ADC2_ETRGREG<br>_REMAP<br>или резерв | Выбор источника запуска ADC2<br><b>0:</b> запуск преобразования ADC2 по сигналу EXTI11 (см. AFIO_EXTICR3 – регистр конфигурации внешних прерывания).<br><b>1:</b> запуск преобразования ADC2 от TIM8_TRGO (см. TIMx->CR2[MMS0-MMS2])                                  |
| 21-23 | -                                    | Р е з е р в                                                                                                                                                                                                                                                           |
| 24    | SWJ_CFG0                             | Состояние выводов отладки и программирования:<br><b>000:</b> Полный SWJ (JTAG-DP + SW-DP)<br><b>001:</b> (JTAG-DP + SW-DP) бит JNTRST выключен                                                                                                                        |
| 25    | SWJ_CFG1                             |                                                                                                                                                                                                                                                                       |
| 26    | SWJ_CFG2                             |                                                                                                                                                                                                                                                                       |

|       |   |                                                                                 |
|-------|---|---------------------------------------------------------------------------------|
|       |   | 010: JTAG-DP выключен, SW-DP включён.<br>100: JTAG-DP выключен, SW-DP выключен. |
| 27-31 | - | Р е з е р в                                                                     |

### AFIO->EXTICR1 (Регистр конфигурации внешних прерываний №1)

|            |    |    |    |            |    |    |    |            |    |    |    |            |    |    |    |
|------------|----|----|----|------------|----|----|----|------------|----|----|----|------------|----|----|----|
| 31         | 30 | 29 | 28 | 27         | 26 | 25 | 24 | 23         | 22 | 21 | 20 | 19         | 18 | 17 | 16 |
| Reserved   |    |    |    |            |    |    |    |            |    |    |    |            |    |    |    |
| 15         | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7          | 6  | 5  | 4  | 3          | 2  | 1  | 0  |
| EXTI3[3:0] |    |    |    | EXTI2[3:0] |    |    |    | EXTI1[3:0] |    |    |    | EXTI0[3:0] |    |    |    |
| rw         | rw | rw | rw | rw         | rw | rw | rw | rw         | rw | rw | rw | rw         | rw | rw | rw |

Состояние после сброса: 0x0000

### AFIO->EXTICR2 (Регистр конфигурации внешних прерываний №2)

|            |    |    |    |            |    |    |    |            |    |    |    |            |    |    |    |
|------------|----|----|----|------------|----|----|----|------------|----|----|----|------------|----|----|----|
| 31         | 30 | 29 | 28 | 27         | 26 | 25 | 24 | 23         | 22 | 21 | 20 | 19         | 18 | 17 | 16 |
| Reserved   |    |    |    |            |    |    |    |            |    |    |    |            |    |    |    |
| 15         | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7          | 6  | 5  | 4  | 3          | 2  | 1  | 0  |
| EXTI7[3:0] |    |    |    | EXTI6[3:0] |    |    |    | EXTI5[3:0] |    |    |    | EXTI4[3:0] |    |    |    |
| rw         | rw | rw | rw | rw         | rw | rw | rw | rw         | rw | rw | rw | rw         | rw | rw | rw |

Состояние после сброса: 0x0000

### AFIO->EXTICR3 (Регистр конфигурации внешних прерываний №3)

|             |    |    |    |             |    |    |    |            |    |    |    |            |    |    |    |
|-------------|----|----|----|-------------|----|----|----|------------|----|----|----|------------|----|----|----|
| 31          | 30 | 29 | 28 | 27          | 26 | 25 | 24 | 23         | 22 | 21 | 20 | 19         | 18 | 17 | 16 |
| Reserved    |    |    |    |             |    |    |    |            |    |    |    |            |    |    |    |
| 15          | 14 | 13 | 12 | 11          | 10 | 9  | 8  | 7          | 6  | 5  | 4  | 3          | 2  | 1  | 0  |
| EXTI11[3:0] |    |    |    | EXTI10[3:0] |    |    |    | EXTI9[3:0] |    |    |    | EXTI8[3:0] |    |    |    |
| rw          | rw | rw | rw | rw          | rw | rw | rw | rw         | rw | rw | rw | rw         | rw | rw | rw |

Состояние после сброса: 0x0000

### AFIO->EXTICR4 (Регистр конфигурации внешних прерываний №4)

|             |    |    |    |             |    |    |    |             |    |    |    |             |    |    |    |
|-------------|----|----|----|-------------|----|----|----|-------------|----|----|----|-------------|----|----|----|
| 31          | 30 | 29 | 28 | 27          | 26 | 25 | 24 | 23          | 22 | 21 | 20 | 19          | 18 | 17 | 16 |
| Reserved    |    |    |    |             |    |    |    |             |    |    |    |             |    |    |    |
| 15          | 14 | 13 | 12 | 11          | 10 | 9  | 8  | 7           | 6  | 5  | 4  | 3           | 2  | 1  | 0  |
| EXTI15[3:0] |    |    |    | EXTI14[3:0] |    |    |    | EXTI13[3:0] |    |    |    | EXTI12[3:0] |    |    |    |
| rw          | rw | rw | rw | rw          | rw | rw | rw | rw          | rw | rw | rw | rw          | rw | rw | rw |

Состояние после сброса: 0x0000

### Назначение битов регистров AFIO->EXTICRx:

| Состояние битов EXTIx |        |        |        | Порт, линия которого может использоваться в качестве входа внешнего прерывания EXTI0- EXTI15 |
|-----------------------|--------|--------|--------|----------------------------------------------------------------------------------------------|
| EXTIx3                | EXTIx2 | EXTIx1 | EXTIx0 |                                                                                              |
| 0                     | 0      | 0      | 0      | PA[x]-pin                                                                                    |
| 0                     | 0      | 0      | 1      | PB[x]-pin                                                                                    |
| 0                     | 0      | 1      | 0      | PC[x]-pin                                                                                    |
| 0                     | 0      | 1      | 1      | PD[x]-pin                                                                                    |
| 0                     | 1      | 0      | 0      | PE[x]-pin                                                                                    |
| 0                     | 1      | 0      | 1      | PF[x]-pin                                                                                    |
| 0                     | 1      | 1      | 0      | PG[x]-pin                                                                                    |

Обращение к AFIO->EXTICRx осуществляется, как к массивам.

Пример использования в качестве источника внешнего прерывания EXTI2 линии PC2:  
AFIO->EXTICR[0]=0x0200;

**AFIO->MAPR2 (Регистр переназначения выводов и сигналов №2)** Состояние после сброса - 0x0000, биты доступны для чтения и записи. **(Только в STM32F100xx)**

| Бит   | Название                            | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|-------|-------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | TIM15_REMAP                         | Переназначение выходы TIM15 на другие линии:<br><b>0:</b> CH1/PA2, CH2/PA3<br><b>1:</b> CH1/PB14, CH2/PB15                                                                                                                                                                                                                                                                                                                                                                             |
| 1     | TIM16_REMAP                         | Переназначение выходы TIM16 на другие линии:<br><b>0:</b> CH1/PB8<br><b>1:</b> CH1/PA6                                                                                                                                                                                                                                                                                                                                                                                                 |
| 2     | TIM17_REMAP                         | Переназначение выходы TIM17 на другие линии:<br><b>0:</b> CH1/PB9<br><b>1:</b> CH1/PA7                                                                                                                                                                                                                                                                                                                                                                                                 |
| 3     | CEC_REMAP                           | Переназначение вывода интерфейса связи CEC:<br><b>0:</b> CH1/PB9<br><b>1:</b> CH1/PA7                                                                                                                                                                                                                                                                                                                                                                                                  |
| 4     | TIM1_DMA_REMAP                      | Переназначение запросов DMA от таймера TIM1:<br><b>0:</b> DMA-запрос от CH1 обращён к каналу №2 DMA1, DMA-запрос от CH2 обращён к каналу №3 DMA1.<br><br><b>1:</b> DMA-запрос от CH1 обращён к каналу №2 DMA6 и DMA-запрос от CH2 обращён к каналу №3 DMA6.                                                                                                                                                                                                                            |
| 5-7   | -                                   | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |
| 8     | TIM13_REMAP                         | Переназначение выходы TIM13 на другие линии:<br><b>0:</b> CH1/PC8<br><b>1:</b> CH1/PB0                                                                                                                                                                                                                                                                                                                                                                                                 |
| 9     | TIM14_REMAP                         | Переназначение выходы TIM14 на другие линии:<br><b>0:</b> CH1/PC9<br><b>1:</b> CH1/PB1                                                                                                                                                                                                                                                                                                                                                                                                 |
| 10    | FSMC_NADV<br>и л и<br>р е з е р в   | Управление сигналом NADV (работа с внешним ОЗУ)<br><b>0:</b> вывод NADV используется.<br><b>1:</b> вывод NADV может использоваться в качестве дополнительной линии ввода / вывода.                                                                                                                                                                                                                                                                                                     |
| 11    | TIM67_DAC_DMA_REMAP                 | Переназначение запросов DMA<br><b>0:</b> Запросы DMA от TIM6 и DAC1 адресуются к DMA2 (канал-3), запросы DMA от TIM7 и DAC2 адресуются к DMA2 (канал-4)<br><b>1:</b> Запросы DMA от TIM6 и DAC1 адресуются к DMA1 (канал-3), запросы DMA от TIM7 и DAC2 адресуются к DMA1 (канал-4)                                                                                                                                                                                                    |
| 12    | TIM12_REMAP<br>и л и<br>р е з е р в | Переназначение выходы TIM12 на другие линии:<br><b>0:</b> CH1/PC4 и CH2/PC5<br><b>1:</b> CH1/PB12 и CH2/PB13                                                                                                                                                                                                                                                                                                                                                                           |
| 13    | MISC_REMAP<br>и л и<br>р е з е р в  | Выбор вектора прерывания от DMA-2, обработавшего DMA-запрос, поступивший от DAC (ЦАП).<br><b>0:</b> Прерывания от 5-го и 4-го каналов DMA2 имеют один и тот же вектор прерывания №59. +запуск от TIM1,3<br><b>1:</b> Прерывание от 5-го канала DMA-2 имеет свой отдельный вектор прерывания №60. + запуск от TIM15, TIM1,3<br><b>Примечание:</b> Это справедливо только в том случае, если для запуска DAC выбран сигнал TRGO таймера TIM5 (см. регистр DAC_CR, биты TSEL[2:0] = 011). |
| 14-31 | -                                   | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |

## Системный таймер SysTick.

В состав ядра Cortex-M3 входит 24-разрядный вычитающий счётчик с функциями автоматической перезагрузки и прерывания по переполнению. Источником синхронизации таймера может служить частота ядра  $f_{HCLK}$  или  $f_{HCLK}/8$ .

**Примечание:** Названия регистров SysTick приведены в виде, “понятном” компилятору и отличаются от оригинальных, приведённого в технической документации ARM.

**SysTick->CTRL (Регистр управления и статуса SysTick)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит   | Название  | Назначение                                                                                                                                                        |
|-------|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | ENABLE    | <b>1:</b> Запустить таймер. <b>0:</b> Остановить таймер.                                                                                                          |
| 1     | TICKINT   | <b>0:</b> Запретить прерывание. <b>1:</b> Разрешить прерывание.                                                                                                   |
| 2     | CLKSOURCE | Выбор источника синхронизации.<br><b>0:</b> синхронизировать частотой $f_{HCLK}/8$ .<br><b>1:</b> синхронизировать частотой ядра $f_{HCLK}$ .                     |
| 3-15  | -         | Р е з е р в                                                                                                                                                       |
| 16    | COUNTFLAG | Флаг переполнения. Устанавливается в “1” автоматически при переполнении счётчика (попытка перехода из состояния 0 в состояние -1). Сбрасывается в “0” программно. |
| 17-31 | -         | Р е з е р в                                                                                                                                                       |

## SysTick->LOAD (Регистр перезагрузки счётчика SysTick)

|                 |     |     |     |     |     |     |     |                  |     |     |     |     |     |     |     |
|-----------------|-----|-----|-----|-----|-----|-----|-----|------------------|-----|-----|-----|-----|-----|-----|-----|
| 31              | 30  | 29  | 28  | 27  | 26  | 25  | 24  | 23               | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| Reserved        |     |     |     |     |     |     |     | RELOAD [23 : 16] |     |     |     |     |     |     |     |
|                 |     |     |     |     |     |     |     | r/w              | r/w | r/w | r/w | r/w | r/w | r/w | r/w |
| 15              | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7                | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| RELOAD [15 : 0] |     |     |     |     |     |     |     |                  |     |     |     |     |     |     |     |
| r/w             | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w              | r/w | r/w | r/w | r/w | r/w | r/w | r/w |

Состояние после сброса: 0x0000 0000

Содержит данные автоматически загружаемые в счётчик SysTick->VAL при его запуске (установка SysTick->CTRL[ENABLE] в “1”) и при его переполнении.

## SysTick->VAL (Счётчик системного таймера SysTick)

|                  |      |      |      |      |      |      |      |                   |      |      |      |      |      |      |      |
|------------------|------|------|------|------|------|------|------|-------------------|------|------|------|------|------|------|------|
| 31               | 30   | 29   | 28   | 27   | 26   | 25   | 24   | 23                | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| Reserved         |      |      |      |      |      |      |      | CURRENT [23 : 16] |      |      |      |      |      |      |      |
|                  |      |      |      |      |      |      |      | r/w0              | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 |
| 15               | 14   | 13   | 12   | 11   | 10   | 9    | 8    | 7                 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| CURRENT [15 : 0] |      |      |      |      |      |      |      |                   |      |      |      |      |      |      |      |
| r/w0             | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0              | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 | r/w0 |

Состояние после сброса: 0x0000 0000

Счётчик осуществляет вычитание. При переполнении устанавливается флаг SysTick->CTRL[COUNTFLAG] и может быть вызвано прерывание (если оно разрешено). Запись в счётчик любого значения приводит к его очистке и последующей перезагрузки, однако при этом флаг SysTick->CTRL[COUNTFLAG] не устанавливается и прерывание не вызывается.

**Примечание:** Системный таймер SysTick имеет регистр калибровки SysTick->CALIB, доступный только для чтения. В пользовательских приложениях он, как правило, не используется.

## Таймеры TIM 1-17.

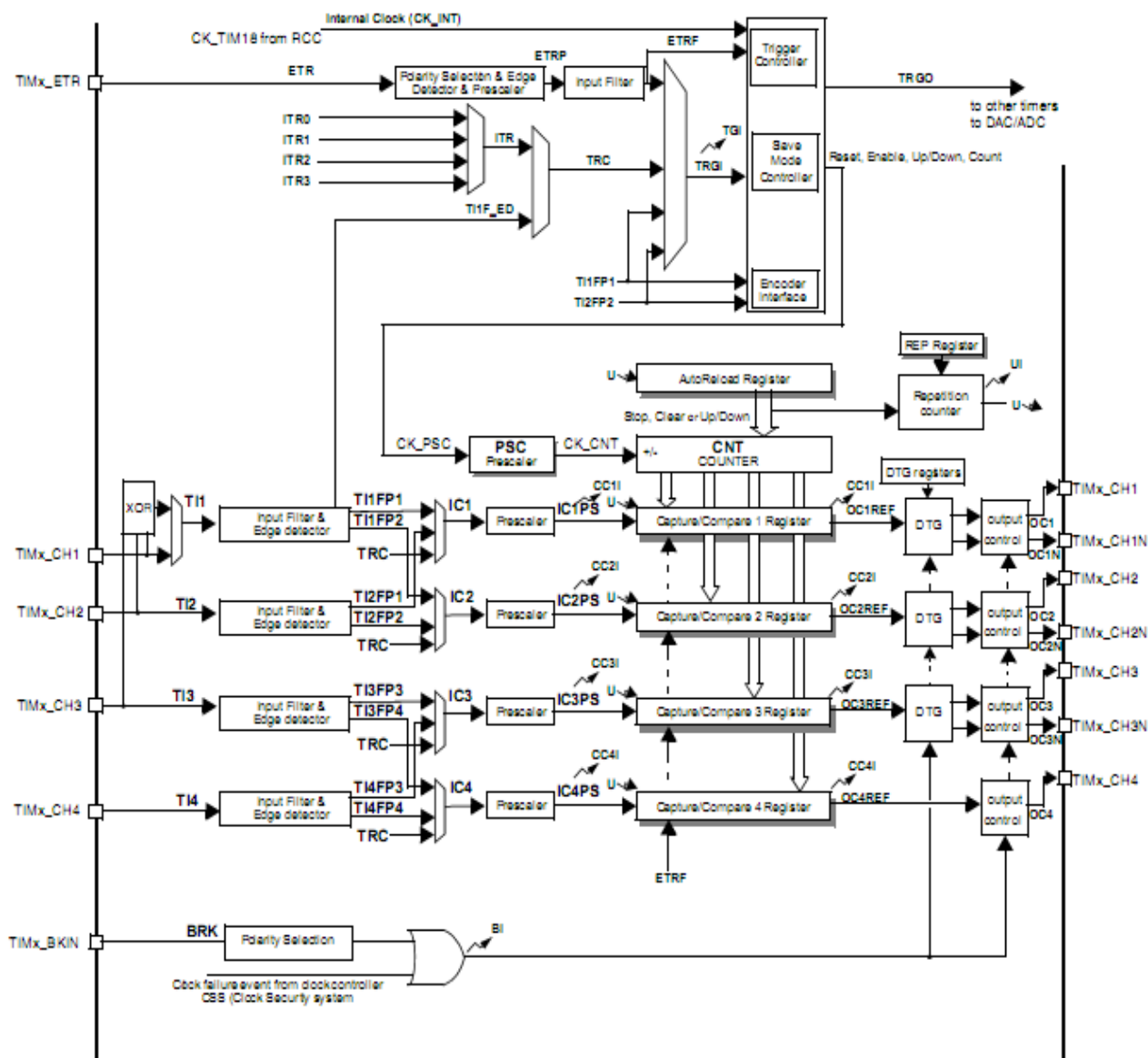
Серия STM32F10xxx может содержать разное количество таймеров (TIM1 - TIM17).

Таймеры TIM1 и TIM8 – таймеры с расширенными возможностями, остальные – таймеры общего назначения.

Общая характеристика таймеров, входящих в состав наиболее популярных микроконтроллеров:

| Таймер | Кол-во разрядов | Тип счёта                                     | Коэф.предвар. делителя асоты | Генерация запроса DMA | Каналы захвата / сравнения | Примечание                  |
|--------|-----------------|-----------------------------------------------|------------------------------|-----------------------|----------------------------|-----------------------------|
| TIM1   | 16              | + (вверх),<br>- (вниз),<br>+/- (вверх и вниз) | 1 – 65536                    | Да                    | 4                          | STM32F100<br>и<br>STM32F103 |
| TIM2   |                 |                                               |                              |                       |                            |                             |
| TIM3   |                 |                                               |                              |                       |                            |                             |
| TIM4   |                 |                                               |                              |                       |                            |                             |
| TIM15  | 16              | Только<br>+ (вверх - инкремент)               | 1 – 65536                    | Да                    | 2                          | Только<br>STM32F100         |
| TIM16  |                 |                                               |                              |                       | 1                          |                             |
| TIM17  |                 |                                               |                              |                       |                            |                             |

## Структурная схема таймера TIM1:



## Регистры управления таймерами:

| Назначение группы регистров                                          | Регистр      | TIM1 | TIM2-5 | TIM15 | TIM16,17 |
|----------------------------------------------------------------------|--------------|------|--------|-------|----------|
| Общее управление                                                     | <b>CR1</b>   | +    | +      | +     | +        |
|                                                                      | <b>CR2</b>   | +    | +      | +     | +        |
|                                                                      | <b>SMCR</b>  | +    | +      | +     | Нет      |
| Прерывания, статус, генерация событий.                               | <b>DIER</b>  | +    | +      | +     | +        |
|                                                                      | <b>SR</b>    | +    | +      | +     | +        |
|                                                                      | <b>EGR</b>   | +    | +      | +     | +        |
| Захват и сравнение                                                   | <b>CCMR1</b> | +    | +      | +     | +        |
|                                                                      | <b>CCMR2</b> | +    | +      | Нет   | Нет      |
|                                                                      | <b>CCER</b>  | +    | +      | +     | +        |
|                                                                      | <b>CCR1</b>  | +    | +      | +     | +        |
|                                                                      | <b>CCR2</b>  | +    | +      | +     | Нет      |
|                                                                      | <b>CCR3</b>  | +    | +      | Нет   | Нет      |
|                                                                      | <b>CCR4</b>  | +    | +      | Нет   | Нет      |
| Счёт, предварительное деление частоты, перезагрузка, повторения, DMA | <b>CNT</b>   | +    | +      | +     | +        |
|                                                                      | <b>PSC</b>   | +    | +      | +     | +        |
|                                                                      | <b>ARR</b>   | +    | +      | +     | +        |
|                                                                      | <b>RCR</b>   | +    | +      | +     | +        |
|                                                                      | <b>DCR</b>   | +    | +      | +     | +        |
|                                                                      | <b>DMAR</b>  | +    | +      | +     | +        |
| Перерыв, мёртвое время                                               | <b>BDTR</b>  | +    | Нет    | +     | +        |

Примечание: 1. Старшие модели STM32F100xx имеют дополнительный регистр TIM2\_OR  
 2. Рядом ниже описанных битов может отсутствовать в таймерах TIM2-TIM17.

## Группа регистров общего управления

**TIMx->CR1 (регистр управления №1 таймера -x)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит | Название   | Назначение                                                                                                                                                                                                                                                                                                                                                                                 |
|-----|------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | <b>CEN</b> | <b>Запуск / остановка счётчика.</b> 0: стоп, 1: работа счётчика                                                                                                                                                                                                                                                                                                                            |
| 1   | UDIS       | Запрещение обновления. 0: разрешено, 1: запрещено                                                                                                                                                                                                                                                                                                                                          |
| 2   | URS        | Выбор источника запроса обновления, при котором формируется прерывание обновления или запуск DMA.<br>0: все предусмотренные запросы на обновление:<br>- переполнение таймера;<br>- установка в "1" бита UG регистра TIMx_EGR (регистра генерации событий);<br>- запрос обновления от подчинённого таймера, если организована каскадная работа таймеров.<br>1: только переполнении таймера. |
| 3   | OPM        | Режим одного импульса:<br>0: нет, т.е. при переполнении счётчик не останавливается, а так же допускается изменять его содержимое в процессе счёта.<br>1: да, т.е. при достижении переполнения или при попытке изменить содержимое TIMx->CNT счётчик останавливается и очищается бит CEN. (Работа в режиме PWM недоступна)                                                                  |
| 4   | <b>DIR</b> | <b>Направление счёта.</b> 0: <b>вверх</b> (+), 1: <b>вниз</b> (-).                                                                                                                                                                                                                                                                                                                         |
| 5   | CMS0       | Выбор способа выравнивания<br>00: Счёт <b>вверх или вниз</b> (в зависимости от состояния бита DIR).<br>01: Счёт <b>вверх и вниз</b> . При счёте <b>вниз</b> вызывает прерывание по совпадению, если обнаружено совпадение и если в регистре TIMx_CCMRx биты CCxS=00.                                                                                                                       |
| 6   | CMS1       |                                                                                                                                                                                                                                                                                                                                                                                            |

|       |      |                                                                                                                                                                                                                                                                                                                                                     |                                                                                                                                                                                                                                        |
|-------|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |      | <b>10:</b> Счёт <b>вверх и вниз</b> . При счёте <b>вверх</b> вызывает прерывание по совпадению, если обнаружено совпадение и если в регистре TIMx_CCMRx биты CCxS=00.<br><b>11:</b> Счёт <b>вверх и вниз</b> . При любом направлении счёта вызывает прерывание по совпадению, если обнаружено совпадение и если в регистре TIMx_CCMRx биты CCxS=00. |                                                                                                                                                                                                                                        |
| 7     | ARPE | Разрешение предварительной авто перезагрузки<br><b>0:</b> регистр TIMx_ARR не буферизован.<br><b>1:</b> регистр TIMx_ARR буферизован, т.е. введенные данные вступят в силу только после очередной перезагрузки счётчика.                                                                                                                            |                                                                                                                                                                                                                                        |
| 8     | CKD0 | <b>00:</b> $fDTS=fCK\_INT$<br><b>01:</b> $fDTS=fCK\_INT/2$<br><b>10:</b> $fDTS=fCK\_INT/4$<br><b>11:</b> резерв                                                                                                                                                                                                                                     | Делитель частоты, где:<br><b>fDTS</b> - частота тактирования счётчика<br>“мёртвого” время и фильтров<br>“downcounter”.<br><b>fCK_INT</b> - частота синхронизации таймера формируемая предварительным делителем частоты шины TIMx->PSC. |
| 9     | CKD1 |                                                                                                                                                                                                                                                                                                                                                     |                                                                                                                                                                                                                                        |
| 10-16 | -    | Р е з е р в                                                                                                                                                                                                                                                                                                                                         |                                                                                                                                                                                                                                        |

**TIMx->CR2 (регистр управления №2 таймера -x)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит | Название                  | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
|-----|---------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | CCPC<br><br>или<br>резерв | Управление предварительной установкой битов TIMx_CCER:[CCxE, CCxNE] и TIMx_CCMRx:[OCxM].<br><b>0:</b> Биты предварительно не установлены.<br><b>1:</b> Биты предварительно установлены и в дальнейшем могут быть скорректированы.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 1   | -                         | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| 2   | CCUS<br><br>или<br>резерв | Управление коррекцией битов TIMx_CCER:[CCxE, CCxNE] и TIMx_CCMRx:[OCxM], в случае, когда они предварительно установлены (CCPC=1):<br><b>0:</b> Биты могут быть скорректированы только установкой бита TIMx_EGR:[COMG].<br><b>1:</b> Биты могут быть скорректированы фронтом сигнала синхронизации счётчика TRGI или установкой бита TIMx_EGR:[COMG].                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 3   | CCDS                      | Выбор источника запроса DMA от таймера:<br><b>0:</b> событие на ножке микросхемы CCx (TIMx_CH2).<br><b>1:</b> при обновлении таймера.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 4   | MMS0                      | Управление выходом таймера TRGO, который может использоваться другими таймерами в качестве источника синхросигнала. Предусмотрены режимы управления:<br><b>000: Reset</b> – выход TRGO соединён с битом UG регистра TIMx_EGR (регистр генерации событий).<br><b>001: Enable</b> - на выход TRGO поступает сигнал запуска таймера CNT_EN (полезно для одновременного запуска сразу нескольких таймеров, см. регистр TIMx->SMCR [MSM]).<br><b>010: Update</b> – в момент обновления таймера формируется сигнал TRGO (может формировать запроса на обновление другого таймера, используемого в качестве предварительного делителя частоты).<br><b>011: Compare Pulse</b> – на выходе TRGO формируется импульс в тот момент, когда должен быть установлен флаг CC1IF регистра TIMx_SR (даже, |
| 5   | MMS1                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 6   | MMS2                      |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |

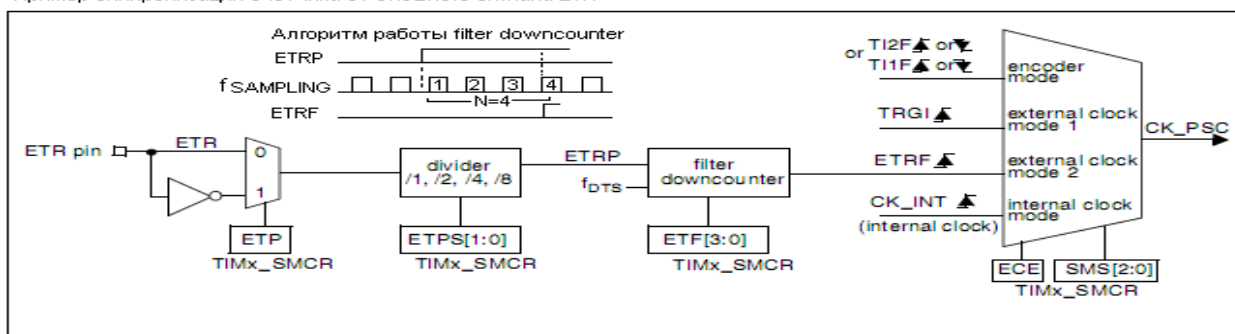
|    |       |                                                                                                                                                                                                                                                                                                                            |
|----|-------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|    |       | если этот флаг не был сброшен).<br><b>100: Compare-1 , 101: Compare-2 , 110: Compare-3 и 111: Compare-4</b> – на выход поступает сигнал OCxREF , формируемым соответствующим узлом захвата / сравнения (OC1REF, OC2REF, OC3REF, OC4REF)                                                                                    |
| 7  | TI1S  | Управление входом (TI1) блока захвата №1<br><b>0:</b> ножка TIMx_CH1 подключена ко входу TI1<br><b>1:</b> ножки TIMx_CH1, CH2 и CH3 подключены ко входу TI1 (комбинация XOR - исключающее или).<br>Вне зависимости от состояния этого бита ножки TIMx_CH2 и CH3 не теряют связь со входами TI2 и TI3 своих блоков захвата. |
| 8  | OIS1  | Состояние соответствующих выводов микросхемы (OISx и OICxN ) в случае экстренного отключения.<br><br>и л и<br><br>Р е з е р в                                                                                                                                                                                              |
| 9  | OIC1N |                                                                                                                                                                                                                                                                                                                            |
| 10 | OIS2  |                                                                                                                                                                                                                                                                                                                            |
| 11 | OIC2N |                                                                                                                                                                                                                                                                                                                            |
| 12 | OIS3  |                                                                                                                                                                                                                                                                                                                            |
| 13 | OIC3N |                                                                                                                                                                                                                                                                                                                            |
| 14 | OIS4  |                                                                                                                                                                                                                                                                                                                            |
| 15 | -     | Р е з е р в                                                                                                                                                                                                                                                                                                                |

**TIMx->SMCR (Регистр управления таймером в режиме ведомого)** Состояние после сброса - 0x0000, биты доступны для чтения и записи. (Биты 15-8 не у всех счётчиков)

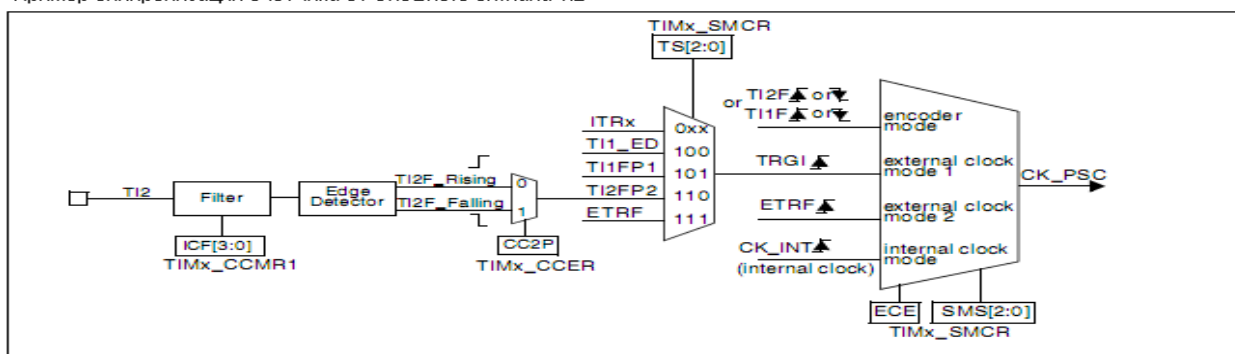
| Бит | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |
|-----|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | SMS0     | Выбор режима <b>“Slave (ведомый)”</b> .                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 1   | SMS1     | <b>000:</b> Режим <b>“Master (ведущий)”</b> . Синхронизация счётчика осуществляется от CK_INT.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 2   | SMS2     | <b>001:</b> Режим <b>“Encoder -1”</b> - Счетчик считает фронты TI1FP1, если TI2FP2="1" или спады TI1FP1, если TI2FP2="0".<br><b>010:</b> Режим <b>“Encoder -2”</b> - Счетчик считает фронты TI2FP2, если TI1FP1="1" или спады TI2FP2, если TI1FP1="0".<br><b>011:</b> Режим <b>“Encoder -3”</b> - Счетчик считает фронты TI1FP1 (TI2FP2), если противоположный сигнал TI2FP2 (TI1FP1)="1" или спады TI1FP1 (TI2FP2), если противоположный сигнал TI2FP2 (TI1FP1)="0"<br><b>100:</b> Режим <b>“Reset”</b> – По фронту выбранного сигнала (см. TS0-TS2) осуществляется перезагрузка и запуск счётчика (в качестве сигнала синхронизации используется CK_INT).<br><b>101:</b> Режим <b>“Gated”</b> – На время действия “0” на выбранном входе (см. TS0-TS2) счёт приостанавливается. (Данный режим не поддерживается, если TS[2:0]="100".) В качестве сигнала синхронизации используется CK_INT.<br><b>110:</b> Режим <b>“Trigger”</b> – При поступлении фронта выбранного сигнала (см. TS0-TS2) счетчик начинает счёт. Содержимое счётчика при этом не перезагружается. В качестве сигнала синхронизации используется CK_INT.<br><b>111:</b> Режим <b>“External Clock-1”</b> – Синхронизация счётчика осуществляется фронтом выбранного сигнала (см. TS0-TS2). |
| 3   | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 4   | TS0      | Выбор источника синхронизации счётчика                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
| 5   | TS1      | <b>000:</b> Внутренний сигнал 0 (ITR0).                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 6   | TS2      | <b>001:</b> Внутренний сигнал 1 (ITR1).<br><b>010:</b> Внутренний сигнал 2 (ITR2).<br><b>011:</b> Внутренний сигнал 3 (ITR3).<br><b>100:</b> Изменение полярности внешнего сигнала - TI1 (TI1F_ED).<br><b>101:</b> Отфильтрованный внешний сигнал - 1 (TI1FP1).<br><b>110:</b> Отфильтрованный внешний сигнал - 2 (TI2FP2).<br><b>111:</b> Внешний сигнал ETR (ETRF).                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |

|    |       |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|----|-------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|    |       | <b>Примечание:</b> 1. <b>ITRx</b> – это выходной сигнал <b>TRGO</b> другого таймера, см. тех. описание STM32F10xxx.<br>2. Изменять эти биты следует, когда режим “Slave (ведомый)” выключен, т.е. <b>SMS=000</b> .                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
| 7  | MSM   | Предотвращение задержки между сигналом, поступающим на управление таймером, и выходным сигналом TRGO. (Это необходимо учитывать при одновременном запуске нескольких таймеров (см. регистр TIMx->CR2 [MMS2 – MMS0]).<br>“0”: режим отключен.<br>“1”: предотвращение задержки TRGO включено.                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 8  | ETF0  | Частота фильтрации (fSAMPLING) и кол-во выборок (N)<br><b>0000:</b> Без фильтрации fSAMPLING=fDTS, N=1.<br><b>0001:</b> fSAMPLING=fCK_INT, N=2.<br><b>0010:</b> fSAMPLING=fCK_INT, N=4.<br><b>0011:</b> fSAMPLING=fCK_INT, N=8.<br><b>0100:</b> fSAMPLING=fDTS/2, N=6.<br><b>0101:</b> fSAMPLING=fDTS/2, N=8.<br><b>0110:</b> fSAMPLING=fDTS/4, N=6.<br><b>0111:</b> fSAMPLING=fDTS/4, N=8.<br><b>1000:</b> fSAMPLING=fDTS/8, N=6.<br><b>1001:</b> fSAMPLING=fDTS/8, N=8.<br><b>1010:</b> fSAMPLING=fDTS/16, N=5.<br><b>1011:</b> fSAMPLING=fDTS/16, N=6.<br><b>1100:</b> fSAMPLING=fDTS/16, N=8.<br><b>1101:</b> fSAMPLING=fDTS/32, N=5.<br><b>1110:</b> fSAMPLING=fDTS/32, N=6.<br><b>1111:</b> fSAMPLING=fDTS/32, N=8. (fDTS – см. TIMx->CR1) |
| 9  | ETF1  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 10 | ETF2  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 11 | ETF3  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 12 | ETPS0 | Коэффициент предварительного деления частоты внешнего сигнала fETR: <b>00:</b> fETPR=fETR, <b>01:</b> fETPR=fETR/2,<br><b>10:</b> fETPR=fETR/4, <b>11:</b> fETPR=fETR/8.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 13 | ETPS1 |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 14 | ECE   | Режим синхронизации счётчика от внешнего сигнала ETR<br>“0”- запрещена, “1” – разрешена.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 15 | ETP   | Выбор активного состояния внешнего сигнала ETR:<br>“0”: активный фронт (переход от “0” к “1”).<br>“1”: активный спад (переход от “1” к “0”).                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |

Пример синхронизации счётчика от внешнего сигнала ETR



Пример синхронизации счётчика от внешнего сигнала TI2



## Группа регистров прерывания, статуса и генерации событий

**TIMx->DIER (Регистр включения DMA и прерываний)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                 |
|-----|----------|--------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | UIE      | Прерывание по обновлению счётчика.<br><b>0</b> - запретить, <b>1</b> – разрешить.                                                          |
| 1   | CC1IE    | Прерывание по сравнению / захвату в канале № 1 (2, 3, 4).<br><b>0</b> – запретить.<br><b>1</b> – разрешить.                                |
| 2   | CC2IE    |                                                                                                                                            |
| 3   | CC3IE    |                                                                                                                                            |
| 4   | CC4IE    |                                                                                                                                            |
| 5   | COMIE    | Прерывание по событию COM (см. TIMx_EGR[COMG] ).<br><b>0</b> - запретить, <b>1</b> – разрешить                                             |
| 6   | TIE      | Прерывание по сигналу TRGI (См. TIMx->SMCR).<br><b>0</b> - запретить, <b>1</b> – разрешить                                                 |
| 7   | BIE      | Аварийное прерывание по сигналу <b>BRK</b> или пропаданию синхросигнала системы ( <b>CSS</b> ). <b>0</b> - запретить, <b>1</b> – разрешить |
| 8   | UDE      | Запрос DMA по обновлению счётчика.<br><b>0</b> - запретить, <b>1</b> – разрешить                                                           |
| 9   | CC1DE    | Запрос DMA по сравнению / захвату в канале № 1 (2, 3, 4).<br><b>0</b> – запретить.<br><b>1</b> – разрешить.                                |
| 10  | CC2DE    |                                                                                                                                            |
| 11  | CC3DE    |                                                                                                                                            |
| 12  | CC4DE    |                                                                                                                                            |
| 13  | COMIDE   | Запрос DMA по событию COM (см. TIMx_EGR[COMG] ).<br><b>0</b> - запретить, <b>1</b> – разрешить.                                            |
| 14  | TDE      | Запрос DMA по переполнению счётчика.<br><b>0</b> - запретить, <b>1</b> – разрешить                                                         |
| 15  | -        | Р е з е р в                                                                                                                                |

**TIMx->SR (Регистр статуса таймера)** Состояние после сброса - 0x0000, биты доступны для сброса и чтения. Устанавливаются аппаратно, очищаются программно записью “0”.

| Бит | Название | Назначение                                                                                                                                                                                       |
|-----|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | UIF      | Флаг прерывания по обновлению счётчика.<br><b>0</b> : Переполнение не обнаружено..<br><b>1</b> : Обнаружено переполнение счётчика.<br><b>Примечание:</b> См. TIMx_CR1[URS, UDIS] и TIMx_EGR[UG]. |
| 1   | CC1IF    | Флаг захвата / сравнения в канале № 1 (2, 3, 4).<br><b>0</b> : захвата / сравнения в канале не обнаружено.<br><b>1</b> : в канале № 1 (2, 3, 4) произошёл захват / сравнение.                    |
| 2   | CC2IF    |                                                                                                                                                                                                  |
| 3   | CC3IF    |                                                                                                                                                                                                  |
| 4   | CC4IF    |                                                                                                                                                                                                  |
| 5   | COMIF    | Флаг прерывания COM (см. TIMx_EGR[COMG] ).<br><b>0</b> : нет прерывания. <b>1</b> : обнаружено прерывание COM.                                                                                   |
| 6   | TIF      | Флаг прерывания TRGI (См. TIMx->SMCR).<br><b>0</b> : нет прерывания. <b>1</b> : обнаружено прерывание TRGI.                                                                                      |
| 7   | BIF      | Аварийное прерывание.<br><b>0</b> : нет прерывания. <b>1</b> : обнаружен внешний сигнал <b>BRK</b> или пропадание сигнала синхронизации <b>CSS</b> .                                             |
| 8   | -        | Р е з е р в                                                                                                                                                                                      |
| 9   | CCO1F    | Флаг используется только в режиме захвата.<br><b>0</b> : захват не обнаружен.<br><b>1</b> : в канале № 1 (2, 3, 4) обнаружен повторный захват, т.е. бит CCxIF уже был установлен ранее.          |
| 10  | CCO2F    |                                                                                                                                                                                                  |
| 11  | CCO3F    |                                                                                                                                                                                                  |
| 12  | CCO4F    |                                                                                                                                                                                                  |

|                                                                                                                                                                     |          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 13-15                                                                                                                                                               | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| <b>TIMx-&gt;EGR (Регистр генерации событий)</b> Состояние после сброса - 0x0000, биты доступны <b>только для записи "1"</b> . Сброс в "0" осуществляется аппаратно. |          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| Бит                                                                                                                                                                 | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 0                                                                                                                                                                   | UG       | <b>1:</b> принудительная генерация обновления счётчика. (Очищается TIMx->PSC, в TIMx_CNT при TIMx->CR1 [DIR=0] записывается 0 или при TIMx->CR1 [DIR=1] содержимое TIMx_ARR )<br>При этом вызывается соответствующее прерывание или запрос DMA (если разрешены).                                                                                                                                                                                                                |
| 1                                                                                                                                                                   | CC1G     | <b>1:</b> принудительная генерация захвата / сравнения в канале № 1(2-4):<br>а) если канал сконфигурирован на <b>сравнение</b> (выход), то устанавливается флаг TIMx->SR[CCxIF] и вызывается прерывание или запрос DMA (если разрешены).<br>б) если канал сконфигурирован на <b>захват</b> (вход), то устанавливается флаг TIMx->SR[CCxIF] (если он уже установлен, то устанавливается и флаг TIMx->SR[CCxOF]), а так же вызывается прерывание или запрос DMA (если разрешены). |
| 2                                                                                                                                                                   | CC2G     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 3                                                                                                                                                                   | CC3G     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 4                                                                                                                                                                   | CC4G     |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 5                                                                                                                                                                   | COMG     | <b>1:</b> программная генерация сигнала COM. (Сигнал COM может быть так же сгенерирован аппаратно фронтом сигнала TRGI.)<br>По сигналу COM устанавливается флаг TIMx_SR[COMIF]=1, вызывается соответствующее прерывание или запрос DMA (если разрешены), а так же может изменяться конфигурация выходов каналов сравнения:<br>Пример использования сигнала COM (OSSR=1) <div data-bbox="531 1028 1461 1572" data-label="Figure"> </div>                                         |
| См. TIMx_CCMR[OCxM2:0], TIMx_CCER[CCxE, CCxNE], TIMxBDTR[OSSR].                                                                                                     |          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 6                                                                                                                                                                   | TG       | <b>1:</b> имитирует сигнал TRGI TRGI (См. TIMx->SMCR), при этом устанавливается бит TIMx_SR[TIF]=1, вызывается соответствующее прерывание или запрос DMA (если они разрешены).                                                                                                                                                                                                                                                                                                  |
| 7                                                                                                                                                                   | BG       | <b>1:</b> принудительное аварийное прерывание (имитация внешнего сигнала <b>BRK</b> или пропадания сигнала синхронизации <b>CSS</b> ). При этом сбрасывается бит TIMx_BDTR[MOE]=0, устанавливается бит TIMx+SR[BIF]=1, вызывается соответствующее прерывание или запрос DMA (если они разрешены).                                                                                                                                                                               |
| 8-15                                                                                                                                                                | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |

## Группа регистров захвата / сравнения

### TIMx->CCMR1 (регистр №1 выбора режима захвата / сравнения)

| 15        | 14        | 13 | 12 | 11          | 10        | 9         | 8  | 7         | 6         | 5  | 4           | 3         | 2         | 1         | 0  |
|-----------|-----------|----|----|-------------|-----------|-----------|----|-----------|-----------|----|-------------|-----------|-----------|-----------|----|
| OC2<br>CE | OC2M[2:0] |    |    | OC2<br>PE   | OC2<br>FE | CC2S[1:0] |    | OC1<br>CE | OC1M[2:0] |    |             | OC1<br>PE | OC1<br>FE | CC1S[1:0] |    |
| IC2F[3:0] |           |    |    | IC2PSC[1:0] |           |           |    | IC1F[3:0] |           |    | IC1PSC[1:0] |           |           |           |    |
| rw        | rw        | rw | rw | rw          | rw        | rw        | rw | rw        | rw        | rw | rw          | rw        | rw        | rw        | rw |

### TIMx->CCMR2 (регистр №2 выбора режима захвата / сравнения)

| 15        | 14        | 13 | 12 | 11          | 10        | 9         | 8  | 7         | 6         | 5  | 4  | 3           | 2         | 1         | 0  |
|-----------|-----------|----|----|-------------|-----------|-----------|----|-----------|-----------|----|----|-------------|-----------|-----------|----|
| OC4<br>CE | OC4M[2:0] |    |    | OC4<br>PE   | OC4<br>FE | CC4S[1:0] |    | OC3<br>CE | OC3M[2:0] |    |    | OC3<br>PE   | OC3<br>FE | CC3S[1:0] |    |
| IC4F[3:0] |           |    |    | IC4PSC[1:0] |           |           |    | IC3F[3:0] |           |    |    | IC3PSC[1:0] |           |           |    |
| rw        | rw        | rw | rw | rw          | rw        | rw        | rw | rw        | rw        | rw | rw | rw          | rw        | rw        | rw |

Состояние после сброса 0x0000;

Каналы захвата / сравнения могут работать в режиме захвата (как вход) или в режиме сравнения (как выход). Конфигурация направления работы канала определяется битами OCxS[1:0].

Остальные биты конфигурируются в зависимости от направления работы канала захвата / сравнения.

Входными сигналами канала захвата могут служить внешние сигналы TI1, TI2, TI3, TI4 или внутренний сигнал TRC.

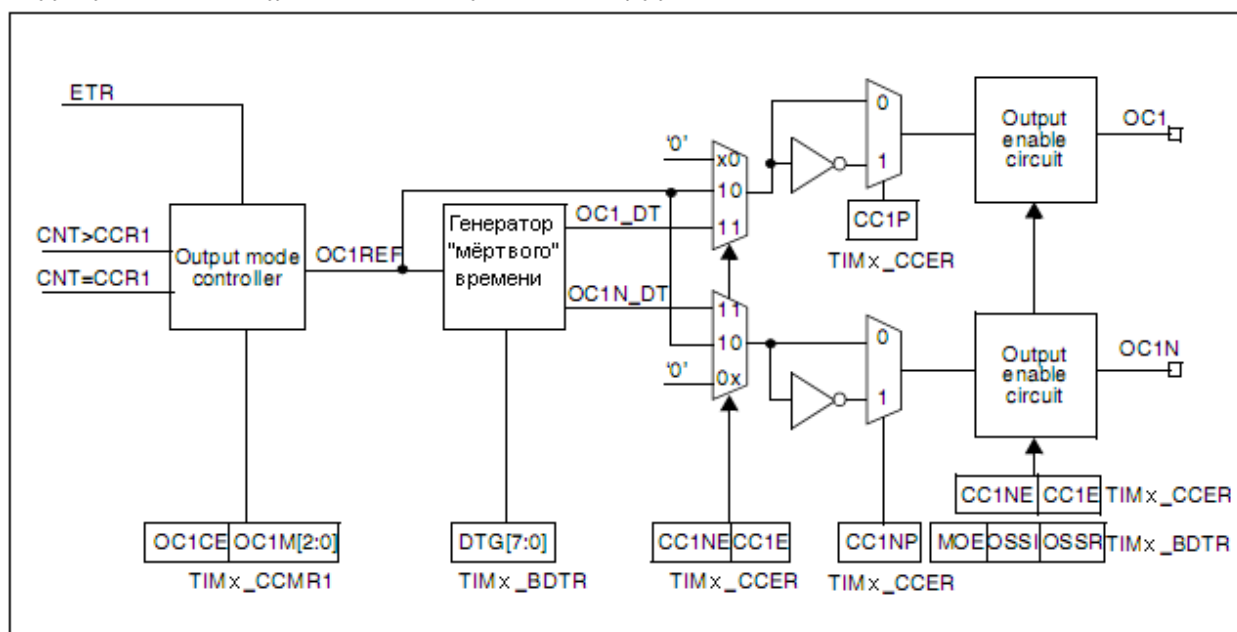
Выходными сигналами каналов сравнения (совпадения) могут служить сигналы OC1, OC1N, OC2, OC2N, OC3, OC3N, OC4.

**CCxS[1:0]** – выбор режима работы канала захвата / сравнения.

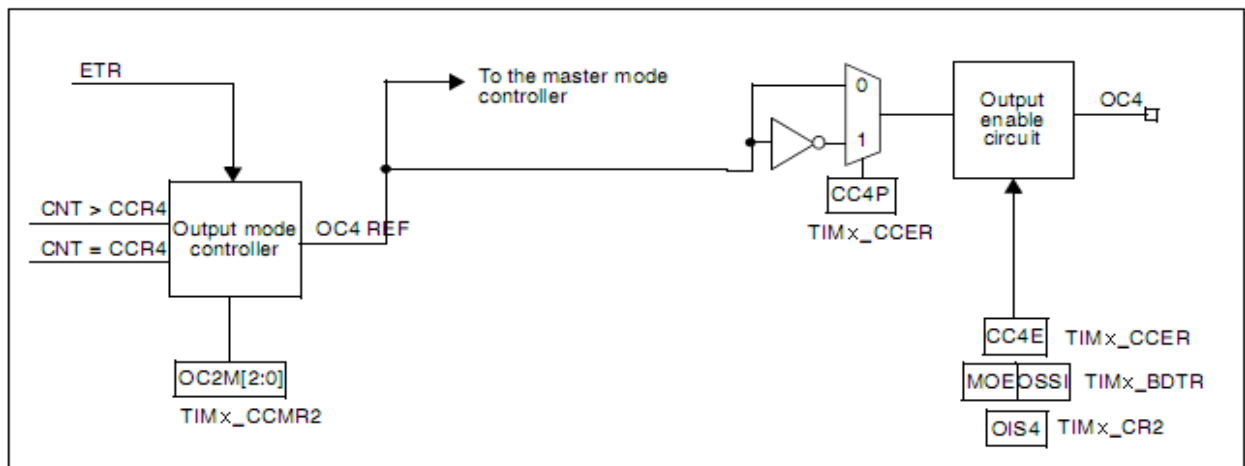
| Составление таблицы режимов работы канала захвата / сравнения: |                                                       |                                                                                            |
|----------------------------------------------------------------|-------------------------------------------------------|--------------------------------------------------------------------------------------------|
| Сост.                                                          | Режим работы канала                                   |                                                                                            |
| 00                                                             | Канал работает в <b>режиме сравнения</b> (как выход). |                                                                                            |
| 01                                                             | Канал работает в <b>режиме захвата</b> (как вход)     | Входной сигнал для канала x=1-TI1, x=2-TI2, x=3-TI3, x=4-TI4.                              |
| 10                                                             |                                                       | Входной сигнал для канала x=1-TI2, x=2-TI1, x=3-TI4, x=4-TI3.                              |
| 11                                                             |                                                       | Входной сигнал TRC. Этот режим доступен, если в регистре TIMx_SMCR установлен бит TS, т.е. |

### Если выбран режим сравнения:

Структурная схема выходной части канала сравнения № 1 (2,3)

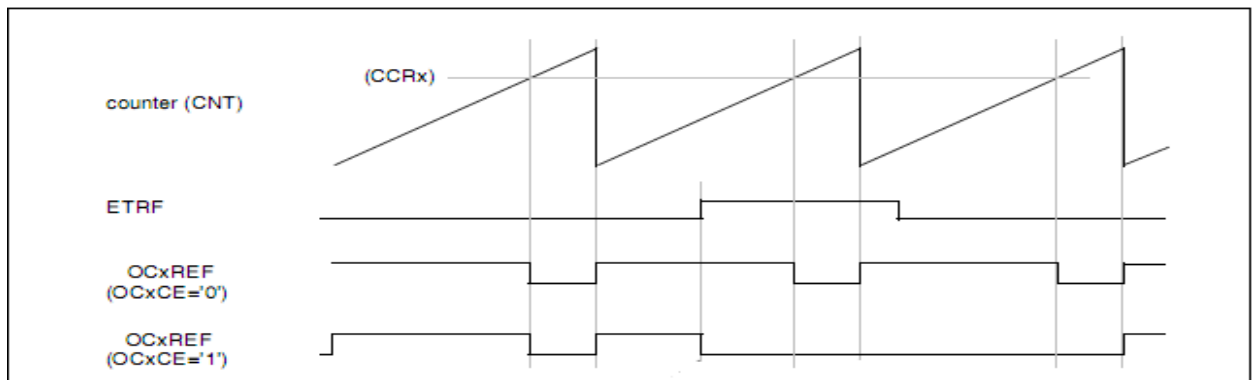


Структурная схема выходной части канала сравнения № 4



В режиме сравнения по достижению счётчиком таймера значения, хранящегося в регистре устройства захвата / сравнения последним вырабатывается управляющий сигнал OCxRF (“сравнение”).

Пример формирования сигнала "сравнение" OCxREF

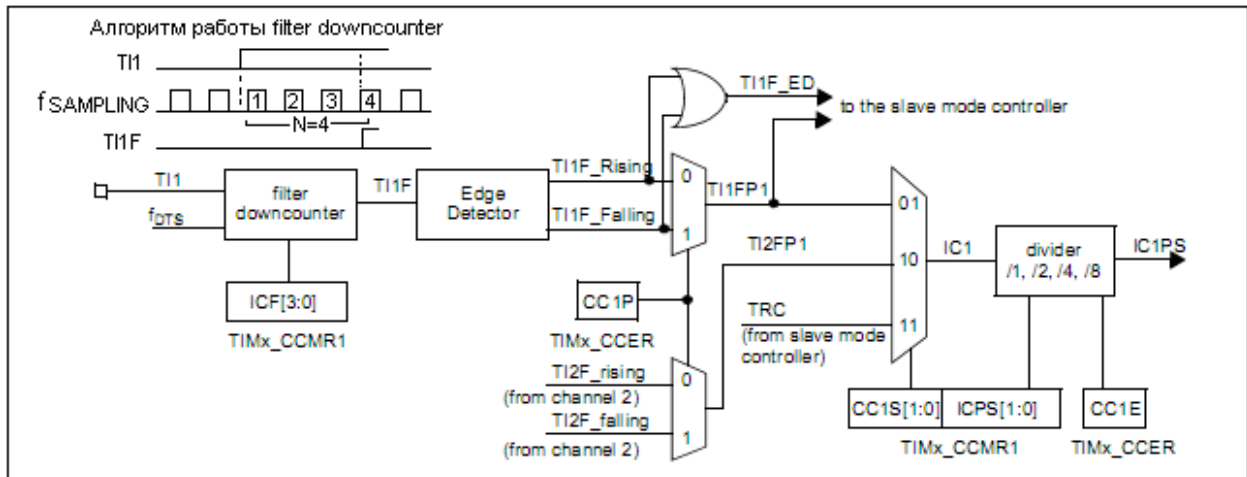


| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| OCxCE          | Разрешение внешнего сигнала ETR<br><b>0:</b> Команда сброса ETR не оказывает влияния на состояние OCxREF<br><b>1:</b> По фронту ETRF происходит сброс сигнала OCxREF                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| OCxM[2:0]      | Выбор режима сравнения<br><b>000:</b> Frozen (замороженный). Сравнение не производится.<br><b>001:</b> При сравнении (TIMx_CNT==TIMx_CCRx) OCxREF устанавливается в "1".<br><b>010:</b> При сравнении (TIMx_CNT==TIMx_CCRx) OCxREF устанавливается в "0".<br><b>011:</b> При сравнении (TIMx_CNT==TIMx_CCRx) OCxREF инвертируется.<br><b>100:</b> Принудительная установка неактивного уровня OCxREF="0".<br><b>101:</b> Принудительная установка активного уровня OCxREF="1".<br><b>110:</b> PWM-1 (ШИМ-1) - При TIMx_CNT<TIMx_CCRx - неактивное состояние (OCxREF= 0), при TIMx_CNT>TIMx_CCRx - активное состояние (OCxREF= 1).<br><b>111:</b> PWM-2 (ШИМ-2) - При TIMx_CNT>TIMx_CCRx - неактивное состояние (OCxREF= 0), при TIMx_CNT<TIMx_CCRx - активное состояние (OCxREF= 1).<br><b>Примечание:</b> 1: Эти биты должны быть сконфигурированы до установки режима сравнения (CC1S= 00) и включения блокировки (LOCK в регистре TIMx_BDTR).<br>2: В режимах PWM-1и PWM-2 изменение уровня OC1xEF происходит только в момент сравнения и при переключении из состояния Frozen в режим PWM-1 (PWM-2). |
| OCxPE          | Разрешение вносить изменения в регистр сравнения.<br><b>0:</b> Запрещено изменять содержимое регистра сравнения TIMx->CCR1 (2,3,4).<br><b>1:</b> Допустимо изменять содержимое регистра сравнения TIMx->CCR1 (2,3,4).<br><b>Примечание:</b> Эти биты должны быть сконфигурированы до установки режима сравнения (CC1S= 00) и включения блокировки (LOCK в регистре TIMx_BDTR).                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |

|       |                                                                                                                                                                                                                                                                                                                                                                 |
|-------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| OCxFE | Бит быстрого доступа к выходам.<br><b>0:</b> Обычный доступ. Т.е. после совпадения управляющее воздействие на вывод происходит через 5 циклов.<br><b>1:</b> Ускоренный доступ, т.е. после совпадения управляющее воздействие на вывод происходит через 3 цикла, однако этот режим доступен только, если канал сконфигурирован для работы в режиме PWM1 или PWM2 |
|-------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

### Если выбран режим захвата:

Пример работы таймера в режиме захвата по сигналу TI1



В режиме захвата при появлении управляющего сигнала на входе канала производится копирование содержимого счётчика таймера в регистр устройства захвата / сравнения.

| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ICxF[3:0]      | Частота фильтрации (fSAMPLING) и кол-во выборок (N)<br><b>0000:</b> Без фильтрации fSAMPLING=fDTS, N=1.<br><b>0001:</b> fSAMPLING=fCK_INT, N=2.<br><b>0010:</b> fSAMPLING=fCK_INT, N=4.<br><b>0011:</b> fSAMPLING=fCK_INT, N=8.<br><b>0100:</b> fSAMPLING=fDTS/2, N=6.<br><b>0101:</b> fSAMPLING=fDTS/2, N=8.<br><b>0110:</b> fSAMPLING=fDTS/4, N=6.<br><b>0111:</b> fSAMPLING=fDTS/4, N=8.<br><b>1000:</b> fSAMPLING=fDTS/8, N=6.<br><b>1001:</b> fSAMPLING=fDTS/8, N=8.<br><b>1010:</b> fSAMPLING=fDTS/16, N=5.<br><b>1011:</b> fSAMPLING=fDTS/16, N=6.<br><b>1100:</b> fSAMPLING=fDTS/16, N=8.<br><b>1101:</b> fSAMPLING=fDTS/32, N=5.<br><b>1110:</b> fSAMPLING=fDTS/32, N=6.<br><b>1111:</b> fSAMPLING=fDTS/32, N=8. (fDTS – см. TIMx->CR1) |
| ICxPSC[1:0]    | Выбор предварительного деления частоты ICx:<br><b>00:</b> ICxPS=ICx. <b>01:</b> ICxPS=ICx/2. <b>10:</b> ICxPS=ICx/4. <b>11:</b> ICxPS=ICx/8.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |

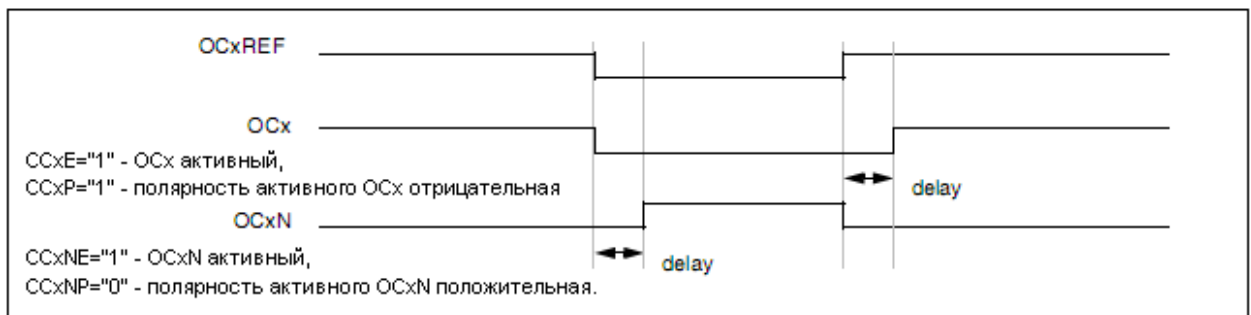
### TIMx->CCER (Регистр установки режима работы входных сигналов каналов захвата / сравнения 1-4)

| 15       | 14   | 13   | 12     | 11     | 10   | 9    | 8      | 7      | 6    | 5    | 4      | 3      | 2    | 1    | 0  |
|----------|------|------|--------|--------|------|------|--------|--------|------|------|--------|--------|------|------|----|
| Reserved | CC4P | CC4E | CC3N P | CC3N E | CC3P | CC3E | CC2N P | CC2N E | CC2P | CC2E | CC1N P | CC1N E | CC1P | CC1E |    |
| Res.     | rw   | rw   | rw     | rw     | rw   | rw   | rw     | rw     | rw   | rw   | rw     | rw     | rw   | rw   | rw |

Состояние после сброса: 0x0000

| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>CCxNP</b>   | Выбор полярности активного уровня на выходе OCxN<br><b>0:</b> активный уровень высокий – “1”.<br><b>1:</b> активный уровень низкий – “0”.<br><b>Примечание:</b> Этот бит должен быть сконфигурирован до установки битов LOCK (замок) регистра TIMx_BDTR и битов CCxS регистра TIMx_CCMRx (Если LOCK != 00 и CCxS==000, то изменять CCxNP недопустимо).                                                                                                                                                                                                                                                                 |
| <b>CCxNE</b>   | Состояние выхода OCxN:<br><b>0:</b> Сигнал OC1N пассивен.<br><b>1:</b> OC1N активен и его состояние при активном OCxREF определяется битами TIMx_BDTR :[MOE, OSSI, OSSR] (регистр “мёртвого” времени), битами TIMx_CR2:[OISx, OISxN] (состояние при экстренном отключении) и битами CCxNP – полярность активного сигнала.                                                                                                                                                                                                                                                                                              |
| <b>CCxP</b>    | Назначение бита зависит от режима работы канала захват / сравнения таймера:<br>Если канал захвата / сравнения сконфигурирован как выход (сравнение):<br><b>0:</b> активный уровень сигнала OCx высокий – “1”.<br><b>1:</b> активный уровень сигнала OCx низкий – “0”.<br><b>Примечание:</b> Этот бит должен быть сконфигурирован до установки битов LOCK (замок) регистра TIMx_BDTR.<br>-----<br>Если канал захвата / сравнения сконфигурирован как вход (захват), то состояние этого бита определяет момент захвата:<br><b>0:</b> - захват происходит по фронту TlxF.<br><b>1:</b> - захват происходит по спаду TlxF. |
| <b>CCxE</b>    | Назначение бита зависит от режима работы канала захвата / сравнения таймера:<br>-----<br>Если канал захвата / сравнения сконфигурирован как выход (сравнение):<br><b>0:</b> Сигнал OC1 пассивен.<br><b>1:</b> OC1 активен и его состояние при активном OCxREF определяется битами TIMx_BDTR :[MOE, OSSI, OSSR] (регистр “мёртвого” времени), битами TIMx_CR2:[OISx, OISxN] (состояние при экстренном отключении) и битом CCxP – полярность активного сигнала.<br>-----<br>Если канал захвата / сравнения сконфигурирован как вход (захват):<br><b>0:</b> Запретить захват.<br><b>1:</b> Разрешить захват.              |

Пример формирования выходных сигналов OCx и OCxN



### TIMx->CCR1,2,3,4 (Регистры сравнения)

| 15                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|--------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| CCR1(2,3,4) [15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw                 | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

В регистре хранится переменная, которая в режиме сравнения сравнивается с содержимым регистра счётчика таймера TIMx->CNT.

## Группа регистров счёта, предварительного деления частоты, перезагрузки, повторения, DMA

### TIMx->CNT (Счётчик таймера)

| 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| CNT[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw        | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

### TIMx->PSC (Предварительный делитель таймера)

| 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| PSC[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw        | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

Частота импульсов, поступающих на счётчик таймера  $f_{CK\_CNT} = f_{CK\_PSC} / (PSC[15:0] + 1)$

### TIMx->ARR (Регистр авто-перезагрузки счётчика таймера)

| 15        | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|-----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ARR[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw        | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

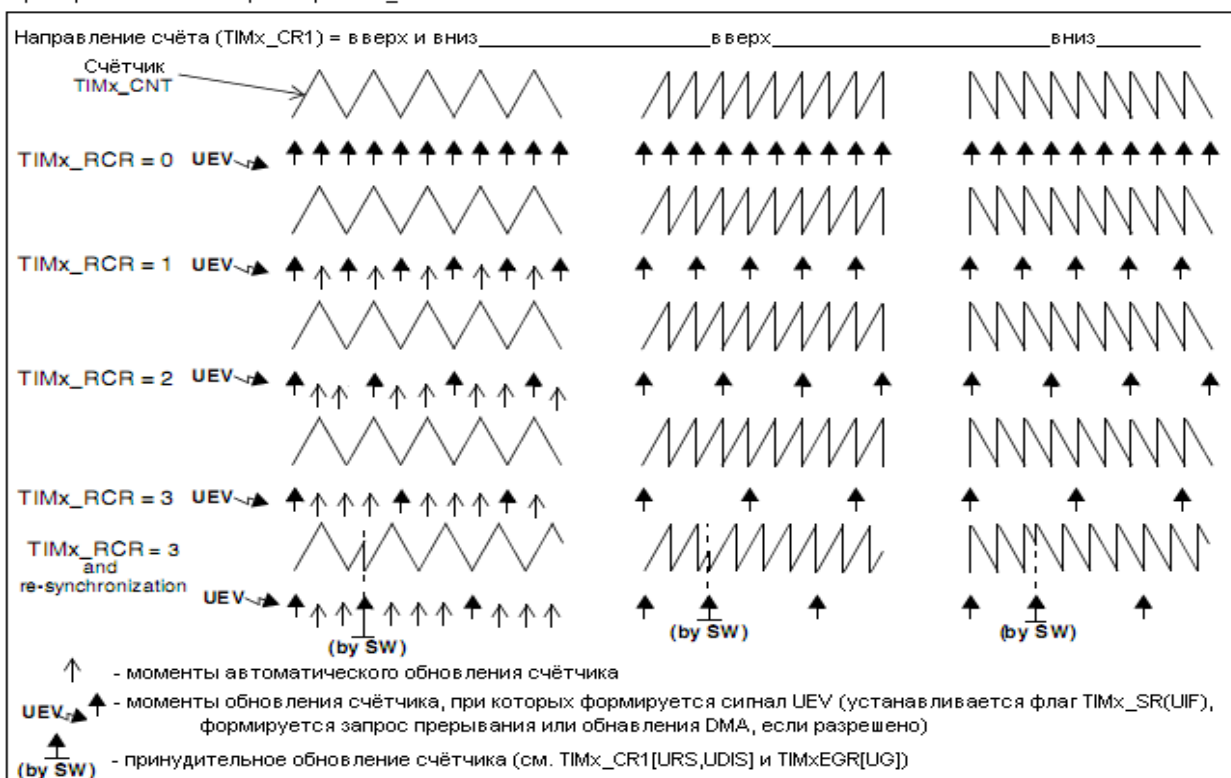
### TIMx->RCR (Регистр повторений)

| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7        | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|----------|----|----|----|----|----|---|---|----------|----|----|----|----|----|----|----|
| Reserved |    |    |    |    |    |   |   | REP[7:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |   |   | rw       | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса 0x0000

Определяет количество перезагрузок счётчика, при которых не формируется сигнал прерывания (запроса DMA) по обновлению счётчика - UEV. Используется, например, при разгоне двигателя.

Пример использования регистра TIMx\_RCR



**TIMx->DCR (Регистр базового адреса и длины обмена DMA)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит   | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                 |
|-------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | DBA0     | Базовый адрес DMA<br>Каждый регистр таймера имеет свой базовый адрес (не путать с “ Address offset” – смещение адреса), например: <b>00000</b> : TIMx_CR1, <b>00001</b> : TIMx_CR2, <b>00010</b> : TIMx_SMCR и т.д. (см. тех. описание выбранного микроконтроллера).<br>При запросе DMA запись или чтение начнётся с регистра, базовый адрес которого указан в этих битах.                 |
| 1     | DBA1     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 2     | DBA2     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 3     | DBA3     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 4     | DBA4     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 5-7   | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                |
| 8     | DBL0     | Длина обмена DMA. Указывается количество трансляций подлежащих передаче / приёму через систему DMA ( <b>00000</b> : 1 трансляция, <b>00001</b> : 2 трансляции, <b>00010</b> : 3 трансляции и т.д.) Размер трансляции определяется в настройках канала DMA (1 байт, 2 или 4 байта).<br>Так, например, для передачи содержимого TIMx_CR2 и TIMx_SMCR необходимо указать 0001 (2 трансляции). |
| 9     | DBL1     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 10    | DBL2     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 11    | DBL3     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 12    | DBL4     |                                                                                                                                                                                                                                                                                                                                                                                            |
| 13-15 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                |

**TIMx->DMAR (Регистр адреса быстрого доступа DMA)**

|            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15         | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DMAB[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw         | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

Адреса регистров, к которым обращается DMA должны лежат в диапазоне адреса, записанного в TIMx->DMAR:

**TIMx\_DMAR=(адрес TIMx\_CR1) + TIMx\_DBA + TIMx\_DBL**

**Пример:** для передачи содержимого TIMx\_CR2 и TIMx\_SMCR необходимо:

(адрес TIMx\_CR1)=0;  
TIMx\_DBA=1;  
TIMx\_DBL=1;  
TIMx\_DMAR=0+1+1=2; (0x0002)

### Группа регистров перерыва и мёртвого времени

**TIMx->BDTR (Регистр аварийной приостановки и “мёртвого” времени)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                          |
|-----|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | DTG0     | Длительность “мёртвого” времени (DT).<br><b>DTG[7:5]=0xx =&gt; DT=DTG[7:0] / fDTS</b><br><b>DTG[7:5]=10x =&gt; DT=(64+DTG[5:0]) * 2 / fDTS</b><br><b>DTG[7:5]=110 =&gt; DT=(32+DTG[4:0]) * 8 / fDTS</b><br><b>DTG[7:5]=111 =&gt; DT=(32+DTG[4:0]) * 16 / fDTS</b><br><b>Примечание:</b> 1. После установки LOCK-бит эта область становится недоступной.<br>2. fDTS – частота тактир. см. TIMx->CR1. |
| 1   | DTG1     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 2   | DTG2     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 3   | DTG3     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 4   | DTG4     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 5   | DTG5     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 6   | DTG6     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 7   | DTG7     |                                                                                                                                                                                                                                                                                                                                                                                                     |
| 8   | LOCK0    | (Замок) – защита следующих битов от модификации:<br><b>00:</b> Замок отключен.<br><b>01: Уровень замка 1</b> = биты DTG, BKE/BKP/AOE в регистре TIMx_BDTR и биты OISx и OISxN в регистре TIMx_CR2.<br><b>10: Уровень замка 2</b> = Уровень замка 1 + биты полярности CC                                                                                                                             |
| 9   | LOCK1    |                                                                                                                                                                                                                                                                                                                                                                                                     |

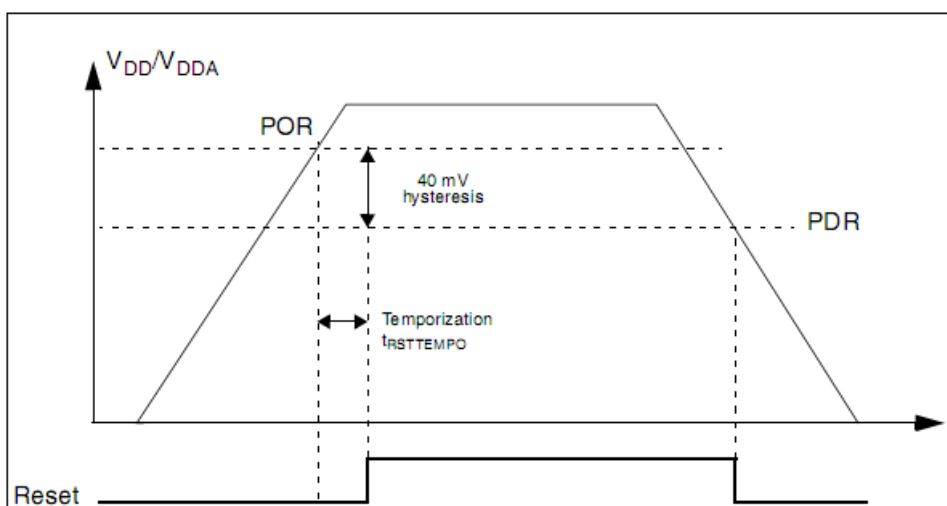
|    |      |                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|    |      | <p>(CCxP/CCxNP) в регистре TIMx_CCER, биты конфигурации CCxS в регистрах TIMx_CCMRx, а также биты OSSR и OSSI в регистре TIMx_BDTR.</p> <p><b>11: Уровень замка 3</b> = Уровень замка 2 + биты OCxM и OCxPE в регистрах TIMx_CCMRx.</p> <p><b>Примечание:</b> После установки биты LOCK не могут быть изменены до сброса контроллера.</p>                                                                                                       |
| 10 | OSSI | <p>Выключенное состояние "Off-state" в режиме простоя.</p> <p><b>0:</b> Режим "Off-state" не используется.</p> <p><b>1:</b> Режим "Off-state" включён.. (т.е. вывод включён, но находится в пассивном состоянии).</p>                                                                                                                                                                                                                           |
| 11 | OSSR | <p>Выключенное состояние "Off-state" в режиме запуска.</p> <p><b>0:</b> Режим "Off-state" не используется.</p> <p><b>1:</b> Режим "Off-state" включён.. (т.е. вывод включён, но находится в пассивном состоянии).</p>                                                                                                                                                                                                                           |
| 12 | BKE  | <p>Разрешение аварийной приостановки по сигналу <b>BRK</b> и пропаданию синхросигнала системы (<b>CSS</b>).</p> <p><b>0:</b> аварийная приостановка <b>запрещена</b>.</p> <p><b>1:</b> аварийная приостановка <b>разрешена</b>.</p> <p><b>Примечание:</b> Любое изменение этого бита вступает в силу через 1 цикл частоты шины синхронизации APBx.</p>                                                                                          |
| 13 | BKP  | <p>Выбор полярности сигнала аварийной приостановки <b>BRK</b>.</p> <p><b>0:</b> активный уровень BRK низкий (BRK="0").</p> <p><b>1:</b> активный уровень BRK высокий (BRK="1").</p> <p><b>Примечание:</b> Любое изменение этого бита вступает в силу через 1 цикл частоты шины синхронизации APBx.</p>                                                                                                                                          |
| 14 | AOE  | <p>Автоматическая установка бита <b>МОЕ</b>.</p> <p><b>0:</b> бит <b>МОЕ</b> может быть установлен только программно.</p> <p><b>1:</b> бит <b>МОЕ</b> устанавливается как программно, так и аппаратно (в случае пропадания причины, вызвавшей аварийную приостановку).</p>                                                                                                                                                                      |
| 15 | MOE  | <p>Включение выходных сигналов OCxS и OCxN.</p> <p><b>0:</b> выходные сигналы OCxS и OCxN в пассивном состоянии.</p> <p><b>1:</b> активное состояние выходных сигналов OCxS и OCxN, если это разрешено регистром TIMx_CCER:[CCxE и CCxNE].</p> <p><b>Примечание:</b> Этот бит очищается аппаратно в случае аварийной приостановки. Повторная установка осуществляется программно или аппаратно, в зависимости от состояния бита <b>AOE</b>.</p> |

## Система управления электропитанием контроллера PWR.

Напряжение электропитания STM32F10xxx должно находиться в диапазоне от 2,0 В до 3,6В. В составе микроконтроллера имеется резервная область (Backup domain BKP) электропитание которой в отсутствии основного питания осуществляется от резервной батарейки.

При снижении напряжения питания ниже 2 В происходит переключение резервной области (BKP) на питание от батарейки, контроллер переводится в режим “Reset” и удерживается в этом режиме до восстановления питания.

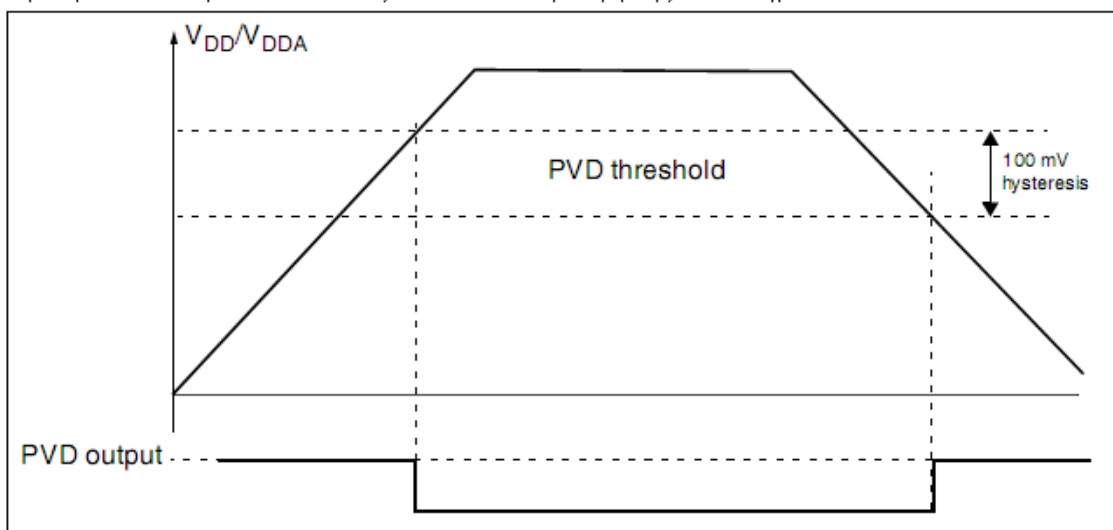
Удержание микроконтроллера в состоянии "Reset" при напряжении питания ниже 2,0 В.



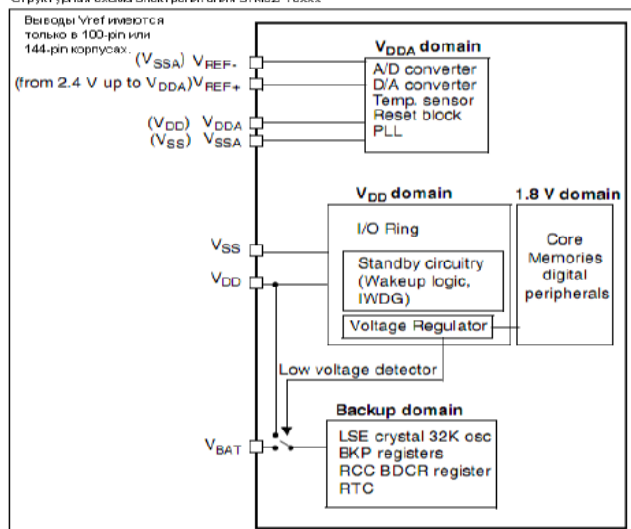
Система PVD (система детектирования напряжения питания) при пересечении напряжением питания заданного порога формирует выходной сигнал

“PVD output”, который может использоваться, как запрос прерывания.

При пересечении напряжением питания установленного порога формируется выходной сигнал PVD.



Структурная схема электропитания STM32F10xxx



Перед обращением к регистрам системы электропитания следует разрешить синхронизацию шины узла управления электропитанием PWR, т.е. установить бит: **RCC\_APB1ENR[PWREN]="1"**.

**RCC->APB1ENR |= RCC\_APB1ENR\_PWREN; // 0x10000000**

**PWR->CR (Регистр управления электропитанием)** Состояние после сброса - 0x0000, биты доступны для чтения и записи. Запись "0" в биты 2 (SWUF) и 3 (CSBF) эффекта не имеет.

| Бит  | Название | Назначение                                                                                                                                                                                                                                      |
|------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | LPDS     | Управление выбором режимами энергосбережения. (См. далее раздел "Режимы энергосбережения").                                                                                                                                                     |
| 1    | PDDS     |                                                                                                                                                                                                                                                 |
| 2    | CWUF     | <b>1:</b> – сброс флага PWR->CSR [WUM]                                                                                                                                                                                                          |
| 3    | CSBF     | <b>1:</b> – сброс флага PWR->CSR [SBF]                                                                                                                                                                                                          |
| 4    | PVDE     | Включение системы детектирования питания PVD.<br><b>0:</b> система PVD выключена.<br><b>1:</b> система PVD включена.                                                                                                                            |
| 5    | PLS0     | Порог срабатывания PVD.                                                                                                                                                                                                                         |
| 6    | PLS1     | <b>000:</b> 2,2В <b>001:</b> 2,3В <b>010:</b> 2,4В <b>011:</b> 2,5В                                                                                                                                                                             |
| 7    | PLS2     | <b>100:</b> 2,6В <b>101:</b> 2,7В <b>110:</b> 2,8В <b>111:</b> 2,9В                                                                                                                                                                             |
| 8    | DBP      | Отключение защиты записи в RTC и BKP.<br><b>0:</b> запись в регистры RTC и BKP запрещена.<br><b>1:</b> запись в регистры RTC и BKP разрешена.<br><b>Примечание:</b> При синхронизации RTC от HSE/128 бит DBP должен оставаться в состоянии "1". |
| 9-31 | -        | Р е з е р в                                                                                                                                                                                                                                     |

**PWR->CSR (Регистр управления / состояния электропитания)** Состояние после сброса - 0x0000, биты 8 (EWUP) доступен для чтения и записи, остальные только для чтения.

| Бит  | Название | Назначение                                                                                                                                                                                                                                                                                          |
|------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | WUP      | Источник выхода из режима энергосбережения:<br><b>1:</b> Выход из режима сна по фронту сигнала на выводе WKUP или по "будильнику" RTC.<br><b>0:</b> Другой источник пробуждения.<br><b>Примечание:</b> Сброс флага осуществляется записью "1" в PWR->CR[CWUF].                                      |
| 1    | SBF      | Флаг режима энергосбережения "Standby".<br><b>0:</b> Устройство не находилось в режиме "Standby"<br><b>1:</b> Устройство вышло из режима "Standby".<br><b>Примечание:</b> Сброс флага осуществляется записью "1" в PWR->CR[CSBF].                                                                   |
| 2    | PVDO     | <b>PVD output</b> Отображает состояние выхода системы PVD (см. рис)                                                                                                                                                                                                                                 |
| 3-7  | -        | Р е з е р в                                                                                                                                                                                                                                                                                         |
| 8    | EWUP     | Пробуждение по фронту на входе WKUP (pin PA0/WKUP).<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить пробуждение по фронту сигнала на входе WKUP.<br><b>Примечание:</b> Для использования режима пробуждения по WKUP необходимо сконфигурировать линию ввода / вывода PA0 как альтернативную функцию. |
| 9-31 | -        | Р е з е р в                                                                                                                                                                                                                                                                                         |

## Режимы энергосбережения и система сброса.

**SYS->CTRL (Регистр управления энергопотреблением ядра Cortex-M3)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит  | Название    | Назначение                                                                                                                                                                                                                                                                            |
|------|-------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | -           | Р е з е р в                                                                                                                                                                                                                                                                           |
| 1    | SLEEPONEXIT | <b>0:</b> Переход в режим сна сразу по инструкции WFI или WFE.<br><b>1:</b> При поступлении инструкции WFI или WFE заканчивается обработка всех запрашиваемых прерываний, а затем переход с режим сна.                                                                                |
| 2    | SLEEPDEEP   | <b>0:</b> Во время сна систему синхронизации не останавливать.<br><b>1:</b> На время сна остановить генераторы синхронизации HIS и HSE.                                                                                                                                               |
| 3    | -           | Р е з е р в                                                                                                                                                                                                                                                                           |
| 4    | SEVONPEND   | Управление пробуждением, если переход в режим сна вызвала инструкция WFE.<br><b>0:</b> Пробуждение по внешнему событию, генерирующему инструкцию SEV (см. прерывания).<br><b>1:</b> Пробуждение по разрешённому прерыванию, т.е. переход к обработке прерывания вызывает пробуждение. |
| 5-31 | -           | Р е з е р в                                                                                                                                                                                                                                                                           |

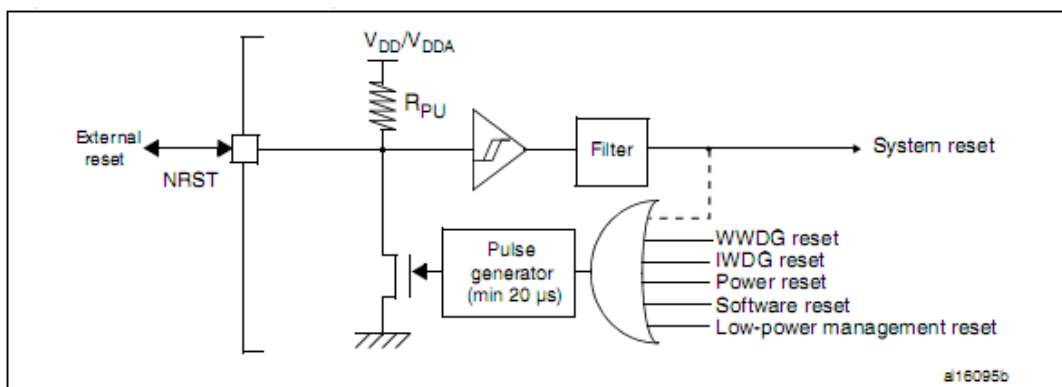
### Переход в режимы энергосбережения.

| Режим сна | Особенности                                                                            | Порядок перехода в режим                                                                              | Источник пробуждения                                                                  |
|-----------|----------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------|
| Sleep     | Прекращение выполнения команд и выключение синхронизации.<br>Ипит = 15-0,5 мА          | Инструкция WFI                                                                                        | Прерывание, сброс.                                                                    |
|           |                                                                                        | Инструкция WFE                                                                                        | Событие или прерывание, сброс                                                         |
| Stop      | Выключаются генераторы HIS и HSE. Питание Flash и ОЗУ не выключается.<br>Ипит = 24 мкА | PWR->CR[LPDS]="1" +<br>PWR->CR[PPDS]="1" +<br>SYS->CTRL[SLEEPDEEP]="1" +<br>Инструкция WFI (или WFE). | Внешнее прерывание, сигнал RTC, сброс.                                                |
| Standby   | Выключаются генераторы HIS и HSE, внутренний стабилизатор напряжения.<br>Ипит = 2 мкА  | PWR->CR[LPDS]="0" +<br>PWR->CR[PPDS]="1" +<br>SYS->CTRL[SLEEPDEEP]="1" +<br>Инструкция WFI (или WFE). | Внешний сигнал WKUP, сигнал RTC, внешний сброс или сброс от сторожевого таймера IWDG. |

**Примечание:** Инструкция WFI (WFE) – ассемблерная команда. Для вставки её в текст программы на языке C следует:

```
_asm void My(void) // Объявление и описание функции, содержащей
{                               // ассемблерную инструкцию.
    WFE
}
//-----
int main(void)
{
    My(); // Вызов ассемблерной инструкции.
```

## Источники сброса:



Сброс микроконтроллера осуществляется от следующих источников:

- соединение вывода NRST с корпусом;
- срабатывание оконного (WWDG) или независимого (IWDG) сторожевого таймера;
- сброс при включении питания или при выходе из режима STANDBY (Power reset);
- программный сброс (Software reset);
- сброс при снижении питания (Low-power management reset).

В случае генерации сброса устанавливаются соответствующие флаги в регистре управления и статуса RCC\_CSR, т.о. опросом этих флагов можно определить причину, вызвавшую сброс микроконтроллера. Состояние данных флагов сохраняется до следующего сброса при подаче питания или до записи лог. 1 в бит стирания причины сброса.

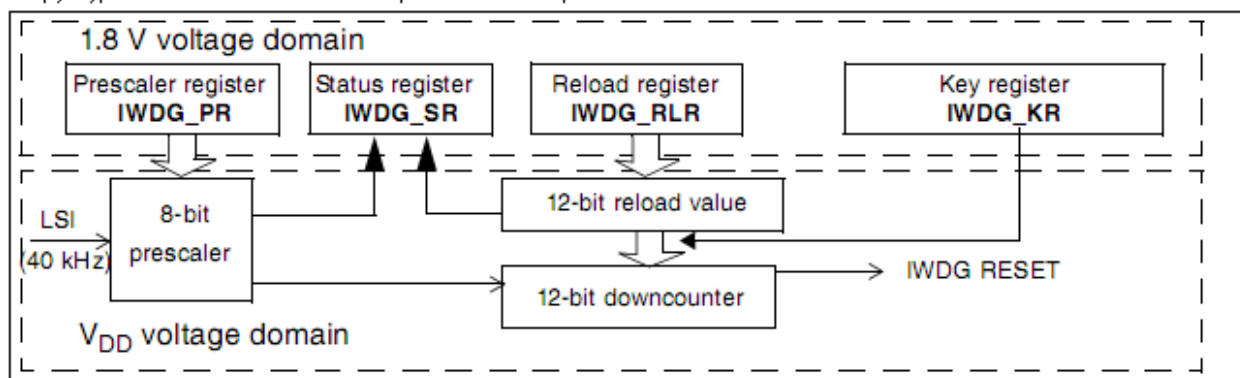
**RCC->CSR (Регистр управления и статуса системы сброса)** Состояние после сброса - 0x0000 0000, бит 2 (LSIRDY) доступен только для чтения, остальные доступны для чтения и записи.

| Бит  | Название                  | Назначение                                                                                                                                                                                                                     |
|------|---------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | LSION                     | Включение внутреннего LSI RC генератора 32 - 40 кГц.<br><b>0:</b> выключен. <b>1:</b> включен.                                                                                                                                 |
| 1    | LSIRDY                    | Состояние внутреннего LSI RC генератора 32 - 40 кГц. (устанавливается и сбрасывается аппаратно)<br><b>0:</b> внутренний LSI RC генератор к работе не готов.<br><b>1:</b> внутренний LSI RC генератор запущен и готов к работе. |
| 2-23 | -                         | Р е з е р в                                                                                                                                                                                                                    |
| 24   | RMVF                      | Запись “1” очищает флаги сброса.                                                                                                                                                                                               |
| 25   | -                         | Р е з е р в                                                                                                                                                                                                                    |
| 26   | PINRSTF<br>(флаг сброса)  | <b>1:</b> аппаратный сброс замыканием вывода NRST на корпус.                                                                                                                                                                   |
| 27   | PORRSTF<br>(флаг сброса)  | <b>1:</b> сброс по выключению питания или по выходу из режима сна Standby.                                                                                                                                                     |
| 28   | SFTRSTF<br>(флаг сброса)  | <b>1:</b> программный сброс. (установкой бита RMVF).                                                                                                                                                                           |
| 29   | IWDGRSTF<br>(флаг сброса) | <b>1:</b> сброс по срабатыванию независимого сторожевого таймера IWDG.                                                                                                                                                         |
| 30   | WWDGRSTF<br>(флаг сброса) | <b>1:</b> сброс по срабатыванию оконного сторожевого таймера WWDG.                                                                                                                                                             |
| 31   | LPVRRSTF<br>(флаг сброса) | <b>1:</b> сброс по снижению напряжения питания.                                                                                                                                                                                |

## Независимый сторожевой таймер IWDG.

Независимый сторожевой таймер полностью отделен от основной системы МК STM32. Он расположен в домене с резервированием питания и синхронизируется встроенным низкочастотным генератором (LSI).

Структурная схема независимого сторожевого таймера IWDG



### IWDG->KR (Регистр ключа)

| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15        | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| Reserved |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    | KEY[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  | w         | w  | w  | w  | w  | w  | w | w | w | w | w | w | w | w | w | w |

Состояние после сброса 0x0000 0000

| Ключ          | Действие, вызываемое записью ключа                            |
|---------------|---------------------------------------------------------------|
| 0 x 0000 AAAA | Сброс (перезагрузка) IWDG                                     |
| 0 x 0000 5555 | Открытие доступа для модификации регистров IWDG_PR и IWDG_RLR |
| 0 x 0000 CCCC | Запуск IWDG                                                   |

### IWDG->PR (Регистр предварительного деления тактовой частоты)

|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |    |    |   |   |   |   |         |     |     |   |   |   |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------|----|----|----|----|----|---|---|---|---|---------|-----|-----|---|---|---|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5       | 4   | 3   | 2 | 1 | 0 |
| Reserved |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |    |    |   |   |   |   | PR[2:0] |     |     |   |   |   |
|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |    |    |   |   |   |   | r/w     | r/w | r/w |   |   |   |

Состояние после сброса: 0x0000 0000

|                                       |                                        |                                        |                                        |
|---------------------------------------|----------------------------------------|----------------------------------------|----------------------------------------|
| <b>000:</b> $f_{IWDG} = f_{LSI} / 4$  | <b>001:</b> $f_{IWDG} = f_{LSI} / 8$   | <b>010:</b> $f_{IWDG} = f_{LSI} / 16$  | <b>011:</b> $f_{IWDG} = f_{LSI} / 32$  |
| <b>100:</b> $f_{IWDG} = f_{LSI} / 64$ | <b>101:</b> $f_{IWDG} = f_{LSI} / 128$ | <b>110:</b> $f_{IWDG} = f_{LSI} / 256$ | <b>111:</b> $f_{IWDG} = f_{LSI} / 256$ |

Следует учитывать, что частота  $f_{LSI}$  может изменяться в диапазоне от 32 до 40 кГц

### IWDG->RLR (Регистр перезагрузки счётчика сторожевого таймера)

|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |          |          |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15       | 14       | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| Reserved |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    | Reserved | RL[11:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |          | r/w      | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w | r/w |

Состояние после сброса и выхода из режима STANDBY: 0x0000 0FFF

RL[11:0] – величина, перезагружаемая в счётчик таймера при записи в регистр IWDG->KR ключа 0 x 0000 AAAA. ( Счётчик сторожевого таймера работает на уменьшение, т.е. производит вычитание.)

### IWDG->SR (Регистр статуса IWDG)

| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5   | 4 | 3   | 2 | 1 | 0 |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----------|----|----|----|----|----|---|---|---|---|-----|---|-----|---|---|---|
| Reserved |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |    |    |   |   |   |   | RVU |   | PVU |   |   |   |
|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |    |    |   |   |   |   | r   |   | r   |   |   |   |

Состояние после сброса: 0x0000 0000

Биты № 0 и 1 устанавливаются и сбрасываются аппаратными средствами.

| № бита                                                                                                                                                                                          | Название | Назначение                                          |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------|-----------------------------------------------------|
| 0                                                                                                                                                                                               | PVU      | 1: Коррекции регистра выполнена <b>IWDG-&gt;PR</b>  |
| 1                                                                                                                                                                                               | RVU      | 1: Коррекции регистра выполнена <b>IWDG-&gt;RLR</b> |
| Эти биты могут использоваться, если в процессе работы необходимо изменять значения IWDG->PR или IWDG->RLR. Однако, проверка их <b>не обязательна</b> . В среде <b>Keil-4</b> не поддерживается. |          |                                                     |

```

void IWDG_Tim(void) // Период сторожевого таймера 1,0 сек.
{
    // Разрешить синхронизацию защищённой области БКР.
    RCC->APB1ENR |= RCC_APB1ENR_BKPEN; // 0x08000000.
/* // Включить генератор LSI.. Работает без этого блока.
    RCC->CSR |= RCC_CSR_LSION; // 0x00000001
    // Ожидать включение генератора LSI.
    while((RCC->CSR & RCC_CSR_LSIRDY)==0); // 0x00000002. */
    // Разрешить доступ к модификации IWDG_PR и IWDG_RLR
    IWDG->KR=0x00005555;
    // Коэф. предварительного деления =256.
    IWDG->PR=0x00000006;
    // Перезагружаемое значение 156.
    IWDG->RLR=156;
    // Запустить сторожевой таймер.
    IWDG->KR=0x0000CCCC;
} //-----
int main(void)
{
    int a= 2000000;
    // SystemInit (); // Для STM32F100 не надо.
    InitAll(); // Настройка порта.
    IWDG_Tim(); // Период сторожевого таймера 1,0 сек.
    while(1)
    {
        if(a>0)
        {
            GPIOA->BSRR =GPIO_BSRR_BR8; // PA8="0".
            a--;
            IWDG->KR=0x0000AAAA; // Перегрузка сторожевого таймера.
        }
        else
        {
            GPIOA->BSRR =GPIO_BSRR_BS8; // PA8=+3,3В.
            // Нет перезагрузки сторожевого таймера, что приводит
            // к перезагрузке всей системы.
        }
    }
}

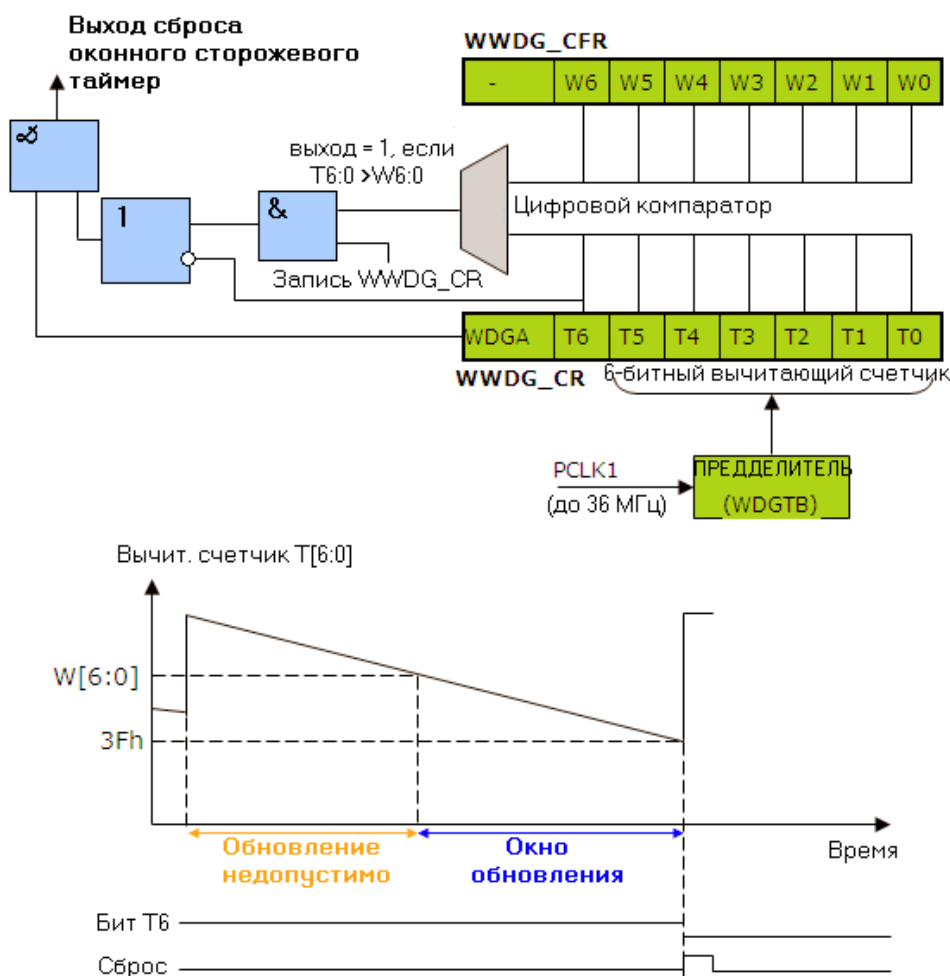
```

## Оконный сторожевой таймер WWDG.

Оконный сторожевой таймер является частью основной системы МК STM32 и связан с сигналом синхронизации первой шины PCLK1. Перед использованием WWDG необходимо разрешить его синхронизацию:

```
RCC->APB1ENR |= RCC_APB1ENR_WWDGEN; // 0x00000800
```

Оконный сторожевой таймер является расширенной версией традиционного встраиваемого сторожевого таймера. После активизации, сторожевой таймер начинает счет в обратном направлении и генерирует сброс при изменении состояния счетчика с 0x40 на 0x3F, т.е. когда сбрасывается бит T6, а так же если производится досрочное обновление, т.е. когда содержимое WWDG\_CR[T6-T0] больше содержимого WWDG\_CFR[W6-W7].



Оконный сторожевой таймер представляет собой 6-битный вычитающий счетчик, который синхронизируется сигналом PCLK1 через 12-битный предварительный делитель (делит частоту PCLK1 на 4096). У предварительного делителя имеется 2 дополнительных бита, которые может запрограммировать пользователь для дальнейшего деления частоты на 1, 2, 4 или 8. Эти биты находятся в 6 и 7 разрядах регистра управления WWDG\_CFR.

Таким образом, период срабатывания оконного сторожевого таймера определяется по выражению:

$$T_{wwdg} = T_{pclk1} \times 4096 \times 2^{(WDGTB)} \times (\text{перезагружаемое значение} - 0x3F)$$

**WWDG->CR (Регистр управления WWDG)** Состояние после сброса - 0x00, бит 7 (WDGA) доступен только для записи “1”, остальные доступны для чтения и записи.

| Бит  | Название | Назначение                                                                                                                                                                                                                                             |
|------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | T0       | Счётчик сторожевого таймера. Величина, из которой производится вычитание. При переходе из состояния 0x40 в состояние 0x3F формируется сброс. При попытке досрочной записи, т.е. когда WWDG_CR[T6-T0] > WWDG_CFR[W6-W0] будет так же сформирован сброс. |
| 1    | T1       |                                                                                                                                                                                                                                                        |
| 2    | T2       |                                                                                                                                                                                                                                                        |
| 3    | T3       |                                                                                                                                                                                                                                                        |
| 4    | T4       |                                                                                                                                                                                                                                                        |
| 5    | T5       |                                                                                                                                                                                                                                                        |
| 6    | T6       |                                                                                                                                                                                                                                                        |
| 7    | WDGA     | 1: запуск WWDG. Остановка не возможна.                                                                                                                                                                                                                 |
| 8-31 | -        | Р е з е р в                                                                                                                                                                                                                                            |

**WWDG->CFR (Регистр конфигурации WWDG)** Состояние после сброса - 0x00, бит 9 (EWI) доступен только для записи “1”, остальные доступны для чтения и записи.

| Бит   | Название | Назначение                                                                                                                                                                   |
|-------|----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | W0       | Верхняя граница окна обновления.                                                                                                                                             |
| 1     | W1       |                                                                                                                                                                              |
| 2     | W2       |                                                                                                                                                                              |
| 3     | W3       |                                                                                                                                                                              |
| 4     | W4       |                                                                                                                                                                              |
| 5     | W5       |                                                                                                                                                                              |
| 6     | W6       |                                                                                                                                                                              |
| 7     | WDGTB0   | Дополнительный предварительный делитель частоты синхронизации на 1, 2, 4, 8.                                                                                                 |
| 8     | WDGTB1   |                                                                                                                                                                              |
| 9     | EWI      | 1: Разрешить прерывание при достижении счётчиком значения 0x4F. (Если обновление счётчика не будет выполнено, то по достижению им значения 0x3F всё равно произойдёт сброс.) |
| 10-31 | -        | Р е з е р в                                                                                                                                                                  |

**WWDG->SR (Регистр состояния WWDG)** Состояние после сброса - 0x00, бит 0 (EWIF) доступен только для чтения и записи “0”.

| Бит  | Название | Назначение                                                                                                                               |
|------|----------|------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | EWIF     | Флаг прерывания. Устанавливается в “1” аппаратно (если разрешено прерывание по достижению значения 0x40), сбрасывается в “0” программно. |
| 1-31 | -        | Р е з е р в                                                                                                                              |

### Защищённая область памяти ВКР.

В домене с резервированием питанием имеется десять 16-битных регистров (в старших моделях таких регистров 42), которые функционируют как энергонезависимое статическое ОЗУ. Хранящиеся в них данные можно стереть, как программно, записью “1” в RCC->BDCR[BDRST], так и аппаратно, если активизировать вход внешнего вмешательства (TAMPER / RTC / PC13). В ходе нормальной работы изменение логического уровня на этом входе приведет к запуску события обнаружения вмешательства, что вызовет очистку регистров с резервированием питания. Так же можно

активировать прерывание, которое позволяет МК выполнить защитные действия при обнаружении вмешательства.

Перед началом использования защищённой области памяти необходимо разрешить синхронизацию её шины:

**RCC->APB1ENR |= RCC\_APB1ENR\_BKPEN; // 0x08000000**

Далее необходимо разрешить запись в BKP и RTC:

**PWR->CR |= PWR\_CR\_DBR; // 0x0100**

Если после записи не планируется изменять содержимое BKP или RTC, то целесообразно запретить дальнейшую запись:

**PWR->CR &= ~PWR\_CR\_DBR; // 0xFEFF**

**BKP->DRx (Защищённые регистры данных) (x=1 - 42)** Регистры предназначены для хранения пользовательских данных, которые при необходимости могут быть уничтожены.

|         |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15      | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| D[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw      | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса 0x0000

**BKP->RTCCR (Регистр калибровки часов реального времени)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит   | Название | Назначение                                                                                                                                                                                 |
|-------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | CAL0     | Величина калибровки часов реального времени RTC.<br>Эта величина указывает количество импульсов, которые будут проигнорированы один раз за период $2^{20}$ импульсов синхронизации часов.  |
| 1     | CAL1     |                                                                                                                                                                                            |
| 2     | CAL2     |                                                                                                                                                                                            |
| 3     | CAL3     |                                                                                                                                                                                            |
| 4     | CAL4     |                                                                                                                                                                                            |
| 5     | CAL5     |                                                                                                                                                                                            |
| 6     | CAL6     |                                                                                                                                                                                            |
| 7     | CCO      | Выход калибровки часов.<br>0: Не имеет эффекта.<br>1: На выводе TAMPER появится меандр с частотой следования $f_{RTC\_clk} / 64$ .                                                         |
| 8     | ASOE     | Управление выходом будильника или секунд.<br>0: Не имеет эффекта.<br>1: В зависимости от состояния бита ASOS на выходе TAMPER действует импульс будильника (1 сек) или секундные импульсы. |
| 9     | ASOS     | Выбор сигнала (если установлен бит ASOE).<br>0: Будильник.<br>1: Секундные импульсы.                                                                                                       |
| 10-15 | -        | Р е з е р в                                                                                                                                                                                |

**BKP->CR (Регистр управления BKP)** Состояние после сброса - 0x0000, биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                                                      |
|-----|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | TPE      | Выбор активного уровня входного сигнала экстренного сброса защищённых регистров TAMPER.<br>0: При TAMPER="1" происходит сброс защищённых регистров.<br>1: При TAMPER="0" происходит сброс защищённых регистров. |
| 1   | TPAL     | Разрешение использования входа TAMPER для экстренного сброса защищённых регистров.                                                                                                                              |

|      |   |                                                                                                                                                                                                                                                                         |
|------|---|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|      |   | <b>0:</b> Запрещено использовать вход TAMPER для экстренного сброса защищённых регистров. (Линия TAMPER / PC13 используется в интересах RTC или как линия ввода / вывода.)<br><b>1:</b> Использовать линию TAMPER для экстренного сброса защищённых регистров ВКР->DRх. |
| 2-15 | - | Р е з е р в                                                                                                                                                                                                                                                             |

**ВКР->CSR (Регистр управления и статуса ВКР)** Состояние после сброса - 0x0000, биты 9 (TIF) и 8 (TEF) доступны только для чтения, биты 1 (CTI) и 0 (CTE) – только для записи, бит 2 (TPIE) доступен как для чтения, так и для записи.

| Бит   | Название | Назначение                                                                                                                                                                                                                                                                                              |
|-------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | CTE      | <b>1:</b> Сброс флага TEF (прерывание TAMPER).                                                                                                                                                                                                                                                          |
| 1     | CTI      | <b>1:</b> Сброс флага TIF (событие TAMPER).                                                                                                                                                                                                                                                             |
| 2     | TPIE     | Разрешения прерывания TAMPER.<br><b>0:</b> Прерывание запрещено.<br><b>1:</b> Прерывание TAMPER разрешено.                                                                                                                                                                                              |
| 3-7   | -        | Р е з е р в                                                                                                                                                                                                                                                                                             |
| 8     | TEF      | Флаг события TAMPER. Устанавливается аппаратно при обнаружении активного уровня на входе TAMPER, сбрасывается программно записью “1” в бит CTE.<br><b>0:</b> Нет активного сигнала на входе TAMPER.<br><b>1:</b> Обнаружен активный уровень на входе TAMPER.                                            |
| 9     | TIF      | Флаг прерывания TAMPER. Устанавливается, если обнаружен активный уровень на входе TAMPER и прерывание TAMPER разрешено (TPIE=“1”). Сбрасывается программно, записью “1” в бит CTI или сбросом бита TPIE.<br><b>0:</b> Нет активного сигнала на входе TAMPER.<br><b>1:</b> Обнаружено прерывание TAMPER. |
| 10-15 | -        | Р е з е р в                                                                                                                                                                                                                                                                                             |

**RCC->BDCR (Регистр управления ВКР и синхронизации RTC)** Состояние после сброса - 0x00000000. Бит 1 (LSERDY) устанавливается и сбрасывается аппаратно, доступен только для чтения, остальные биты доступны для чтения и записи.

| Бит   | Название | Назначение                                                                                                                                                                                                                                                              |
|-------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | LSEON    | Включение внешнего кварцевого LSE генератора 32,768 кГц.<br><b>0:</b> выключен. <b>1:</b> включен.                                                                                                                                                                      |
| 1     | LSERDY   | Состояние внутреннего LSI RC генератора 32 - 40 кГц.<br><b>0:</b> LSE генератор к работе не готов.<br><b>1:</b> LSE генератор запущен и готов к работе.                                                                                                                 |
| 2     | LSEBYP   | Игнорирование генератора LSE 32,768 кГц при отладке программы.<br><b>0:</b> Режим работы программы.<br><b>1:</b> Генератор LSE можно игнорировать.<br><b>Примечание:</b> Изменять этот бит возможно только если LSEON=0.                                                |
| 3-7   | -        | Р е з е р в                                                                                                                                                                                                                                                             |
| 8     | RTCSEL0  | Выбор источника синхронизации часов:<br><b>00:</b> Нет. <b>01:</b> LSE 32,768 кГц. <b>10:</b> LSI 32-40 кГц. <b>11:</b> fHSE/128.<br><b>Примечание:</b> После выбора источника синхронизации RTC изменить эти биты возможно только путём сброса (установкой бита BDRST) |
| 9     | RTCSEL1  |                                                                                                                                                                                                                                                                         |
| 10-14 | -        | Р е з е р в                                                                                                                                                                                                                                                             |

|       |       |                                                                                                                                            |
|-------|-------|--------------------------------------------------------------------------------------------------------------------------------------------|
| 15    | RTCEN | Программный запуск и остановка синхронизации часов RTC.<br><b>0:</b> Синхронизация RTC выключена.<br><b>1:</b> Синхронизация RTC запущена. |
| 16    | BDRST | Программный сброс регистров защищённой области ВКР.<br><b>0:</b> Нет действия.<br><b>1:</b> Сбросить содержимое регистров <b>ВКР</b> .     |
| 17-31 | -     | Р е з е р в                                                                                                                                |

### Часы реального времени RTC.

Часы реального времени расположены в домене с резервным питанием, что позволяет сохранять их работоспособность при переходе контроллера в режим энергосбережения или при полном отключении основного питания. (При полном выключении питания время будильника сбрасывается.) Часы реального времени могут генерировать три прерывания: ежесекундно, по инкрементированию секунд, по переполнению счётчика и по срабатыванию будильника (17-я линия внешних прерываний).

Синхронизация RTC может осуществляться от частоты кварцевого генератора HSE делённой на 128, от внешнего кварцевого генератора LSE 32,768 кГц, а так же от внутреннего генератора LSI RC 32-40 кГц.

Перед началом работы с RTC необходимо разрешить синхронизацию домена с резервным питанием, в котором расположены регистры RTC и RCC\_BDCR, а так же разрешить синхронизацию системы электропитания (PWR), чтобы иметь доступ к регистру PWR\_CR:

```
RCC->APB1ENR |= RCC_APB1ENR_BKPEN | RCC_APB1ENR_PWREN; // 0x18000000.
```

Далее необходимо выбрать задающий генератор. См. регистры **RCC->BDCR** (раздел “Защищённая область памяти ВКР”) и **PWR->CR** (раздел “Система управления электропитанием PWR”).

Пример подготовки к работе внешнего кварцевого генератора LSE 32,768 кГц:

```
// Пример выбора внешнего кварцевого генератора LSE 32,768 кГц.
PWR->CR |= PWR_CR_DBR; // Разрешить запись в ВКР и RTC (0x0100)
RCC->BDCR |= RCC_BDCR_LSEON; // Включить LSE генератор. (0x00000001)
// Ожидание готовности LSE к работе.
while((RCC->BDCR & RCC_BDCR_LSERDY) != RCC_BDCR_LSERDY); // 0x00000002
.....
// При необходимости запретить запись в ВКР и RTC
PWR->CR |= PWR_CR_DBR; // 0xFEFF
```

Запуск внутренним LSI RC генератором 32 – 40 кГц осуществляется установкой соответствующих бит в регистре **RCC->CSR** (раздел “Режимы энергосбережения и система сброса”):

```
// Пример выбора внутреннего LSI RC генератора 32 – 40 кГц.
RCC->CSR |= RCC_CSR_LSION; // Включить LSI генератор. (0x00000001)
// Ожидание готовности LSI к работе.
while((RCC->CSR & RCC_CSR_LSIRDY) != RCC_CSR_LSIRDY); // 0x00000002
PWR->CR |= PWR_CR_DBR; // Разрешить запись в ВКР и RTC (0x0100)
.....
// При необходимости запретить запись в ВКР и RTC
PWR->CR |= PWR_CR_DBR; // 0xFEFF
```

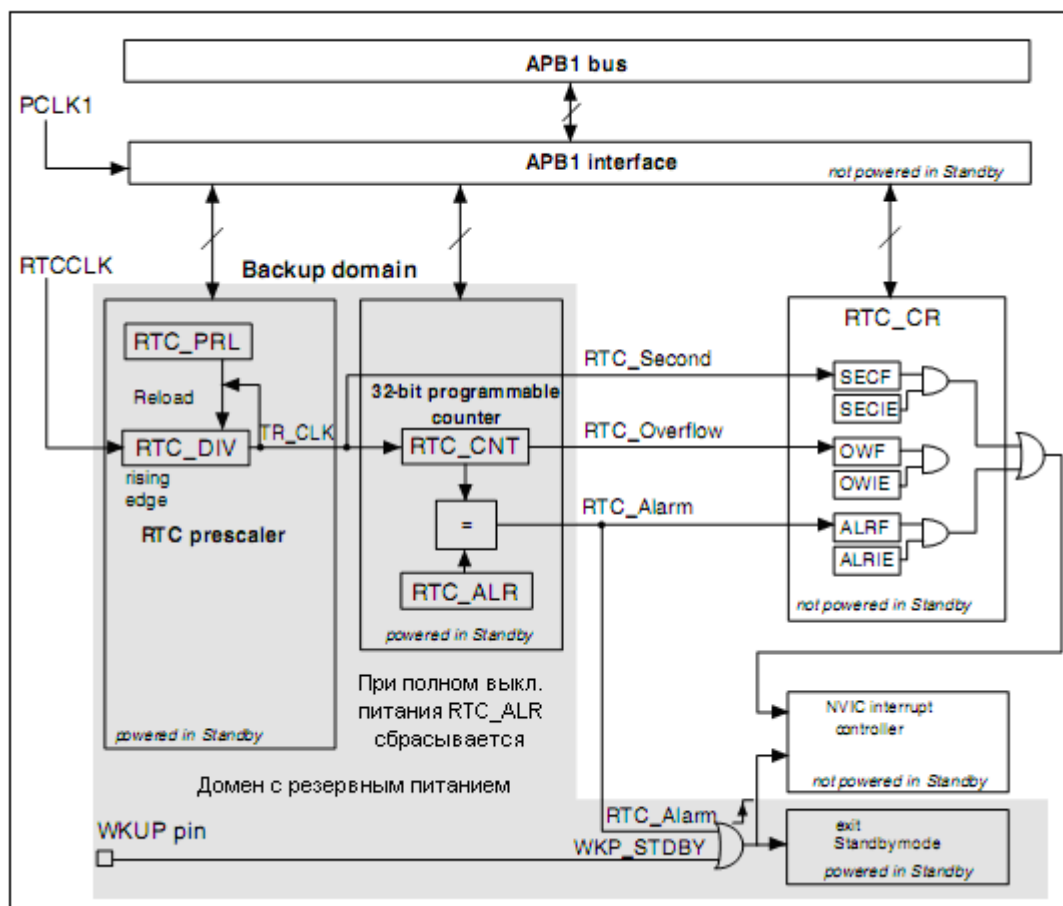
В процессе работы может возникнуть необходимость выключить выбранный генератор синхронизации часов реального времени RTC:

// **Выключение внешнего кварцевого генератора LSE 32,768 кГц.**  
**RCC->BDCR |= RCC\_BDCR\_BDRST; // Установить бит сброса BDRST. (0x00010000)**  
**RCC->BDCR &= ~RCC\_BDCR\_BDRST; // Сбросить бит BDRST. (0xFFFFEFFF)**

или

// **Выключение внутреннего LSI RC генератора 32 – 40 кГц**  
**RCC->CSR &= ~RCC\_CSR\_LSION; // Включить LSI генератор. (0xFFFFF7FE)**

Упрощённая блок-схема часов реального времени RTC



**RTC->CRH (Старший регистр управления RTC)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи. (Запись доступна только после завершения предыдущей операции, т.е. когда RTC\_CRL[RTOFF]=1.)

| Бит  | Название | Назначение                                                                            |
|------|----------|---------------------------------------------------------------------------------------|
| 0    | SECIE    | Управление прерыванием по инкрементированию секунд.<br>0: Запрещено.<br>1: Разрешено. |
| 1    | ALRIE    | Управление прерыванием по будильнику.<br>0: Запрещено.<br>1: Разрешено.               |
| 2    | OWIE     | Управление прерыванием по переполнению.<br>0: Запрещено.<br>1: Разрешено.             |
| 3-15 | -        | Р е з е р в                                                                           |

**RTC->CRL (Младший регистр управления RTC)** Состояние после сброса - 0x0020.

Бит 5 (RTOF) доступен только для чтения, бит 4 (CNF) доступен для чтения и записи, остальные биты доступны для чтения и записи “0” - сброса. (Запись доступна только после завершения предыдущей операции, т.е. когда RTC\_CRL[RTOFF]=1.)

| Бит  | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|------|----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | SECF     | Флаг секунд. (Переполнение предварительного делителя, что вызывает увеличение содержимого RTC_CNT на 1 секунду).<br>Устанавливается аппаратно, сбрасывается программно<br>0: Инкрементирование RTC_CNT не обнаружено.<br>1: Содержимое RTC_CNT увеличилось на 1 секунду.<br>(Будет вызвано прерывание будильника, если разрешено.)                                                                                                                         |
| 1    | ALRF     | Флаг будильника (совпадения RTC_CNT с RTC_ALR).<br>Устанавливается аппаратно, сбрасывается программно<br>0: Совпадение не обнаружено.<br>1: Обнаружено совпадение.<br>(Будет вызвано прерывание будильника, если разрешено.)                                                                                                                                                                                                                               |
| 2    | OWF      | Флаг переполнения счётчика RTC. Устанавливается аппаратно, сбрасывается программно.<br>0: Переполнение не обнаружено.<br>1: Обнаружено переполнение.<br>(Будет вызвано прерывание переполнения, если разрешено.)                                                                                                                                                                                                                                           |
| 3    | RSF      | Флаг синхронизации регистров RTC_CNT, RTC_ALR и RTC_PRL.<br>Устанавливается аппаратно, сбрасывается программно. После любой коррекции, в т.ч. остановки и запуска синхронизации необходимо программно сбросить этот флаг, а затем дождаться его установки, чтобы убедиться, что регистры RTC синхронизированы.<br>В противном случае при считывании данных могут быть ошибки.<br>0: Регистры не синхронизировались.<br>1: Регистры RTC синхронизировались. |
| 4    | CNF      | Флаг конфигурации регистров RTC_CNT, RTC_ALR и RTC_PRL.<br>0: Выход из режима конфигурации. При переходе от “1” к “0” осуществляется стартовая коррекция RTC.<br>1: Режим конфигурации, при котором можно изменять содержимое регистров RTC_CNT, RTC_ALR и RTC_PRL.                                                                                                                                                                                        |
| 5    | RTOF     | Бит окончания операции в регистрах RTC.<br>0: операция с регистрами не завершена. Запрещено производить запись в регистры RTC.<br>1: операция с регистрами завершена, Часы готовы к выполнению очередной команды.                                                                                                                                                                                                                                          |
| 6-15 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                |

**RTC->PRLH (Старший регистр перезагрузки предварительного делителя RTC)**

|          |    |    |    |    |    |   |   |   |   |   |   |            |   |   |   |
|----------|----|----|----|----|----|---|---|---|---|---|---|------------|---|---|---|
| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3          | 2 | 1 | 0 |
| Reserved |    |    |    |    |    |   |   |   |   |   |   | PRL[19:16] |   |   |   |
|          |    |    |    |    |    |   |   |   |   |   |   | w          | w | w | w |

Состояние после сброса: 0x0000

**RTC->PRL (Младший регистр перезагрузки предварительного делителя RTC)**

|           |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|-----------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15        | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PRL[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| w         | w  | w  | w  | w  | w  | w | w | w | w | w | w | w | w | w | w |

Состояние после сброса: 0x0000

$$f_{TR\_CLK} = f_{RTCCLK} / (PRL[19:0] + 1)$$

Для получения  $f_{TR\_CLK} = 1$  Гц при  $f_{RTCCLK} = 32,768$  кГц  
следует установить  $PRL[19:0] = 0x7FFF$

**Запись  $PRL[19:0] = 0x0000\ 0000$  недопустима!**

### RTC->DIVH (Предварительный делитель частоты RTC – старший регистр)

|          |    |    |    |    |    |   |   |   |   |   |   |                |   |   |   |
|----------|----|----|----|----|----|---|---|---|---|---|---|----------------|---|---|---|
| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3              | 2 | 1 | 0 |
| Reserved |    |    |    |    |    |   |   |   |   |   |   | RTC_DIV[19:16] |   |   |   |
|          |    |    |    |    |    |   |   |   |   |   |   | r              | r | r | r |

Состояние после сброса: 0x0000

### RTC->DIVL (Предварительный делитель частоты RTC – младший регистр)

|               |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|---------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTC_DIV[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| r             | r  | r  | r  | r  | r  | r | r | r | r | r | r | r | r | r | r |

Состояние после сброса: 0x0000

Предварительный делитель RTC\_DIV ведёт счёт на уменьшение. При переходе его состояния из 0x00000 в 0xFFFF формируется инкрементирование (увеличение на 1) счётчика RTC\_CNT, а так же автоматически осуществляется его перезагрузка из RTC\_RRL. Автоматическая перезагрузка осуществляется так же после коррекции RTC\_RRL или RTC\_CNT.

### RTC->CNTH (Счётчик секунд RTC – регистр старших разрядов)

|                |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| RTC_CNT[31:16] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса 0x0000

### RTC->CNTL (Счётчик секунд RTC – регистр младших разрядов)

|               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| RTC_CNT[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw            | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

Счётчик осуществляет увеличение предварительно установленного значения один раз в секунду. Исходя из его объёма, счёт может вестись на протяжении 136 лет. Перевод секунд в минуты, часы, дни и т.д. должен осуществляться программно.

Читать необходимо сначала младший регистр (**RTC->CNTL**), затем старший (**RTC->CNTH**). Для работы с интервалами времени меньше секунды, допускается чтение регистра **RTC->DIV**.

### RTC->ALRH (Старший регистр будильника RTC)

|                |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|----------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15             | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTC_ALR[31:16] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| w              | w  | w  | w  | w  | w  | w | w | w | w | w | w | w | w | w | w |

Состояние после сброса: 0xFFFF

### RTC->ALRL (Младший регистр будильника RTC)

|               |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|---------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RTC_ALR[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| w             | w  | w  | w  | w  | w  | w | w | w | w | w | w | w | w | w | w |

Состояние после сброса: 0xFFFF

В регистры будильника записывается величина, при совпадении которой с содержимым счётчика секунд будет установлен флаг **RTC->CRL[ALRF]** и сгенерировано внешнее прерывание по линии №17 (Если установлен бит **RTC->CRH[ALRIE]**).

## Обработка прерываний, системные прерывания.

**Таблица векторов прерываний и исключительных ситуаций.**

| № IRQ  | Приоритет | Сост. после сброса | Адрес начала | Наименование     | Назначение                                                                |
|--------|-----------|--------------------|--------------|------------------|---------------------------------------------------------------------------|
| нет    | -3        | Вкл                | 0x0004       | Reset            | Системный сброс.                                                          |
| -14    | -2        | Вкл                | 0x0008       | <b>NMI</b>       | Немаскируемое прерывание                                                  |
| -13    | -1        | Вкл                | 0x000C       | <b>HARDFAULT</b> | Обработка аварийной ситуации.                                             |
| -12    | 0         |                    | 0x0010       | <b>MEMFAULT</b>  | Сбой памяти (доступ по несуществующему адресу).                           |
| -11    | 0         |                    | 0x0014       | <b>BUSFAULT</b>  | Ошибка в системе синхронизации шин.                                       |
| -10    | 0         |                    | 0x0018       | <b>USGFAULT</b>  | Исключительные ситуации в программе (например, деление на 0)              |
| -5     | 0         | Вкл                | 0x002C       | <b>SVCALL</b>    | Вызов системной службы.                                                   |
| -4     | 0         |                    | 0x0030       | MONITOR          | Работа с внешним отладчиком.                                              |
| -2     | 0         | Вкл                | 0x0038       | <b>PENDSV</b>    | Отправляемый запрос системному устройству.                                |
| -1     | 0         | Вкл                | 0x003C       | <b>SYSTICK</b>   | Прерывание системного таймера.                                            |
| 0      | 0         |                    | 0x0040       | IRQ0             | Внешние прерывания, определены индивидуально для каждого типа STM32F10xxx |
| 1      | 0         |                    | 0x0044       | IRQ1             |                                                                           |
| 2      | 0         |                    | 0x0048       | IRQ2             |                                                                           |
| 3      | 0         |                    | 0x004C       | IRQ3             |                                                                           |
| и т.д. |           |                    |              |                  |                                                                           |
| 66     | 0         |                    | 0x0140       | IRQ66            |                                                                           |
| 67     | 0         |                    | 0x014C       | IRQ67            |                                                                           |

- Примечание:**
1. Системные прерывания с отрицательным приоритетом недоступны пользовательским программам для отключения или изменения приоритета.
  2. Системные и внешние прерывания с приоритетом равным нулю могут быть включены (выключены) пользовательским программным обеспечением, их приоритет может быть изменён в пределах 0 – 15. Так же они могут быть объединены в группы, имеющие одинаковый приоритет.
  3. Самым высшим приоритетом считается “-3”, самым низким “15”.

## Управление системными прерываниями и ядром Cortex-M3.

После сброса ряд системных прерываний имеют приоритет 0. Чтобы его изменить, необходимо записать номер желаемого приоритета в соответствующие разряды регистров SCB\_SHPRx (См. “Группировка приоритетов” **SSB\_AIRCR{PRIGROUP}**):

| Системное прерывание |                                      | Где изменять приоритет |               |
|----------------------|--------------------------------------|------------------------|---------------|
| Наименование         | Назначение                           | Регистр                | Биты массива  |
| <b>MEMFAULT</b>      | Сбой памяти.                         | SCB_SHPR1              | SHP[0] [7:4]  |
| <b>BUSFAULT</b>      | Ошибка синхронизации шин.            |                        | SHP[1] [7:4]  |
| <b>USGFAULT</b>      | Исключительная ситуация в программе. |                        | SHP[2] [7:4]  |
| <b>SVCALL</b>        | Вызов системной службы               | SCB_SHPR2              | SHP[7] [7:4]  |
| <b>PENDSV</b>        | Запрос системному устройству.        | SCB_SHPR3              | SHP[10] [7:4] |
| <b>SYSTICK</b>       | Прерывание системного таймера.       |                        | SHP[11] [7:4] |

- Примечание:**
1. Приоритет 0 для этих прерываний самый высший, 15 – самый низкий.
  2. Младшие разряды PRI\_x[3:0] в STM32F10xxx не используются.

## Регистры установки приоритета системных прерываний

### SCB\_SHPR1

|                 |    |    |    |              |    |    |    |              |    |    |    |              |    |    |    |
|-----------------|----|----|----|--------------|----|----|----|--------------|----|----|----|--------------|----|----|----|
| 31              | 30 | 29 | 28 | 27           | 26 | 25 | 24 | 23           | 22 | 21 | 20 | 19           | 18 | 17 | 16 |
| Reserved SHP[3] |    |    |    |              |    |    |    | SHP[2] [7:4] |    |    |    | SHP[2] [3:0] |    |    |    |
|                 |    |    |    |              |    |    |    | rw           | rw | rw | rw | r            | r  | r  | r  |
| 15              | 14 | 13 | 12 | 11           | 10 | 9  | 8  | 7            | 6  | 5  | 4  | 3            | 2  | 1  | 0  |
| SHP[1] [7:4]    |    |    |    | SHP[1] [3:0] |    |    |    | SHP[0] [7:4] |    |    |    | SHP[0] [3:0] |    |    |    |
| rw              | rw | rw | rw | r            | r  | r  | r  | rw           | rw | rw | rw | r            | r  | r  | r  |

### SCB\_SHPR2

|              |    |    |    |              |    |    |    |                 |    |    |    |        |    |    |    |
|--------------|----|----|----|--------------|----|----|----|-----------------|----|----|----|--------|----|----|----|
| 31           | 30 | 29 | 28 | 27           | 26 | 25 | 24 | 23              | 22 | 21 | 20 | 19     | 18 | 17 | 16 |
| SHP[7] [7:4] |    |    |    | SHP[7] [3:0] |    |    |    | Reserved SHP[6] |    |    |    |        |    |    |    |
| rw           | rw | rw | rw | r            | r  | r  | r  |                 |    |    |    |        |    |    |    |
| 15           | 14 | 13 | 12 | 11           | 10 | 9  | 8  | 7               | 6  | 5  | 4  | 3      | 2  | 1  | 0  |
| SHP[5]       |    |    |    |              |    |    |    | Reserved        |    |    |    | SHP[4] |    |    |    |

### SCB\_SHPR3

|               |    |    |    |               |    |    |    |               |    |    |    |               |    |    |    |
|---------------|----|----|----|---------------|----|----|----|---------------|----|----|----|---------------|----|----|----|
| 31            | 30 | 29 | 28 | 27            | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19            | 18 | 17 | 16 |
| SHP[11] [7:4] |    |    |    | SHP[11] [3:0] |    |    |    | SHP[10] [7:4] |    |    |    | SHP[10] [3:0] |    |    |    |
| rw            | rw | rw | rw | r             | r  | r  | r  | rw            | rw | rw | rw | r             | r  | r  | r  |
| 15            | 14 | 13 | 12 | 11            | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3             | 2  | 1  | 0  |
| SHP[9]        |    |    |    |               |    |    |    | Reserved      |    |    |    | SHP[8]        |    |    |    |

Состояние регистров SCB\_SHPR1, SCB\_SHPR2 и SCB\_SHPR3 после сброса: 0x0000 0000.

**Примечание:** В Keil-4 следует обращаться не к регистрам, а к массиву SCB->SHP[n].

Например, чтобы установить для SysTick приоритет 3, следует сделать запись: SCB->SHP[11]=0x30.

**SCB->SHCSR (Регистр управления и состояния системных прерываний)** Состояние после сброса - 0x0000 0000. Биты доступны для чтения и записи.

| Бит | Название        | Назначение                                                                                          |
|-----|-----------------|-----------------------------------------------------------------------------------------------------|
| 0   | MEMFAULT ACT    | 1: В данный момент прерывание активно. Запись "0" отменяет выполнение данного прерывания.           |
| 1   | BUSFAULT ACT    | - // -                                                                                              |
| 2   | -               | Р е з е р в                                                                                         |
| 3   | USGFAULT ACT    | - // -                                                                                              |
| 4-6 | -               | Р е з е р в                                                                                         |
| 7   | SVCALL ACT      | - // -                                                                                              |
| 8   | MONITOR ACT     | - // -                                                                                              |
| 9   | -               | Р е з е р в                                                                                         |
| 10  | PENDSV ACT      | - // -                                                                                              |
| 11  | SYSTICK ACT     | - // -                                                                                              |
| 12  | USGFAULT PENDED | 1: В данный момент выполнение прерывания отложено. Запись "0" удаляет из очереди данное прерывание. |
| 13  | MEMFAULT PENDED | - // -                                                                                              |
| 14  | BUSFAULT PENDED | - // -                                                                                              |
| 15  | SVCALL PENDED   | - // -                                                                                              |

|       |                 |                                                               |
|-------|-----------------|---------------------------------------------------------------|
| 16    | MEMFAULT<br>ENA | 0: Прерывание запрещено.<br>1: Прерывание MEMFAULT разрешено. |
| 17    | BUSFAULT<br>ENA | 0: Прерывание запрещено.<br>1: Прерывание BUSFAULT разрешено. |
| 18    | USGFAULT<br>ENA | 0: Прерывание запрещено.<br>1: Прерывание USGFAULT разрешено. |
| 19-31 | -               | Р е з е р в                                                   |

### SCB->ICSR (Регистр управления прерываниями)

|                  |          |    |           |           |           |           |                 |    |                |                  |    |    |    |    |    |
|------------------|----------|----|-----------|-----------|-----------|-----------|-----------------|----|----------------|------------------|----|----|----|----|----|
| 31               | 30       | 29 | 28        | 27        | 26        | 25        | 24              | 23 | 22             | 21               | 20 | 19 | 18 | 17 | 16 |
| NMIPENDSET       | Reserved |    | PENDSVSET | PENDSVCLR | PENDSTSET | PENDSTCLR | Reserved        |    | ISRPE<br>NDING | VECTPENDING[9:4] |    |    |    |    |    |
| rw               |          |    | rw        | w         | rw        | w         |                 |    | r              | r                | r  | r  | r  | r  | r  |
| 15               | 14       | 13 | 12        | 11        | 10        | 9         | 8               | 7  | 6              | 5                | 4  | 3  | 2  | 1  | 0  |
| VECTPENDING[3:0] |          |    |           | RETOBASE  | Reserved  |           | VECTACTIVE[8:0] |    |                |                  |    |    |    |    |    |
| r                | r        | r  | r         | r         |           |           | rw              | rw | rw             | rw               | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

| Название битов             | Назначение                                                                                                                                                                                                                                        |
|----------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| NMIPENDSET                 | 1: Отложить выполняемое немаскируемое прерывание NMI, разумеется, если оно выполняется в текущий момент. (При чтении “1” означает, что выполнение прерывания NMI отложено.)<br>0: Эффекта не имеет.                                               |
| PENDSVSET                  | 1: Отложить обработку прерывания PENDSV.<br>0: Эффекта не имеет.                                                                                                                                                                                  |
| PENDSVCLR                  | 1: Отменить обработку прерывания PENDSV, находящегося в очереди.<br>0: Эффекта не имеет.                                                                                                                                                          |
| PENDSTSET                  | 1: Отложить обработку прерывания SYSTICK.<br>0: Эффекта не имеет.                                                                                                                                                                                 |
| PENDSTCLR                  | 1: Отменить обработку прерывания SYSTICK, находящегося в очереди.<br>0: Эффекта не имеет.                                                                                                                                                         |
| ISRPE<br>NDING             | 0: Нет отложенных прерываний.<br>1: Есть отложенные прерывания.<br><b>Примечание:</b> Этот флаг не распространяется на прерывания, связанные с ошибками xFAULT (от IRQ= -10 до IRQ= -13).                                                         |
| VECTOR<br>PENDING<br>[9:0] | Вектор отложенного прерывания с самым высоким приоритетом, т.е. прерывания, которое будет выполняться после текущего. Если VECTORPENDING[9:0]=0x000000000, то нет отложенных прерываний.                                                          |
| RETOBASE                   | 0: Все прерывания обработаны.<br>1: Есть не обработанные прерывания, даже если уже обрабатывается последнее прерывание находится в обработке.                                                                                                     |
| VECTOR<br>ACTIVE<br>[8:0]  | Вектор активного прерывания. Чтобы узнать номер активного IRQ (см. “Таблица векторов прерываний и исключительных ситуаций”), надо из этой величины вычесть 16.<br>Если VECTORACTIVE[8:0]=0x000000000, то в данный момент нет активных прерываний. |

**Примечание:** Чтобы по прочитанной величине VECTORxxx узнать № IRQ (см. “Таблица векторов прерываний и исключительных ситуаций”), надо из этой величины вычесть 16.

## SCB->AIRCR (Регистр управления прерываниями программного сброса)

|                                               |          |    |    |    |          |    |    |          |    |    |    |    |                     |                       |               |
|-----------------------------------------------|----------|----|----|----|----------|----|----|----------|----|----|----|----|---------------------|-----------------------|---------------|
| 31                                            | 30       | 29 | 28 | 27 | 26       | 25 | 24 | 23       | 22 | 21 | 20 | 19 | 18                  | 17                    | 16            |
| VECTKEYSTAT[15:0](read)/ VECTKEY[15:0](write) |          |    |    |    |          |    |    |          |    |    |    |    |                     |                       |               |
| rw                                            | rw       | rw | rw | rw | rw       | rw | rw | rw       | rw | rw | rw | rw | rw                  | rw                    | rw            |
| 15                                            | 14       | 13 | 12 | 11 | 10       | 9  | 8  | 7        | 6  | 5  | 4  | 3  | 2                   | 1                     | 0             |
| ENDIANESS                                     | Reserved |    |    |    | PRIGROUP |    |    | Reserved |    |    |    |    | SYS<br>RESET<br>REQ | VECT<br>CLR<br>ACTIVE | VECT<br>RESET |
| r                                             |          |    |    |    | rw       | rw | rw |          |    |    |    |    | w                   | w                     | w             |

Состояние после сброса: 0xFA05 0000

| Название битов      | Назначение                                                                                                                               |
|---------------------|------------------------------------------------------------------------------------------------------------------------------------------|
| <b>*KEY*[31-16]</b> | Ключ доступа к регистру. Читается как 0xFA05. Чтобы получить доступ к записи в регистр, необходимо записать 0x05FA.                      |
| ENDIANESS           | Порядок следования значащих разрядов при доступе к данным:<br><b>0</b> : Первым идёт младший бит.<br><b>1</b> : Первым идёт старший бит. |
| <b>PRIGROUP</b>     | Группировка приоритетов исключений. Определяет количество групп приоритетов и подгрупп. (См. ниже)                                       |
| <b>SYSRESETREQ</b>  | <b>1</b> : Программный сброс.                                                                                                            |
| VECTCLRACTIVE       | Зарезервированы для отладки ядра. Читаются как “00”. При попытке записать “1” результат непредсказуем.                                   |
| VECTRESET           |                                                                                                                                          |

### Группировка приоритетов (поле **PRIGROUP**).

Все прерывания объединены в группы. Для каждой группы определяется свой уровень приоритета, т.е. групповой приоритет. В свою очередь внутри группы могут создаваться подгруппы, включающие прерывания с одинаковым приоритетом внутри данной группы.

Поле PRIGROUP определяет позицию двоичной точки, разделяющей поля **PRI\_x (IPx)** регистров приоритета прерываний **SCB->SHPRx (NVIC->IPRx)** на два подполя – номер группы и номер подгруппы.

| PRIGROUP | Положение разделительной точки в поле PRI_x[7:4] |                         |           | Общее количество |          |
|----------|--------------------------------------------------|-------------------------|-----------|------------------|----------|
|          | Положение точки, разделяющей поле.               | Биты обозначающие номер |           |                  |          |
|          |                                                  | группы                  | подгруппы | групп            | подгрупп |
| 011      | Г Г Г Г                                          | [7:4]                   | нет       | 16               | нет      |
| 100      | Г Г Г . П                                        | [7:5]                   | [4]       | 8                | 2        |
| 101      | Г Г . П П                                        | [7:6]                   | [5:4]     | 4                | 4        |
| 110      | Г . П П П                                        | [7]                     | [6:4]     | 2                | 8        |
| 111      | П П П П                                          | нет                     | [7:4]     | нет              | 16       |

Пример:

|            |    |   |   |   |             |    |             |    |             |    |    |    |    |
|------------|----|---|---|---|-------------|----|-------------|----|-------------|----|----|----|----|
| SSB->AIRCR |    |   |   |   | SCB->SHPR3  |    |             |    |             |    |    |    |    |
| 11         | 10 | 9 | 8 | 7 | 31          | 30 | 29          | 28 | 27          | 26 | 25 | 24 | 23 |
| PRIGROUP   |    |   |   |   | PRI_15[7:4] |    |             |    | PRI_15[3:0] |    |    |    |    |
| 2          |    | 1 |   | 0 | 7           | 6  | 5           | 4  |             |    |    |    |    |
| 1          |    | 0 |   | 1 | 0           | 0  | 1           | 0  | r           | r  | r  | r  | rw |
|            |    |   |   |   | № группы    |    | № подгруппы |    |             |    |    |    |    |

В системе зарегистрировано 4 группы прерываний, каждая из которых содержит по 4 подгруппы.

Прерыванию SYSTICK присвоен приоритет 2-й подгруппы, входящей в 0-ю группу уровней приоритетов.

## SCB->VTOR (Регистр смещения таблицы векторов прерываний)



Состояние после сброса: 0x0000 0000

Бит 29 называется TBLBASE

В поле TBLOFF устанавливается смещение таблицы векторов прерываний. Бит TBLBASE определяет место нахождения таблицы векторов прерываний в памяти:

TBLOFF="0" – Code (память программ).

TBLOFF="1" – SRAM (ОЗУ).

## SCB->CCR (Регистр управления процессом перехода в режим прерывания)



Состояние после сброса: 0x0000 0000

(У микроконтроллеров серии STM32F2xxx и STM32Lxxx 0x0000 02000)

| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| STKALIGN       | Способ выравнивания стека при переходе в прерывание и выходе:<br><b>0:</b> по границе 4 байт. <b>1:</b> по границе 8 байт.                                                                                                                                                                                                                            |
| BFHFNMIGN      | Действие при отказе доступа к шине обработчикам прерываний с приоритетом -1 и -2.<br><b>0:</b> Процессор блокируется.<br><b>1:</b> Игнорировать отказ.<br><b>Примечание:</b> Этот бит следует устанавливать только в крайнем случае, если используемые обработчиком данные находятся в безопасной области памяти, например, устройства ввода / вывода |
| DIV_0_TRP      | Формирование запроса прерывания при делении на 0.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить вызов прерывания <b>USGFAULT</b> .<br><b>Примечание:</b> Если бит не установлен, то частное от деления на 0 будет установлено равным 0.                                                                                                              |
| UNALIGN_TRP    | Формирование запроса прерывания при не выровненном доступе к данным.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить вызов прерывания <b>USGFAULT</b> .                                                                                                                                                                                                |
| USERSETMPEND   | Доступ к регистру вызова программных прерываний.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить доступ к регистру <b>NVIC-&gt;STIR</b> .                                                                                                                                                                                                              |
| NONBASETHRDENA | Переход процессора в режим "Thread mode" (Работа с ОС).<br><b>0:</b> Разрешить, если нет активных прерываний.<br><b>1:</b> Разрешить из обработчика прерывания любого уровня.                                                                                                                                                                         |

## Обработка ошибок.

Для того, чтобы уточнить причину, вызвавшую прерывание обработки ошибок (**xFAULT**), следует обратиться к содержимому регистров, отображающих причины ошибок и отказов (**SCB->SFSR, SCB->**), но, как правило, при работе с Keil uVision в программе могут встречаться только ошибки, связанные с делением на ноль.

## Контроллер вложенных векторизованных прерываний NVIC.

Контроллер вложенных векторизованных прерываний обеспечивает:

- поддержку вплоть до 81-го внешнего прерывания (STM32F10xxx – до 68);
- формирование немаскируемого прерывания NMI;
- выбор формы сигнала запроса прерывания (по уровню или по импульсу);
- установку уровня приоритета в диапазоне от 0 до 15 каждому прерыванию (наивысшим считается прерывание с уровнем 0);
- разделение прерываний по группам с разным уровнем приоритетов, а внутри групп по подгруппам, так же имеющим в своей группе разные уровни приоритета;
- динамическое изменение приоритета прерывания;
- передачу управления из одного обработчика прерывания другому без восстановления контекста.

В целях повышения эффективности разработки программного обеспечения в CMSIS предусмотрен упрощенный доступ к регистрам контроллера прерываний NVIC: регистры разрешения, запрета, установки и сброса состояния ожидания прерываний, а также регистры активных прерываний отображаются на массивы 32-разрядных целых чисел, а именно:

- элементы массива **ISER[0] - ISER[2]** соответствуют регистрам **ISER0 – ISER2**;
- элементы массива **ICER[0] - ICER[2]** соответствуют регистрам **ICER0 – ICER2**;
- элементы массива **ISPR[0] - ISPR[2]** соответствуют регистрам **ISPR0 – ISPR2**;
- элементы массива **ICPR[0] - ICPR[2]** соответствуют регистрам **ICPR0 – ICPR2**;
- элементы массива **IABR[0] - IABR[0]** соответствуют регистрам **IABR0 – IABR2**;

8-битовые поля регистров приоритета прерываний отображаются на массив 8-разрядных целых чисел, а именно:

массив **IP[0]...IP[67]** соответствует регистрам **IPR0-IPR16**, причем элемент массива **IP[n]** соответствует приоритету прерывания с номером **n**.

### Распределение прерываний в переменных прерывания:

| № IRQ | № бита в массиве | Элементы массивов CMSIS* |                   |                     |                    |                    |
|-------|------------------|--------------------------|-------------------|---------------------|--------------------|--------------------|
|       |                  | Разрешение прерывания    | Запрет прерывания | Отложить прерывание | Удалить из очереди | Признак активности |
| 0-31  | 0-31             | ISER[0]                  | ICER[0]           | ISPR[0]             | ICPR[0]            | IABR[0]            |
| 32-63 | 0-31             | ISER[1]                  | ICER[1]           | ISPR[1]             | ICPR[1]            | IABR[0]            |
| 64-67 | 0-3              | ISER[2]                  | ICER[2]           | ISPR[2]             | ICPR[2]            | IABR[0]            |

### Пример управления прерываниями в Keil:

```
NVIC->ISER[0] |= 0x00000001; // Разрешить 0.  
NVIC->ISER[1] |= 0x00000002; // Разрешить IRQ33.  
NVIC->ICER[0] |= 0x00000002; // Запретить прерывание IRQ1.
```

### NVIC->ISERx (Регистр разрешения прерываний)

| 31            | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| SETENA[31:16] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rs            | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs |
| 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| SETENA[15:0]  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rs            | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs |

Состояние после сброса: 0x0000 0000

Чтение: “0” – прерывание запрещено, “1” – прерывание разрешено.

Запись: “0” – не оказывает эффекта, “1” – разрешить прерывание.

### NVIC ->ICERx (Регистр запрещения прерываний)

| 31            | 30    | 29    | 28    | 27    | 26    | 25    | 24    | 23    | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
|---------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| CLRENA[31:16] |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
| rc_w1         | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |
| 15            | 14    | 13    | 12    | 11    | 10    | 9     | 8     | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CLRENA[15:0]  |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
| rc_w1         | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |

Состояние после сброса: 0x0000 0000

Чтение: “0” – прерывание запрещено, “1” – прерывание разрешено.

Запись: “0” – не оказывает эффекта, “1” – запрещает прерывание.

### NVIC ->ISPRx (Регистр перевода обрабатываемого прерывания в очередь)

| 31             | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|----------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| SETPEND[31:16] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rs             | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs |
| 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| SETPEND[15:0]  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rs             | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs | rs |

Состояние после сброса: 0x0000 0000

Чтение: “0” – нет прерывания в очереди, “1” – прерывание находится в очереди.

Запись: “0” – не оказывает эффекта, “1” – перевод прерывание в очередь.

### NVIC ->ICPRx (Регистр удаления прерывания из очереди)

| 31             | 30    | 29    | 28    | 27    | 26    | 25    | 24    | 23    | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
|----------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| CLRPEND[31:16] |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
| rc_w1          | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |
| 15             | 14    | 13    | 12    | 11    | 10    | 9     | 8     | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CLRPEND[15:0]  |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
| rc_w1          | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |

Состояние после включения: 0x0000 0000

Чтение: “0” – нет прерывания в очереди, “1” – прерывание находится в очереди.

Запись: “0” – не оказывает эффекта, “1” – удаление прерывания из очереди.

### NVIC ->IABRx (Регистр активных прерываний)

| 31            | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ACTIVE[31:16] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| r             | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |
| 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| ACTIVE[15:0]  |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| r             | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |

Состояние после сброса: 0x0000 0000

Чтение: “1” – прерывание является активным или находится в очереди.

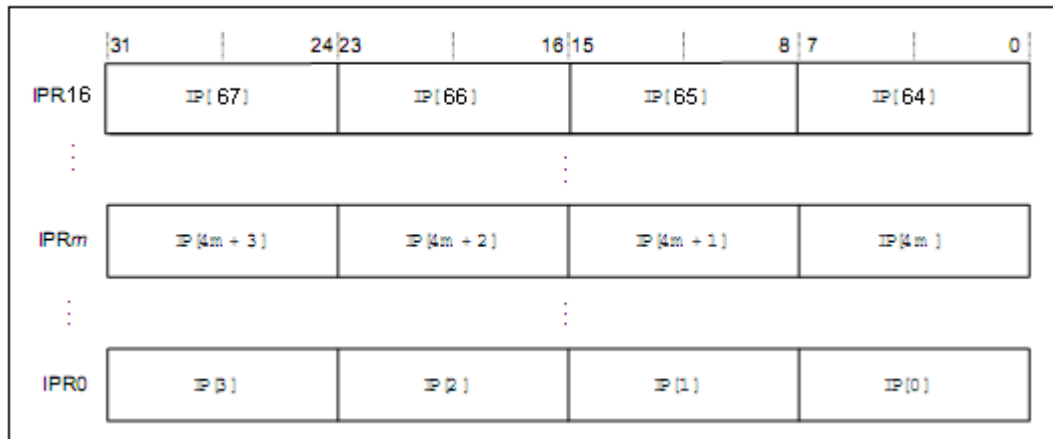
## NVIC ->IPRx (Регистр установки приоритета прерывания)

|             |    |    |    |             |    |    |    |             |    |    |    |             |    |    |    |
|-------------|----|----|----|-------------|----|----|----|-------------|----|----|----|-------------|----|----|----|
| 31          | 30 | 29 | 28 | 27          | 26 | 25 | 24 | 23          | 22 | 21 | 20 | 19          | 18 | 17 | 16 |
| IP_m+3[7:4] |    |    |    | IP_m+3[3:0] |    |    |    | IP_m+2[7:4] |    |    |    | IP_m+2[3:0] |    |    |    |
| rw          | rw | rw | rw | r           | r  | r  | r  | rw          | rw | rw | rw | r           | r  | r  | r  |
| 15          | 14 | 13 | 12 | 11          | 10 | 9  | 8  | 7           | 6  | 5  | 4  | 3           | 2  | 1  | 0  |
| IP_m+1[7:4] |    |    |    | IP_m+1[3:0] |    |    |    | IP_m[7:4]   |    |    |    | IP_m[3:0]   |    |    |    |
| rw          | rw | rw | rw | r           | r  | r  | r  | rw          | rw | rw | rw | r           | r  | r  | r  |

Состояние после сброса: 0x0000 0000

Разряды IP\_x[3:0] не используются

Схема распределения регистров IPRx



### Пример установки приоритета прерывания в Keil:

**NVIC->IP[0] |= 0xB0; // Установить приоритет 11 для IRQ0.**  
**NVIC->IP[17] |= 0x50; // Установить приоритет 5 для IRQ17.**

## NVIC ->STIR (Регистр программного вызова прерываний)

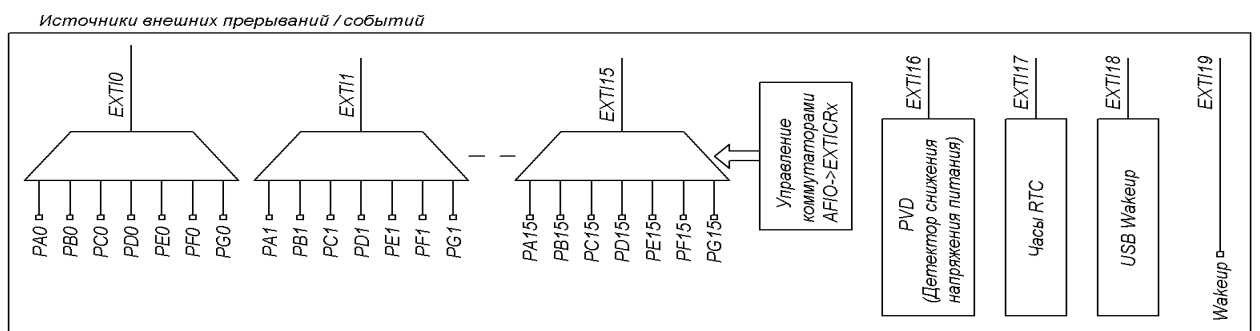
|          |    |    |    |    |    |    |    |            |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|------------|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |            |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    |    |    |    |    | INTID[8:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |    |    | w          | w  | w  | w  | w  | w  | w  | w  |

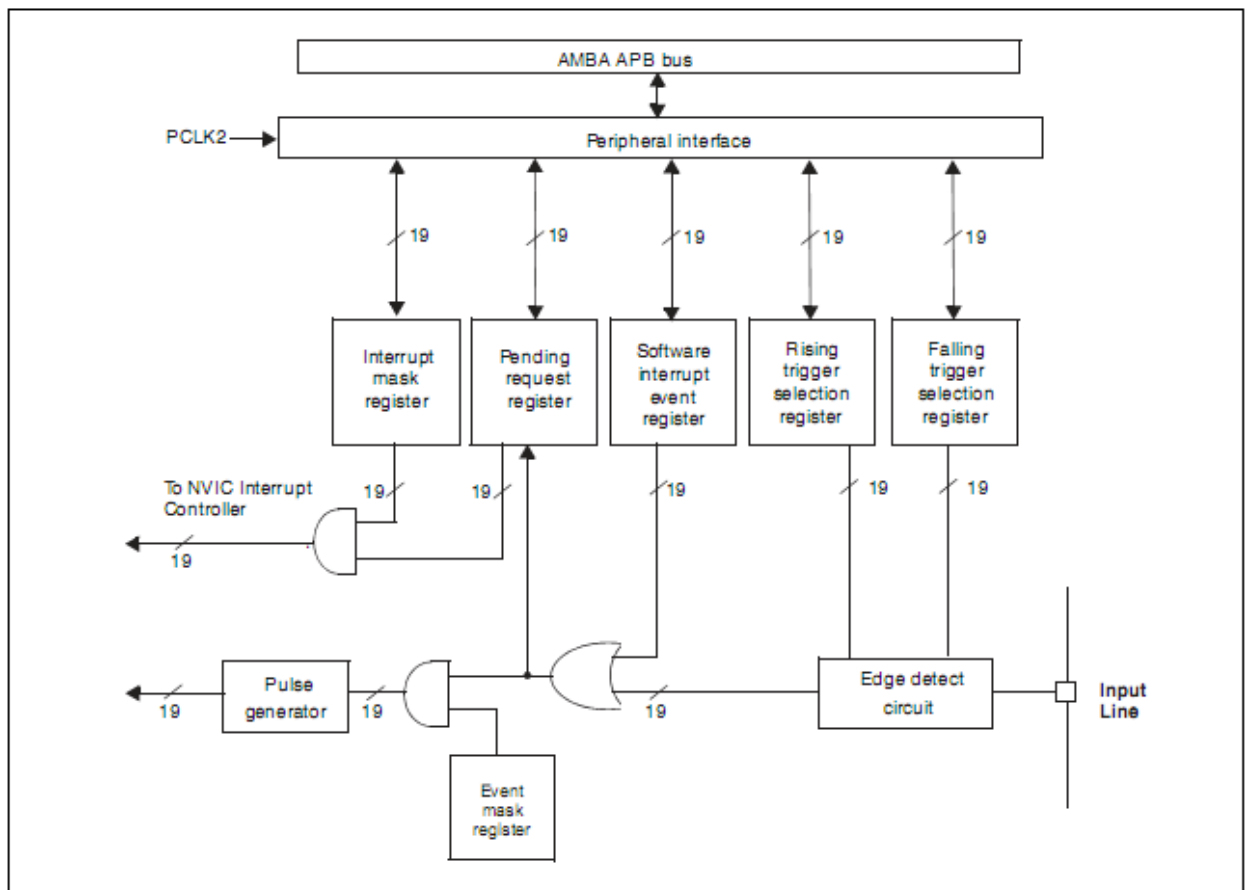
Состояние после сброса: 0x0000 0000

Для программного вызова прерывания следует записать в этот регистр № IRQ. Допустим, для вызова прерывания IRQ3 необходимо записать 0x03.

**Примечание:** Чтобы получить доступ к программному вызову прерываний следует установить бит **SCB->CCR[USERSETMPEND]=1**.

## Контроллер внешних прерываний / событий EXTI.





### EXTI->IMR (Регистр маски внешних прерываний)

|          |      |      |      |      |      |     |     |     |     |     |     |      |      |      |      |
|----------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|------|------|------|------|
| 31       | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19   | 18   | 17   | 16   |
| Reserved |      |      |      |      |      |     |     |     |     |     |     | MR19 | MR18 | MR17 | MR16 |
|          |      |      |      |      |      |     |     |     |     |     |     | rw   | rw   | rw   | rw   |
| 15       | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3    | 2    | 1    | 0    |
| MR15     | MR14 | MR13 | MR12 | MR11 | MR10 | MR9 | MR8 | MR7 | MR6 | MR5 | MR4 | MR3  | MR2  | MR1  | MR0  |
| rw       | rw   | rw   | rw   | rw   | rw   | rw  | rw  | rw  | rw  | rw  | rw  | rw   | rw   | rw   | rw   |

Состояние после сброса: 0x0000 0000

**0:** соответствующее EXTI-прерывание запрещено.

**1:** соответствующее EXTI-прерывание разрешено.

### EXTI->EMR (Регистр маски внешних событий)

|          |      |      |      |      |      |     |     |     |     |     |     |      |      |      |      |
|----------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|------|------|------|------|
| 31       | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19   | 18   | 17   | 16   |
| Reserved |      |      |      |      |      |     |     |     |     |     |     | MR19 | MR18 | MR17 | MR16 |
|          |      |      |      |      |      |     |     |     |     |     |     | rw   | rw   | rw   | rw   |
| 15       | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3    | 2    | 1    | 0    |
| MR15     | MR14 | MR13 | MR12 | MR11 | MR10 | MR9 | MR8 | MR7 | MR6 | MR5 | MR4 | MR3  | MR2  | MR1  | MR0  |
| rw       | rw   | rw   | rw   | rw   | rw   | rw  | rw  | rw  | rw  | rw  | rw  | rw   | rw   | rw   | rw   |

Состояние после сброса: 0x0000 0000

**0:** соответствующее EXTI-событие запрещено.

**1:** соответствующее EXTI-событие разрешено.

### EXTI->RTSR (Регистр выбора срабатывания прерывания / события по фронту)

| 31       | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19   | 18   | 17   | 16   |
|----------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|------|------|------|------|
| Reserved |      |      |      |      |      |     |     |     |     |     |     | TR19 | TR18 | TR17 | TR16 |
|          |      |      |      |      |      |     |     |     |     |     |     | rw   | rw   | rw   | rw   |
| 15       | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3    | 2    | 1    | 0    |
| TR15     | TR14 | TR13 | TR12 | TR11 | TR10 | TR9 | TR8 | TR7 | TR6 | TR5 | TR4 | TR3  | TR2  | TR1  | TR0  |
| rw       | rw   | rw   | rw   | rw   | rw   | rw  | rw  | rw  | rw  | rw  | rw  | rw   | rw   | rw   | rw   |

Состояние после сброса: 0x0000 0000

**0:** вызов прерывания / события по фронту сигнала на соответствующей линии запрещён.

**1:** вызов прерывания / события по фронту сигнала на соответствующей линии разрешён.

### EXTI->FTSR (Регистр выбора срабатывания прерывания / события по спаду)

| 31       | 30   | 29   | 28   | 27   | 26   | 25  | 24  | 23  | 22  | 21  | 20  | 19   | 18   | 17   | 16   |
|----------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|------|------|------|------|
| Reserved |      |      |      |      |      |     |     |     |     |     |     | TR19 | TR18 | TR17 | TR16 |
|          |      |      |      |      |      |     |     |     |     |     |     | rw   | rw   | rw   | rw   |
| 15       | 14   | 13   | 12   | 11   | 10   | 9   | 8   | 7   | 6   | 5   | 4   | 3    | 2    | 1    | 0    |
| TR15     | TR14 | TR13 | TR12 | TR11 | TR10 | TR9 | TR8 | TR7 | TR6 | TR5 | TR4 | TR3  | TR2  | TR1  | TR0  |
| rw       | rw   | rw   | rw   | rw   | rw   | rw  | rw  | rw  | rw  | rw  | rw  | rw   | rw   | rw   | rw   |

Состояние после сброса: 0x0000 0000

**0:** вызов прерывания / события по спаду сигнала на соответствующей линии запрещён.

**1:** вызов прерывания / события по спаду сигнала на соответствующей линии разрешён.

### EXTI->SWIER (Регистр программного вызова прерывания / события)

| 31       | 30       | 29       | 28       | 27       | 26       | 25      | 24      | 23      | 22      | 21      | 20      | 19       | 18       | 17       | 16       |
|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|----------|----------|----------|----------|
| Reserved |          |          |          |          |          |         |         |         |         |         |         | SWIER 19 | SWIER 18 | SWIER 17 | SWIER 16 |
|          |          |          |          |          |          |         |         |         |         |         |         | rw       | rw       | rw       | rw       |
| 15       | 14       | 13       | 12       | 11       | 10       | 9       | 8       | 7       | 6       | 5       | 4       | 3        | 2        | 1        | 0        |
| SWIER 15 | SWIER 14 | SWIER 13 | SWIER 12 | SWIER 11 | SWIER 10 | SWIER 9 | SWIER 8 | SWIER 7 | SWIER 6 | SWIER 5 | SWIER 4 | SWIER 3  | SWIER 2  | SWIER 1  | SWIER 0  |
| rw       | rw       | rw       | rw       | rw       | rw       | rw      | rw      | rw      | rw      | rw      | rw      | rw       | rw       | rw       | rw       |

Состояние после сброса: 0x0000 0000

**0:** эффекта не имеет.

**1:** программный вызов прерывания / события.

**Примечание:** Сброс в “0” осуществляется записью “1” в соответствующий разряд регистр EXTI->PR.

### EXTI->PR (Регистр сброса текущего прерывания / события)

| 31       | 30    | 29    | 28    | 27    | 26    | 25    | 24    | 23    | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
|----------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| Reserved |       |       |       |       |       |       |       |       |       |       |       | PR19  | PR18  | PR17  | PR16  |
|          |       |       |       |       |       |       |       |       |       |       |       | rc_w1 | rc_w1 | rc_w1 | rc_w1 |
| 15       | 14    | 13    | 12    | 11    | 10    | 9     | 8     | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| PR15     | PR14  | PR13  | PR12  | PR11  | PR10  | PR9   | PR8   | PR7   | PR6   | PR5   | PR4   | PR3   | PR2   | PR1   | PR0   |
| rc_w1    | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 | rc_w1 |

Состояние после сброса: неопределённое

**0:** эффекта не имеет.

**1:** сброс запроса прерывания (программного и внешнего, поступившего по соответствующей линии).

Контроллер прямого доступа к памяти DMA.

Структурная схема DMA микроконтроллеров STM32F100xx с объёмом памяти от 16 до 128 кБайт.

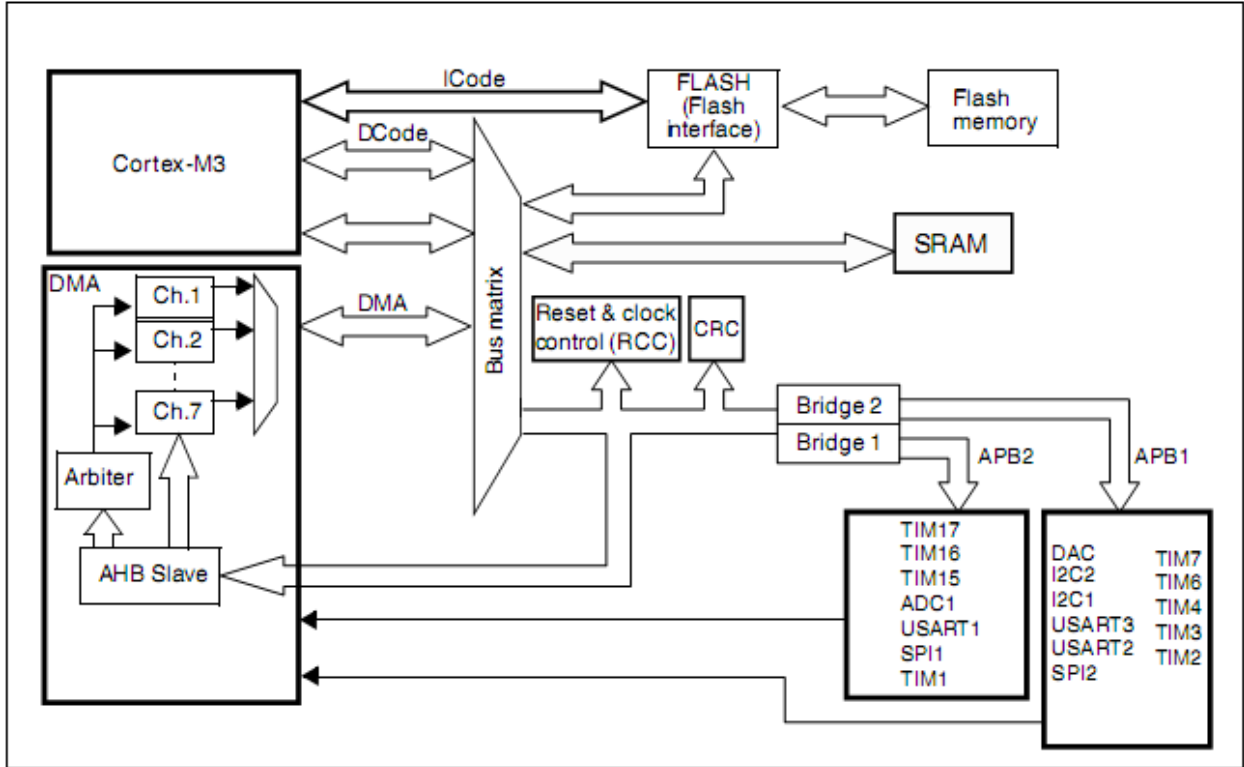


Таблица закрепления устройств за каналами DMA в микроконтроллерах STM32F100xx

| Peripherals           | Channel 1 | Channel 2 | Channel 3                | Channel 4                         | Channel 5                                        | Channel 6                        | Channel 7             |
|-----------------------|-----------|-----------|--------------------------|-----------------------------------|--------------------------------------------------|----------------------------------|-----------------------|
| ADC 1                 | ADC1      |           |                          |                                   |                                                  |                                  |                       |
| SPI                   |           | SPI1_RX   | SPI1_TX                  | SPI2_RX                           | SPI2_TX                                          |                                  |                       |
| USART                 |           | USART3_TX | USART3_RX                | USART1_TX                         | USART1_RX                                        | USART2_RX                        | USART2_TX             |
| I <sup>2</sup> C      |           |           |                          | I2C2_TX                           | I2C2_RX                                          | I2C1_TX                          | I2C1_RX               |
| TIM1                  |           | TIM1_CH1  | TIM1_CH2                 | TIM1_CH4<br>TIM1_TRIG<br>TIM1_COM | TIM1_UP                                          | TIM1_CH3<br>TIM1_CH2<br>TIM1_CH1 |                       |
| TIM2                  | TIM2_CH3  | TIM2_UP   |                          |                                   | TIM2_CH1                                         |                                  | TIM2_CH2<br>TIM2_CH4  |
| TIM3                  |           | TIM3_CH3  | TIM3_CH4<br>TIM3_UP      |                                   |                                                  | TIM3_CH1<br>TIM3_TRIG            |                       |
| TIM4                  | TIM4_CH1  |           |                          | TIM4_CH2                          | TIM4_CH3                                         |                                  | TIM4_UP               |
| TIM6/DAC_<br>Channel1 |           |           | TIM6_UP/DA<br>C_Channel1 |                                   |                                                  |                                  |                       |
| TIM7/DAC_<br>Channel2 |           |           |                          | TIM7_UP/DA<br>C_Channel2          |                                                  |                                  |                       |
| TIM15                 |           |           |                          |                                   | TIM15_CH1<br>TIM15_UP<br>TIM15_TRIG<br>TIM15_COM |                                  |                       |
| TIM16                 |           |           |                          |                                   |                                                  | TIM16_CH1<br>TIM16_UP            |                       |
| TIM17                 |           |           |                          |                                   |                                                  |                                  | TIM17_CH1<br>TIM17_UP |

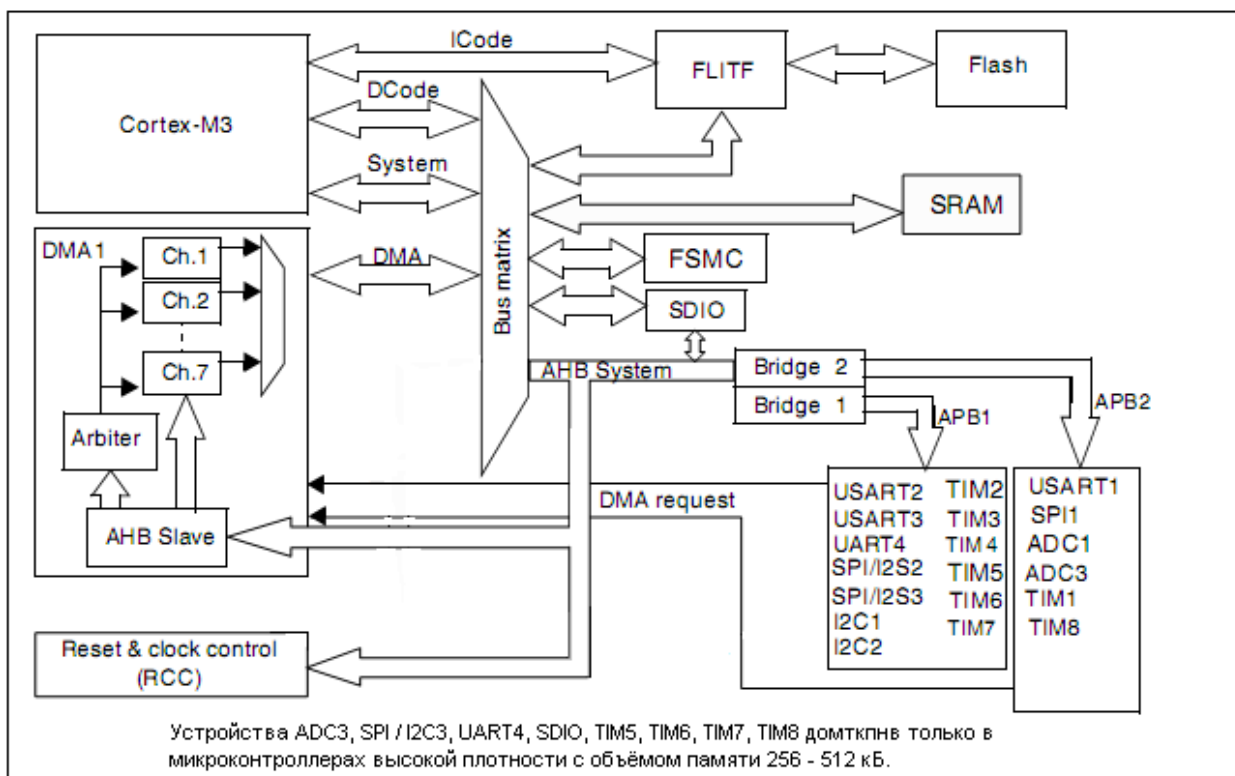


Таблица закрепления устройств за каналами DMA в микроконтроллерах STM32F101xx - STM32F103xx

| Peripherals          | Channel 1 | Channel 2 | Channel 3           | Channel 4                         | Channel 5    | Channel 6             | Channel 7            |
|----------------------|-----------|-----------|---------------------|-----------------------------------|--------------|-----------------------|----------------------|
| ADC1                 | ADC1      |           |                     |                                   |              |                       |                      |
| SPI/I <sup>2</sup> S |           | SPI1_RX   | SPI1_TX             | SPI2/I2S2_RX                      | SPI2/I2S2_TX |                       |                      |
| USART                |           | USART3_TX | USART3_RX           | USART1_TX                         | USART1_RX    | USART2_RX             | USART2_TX            |
| I <sup>2</sup> C     |           |           |                     | I2C2_TX                           | I2C2_RX      | I2C1_TX               | I2C1_RX              |
| TIM1                 |           | TIM1_CH1  | TIM1_CH2            | TIM1_CH4<br>TIM1_TRIG<br>TIM1_COM | TIM1_UP      | TIM1_CH3              |                      |
| TIM2                 | TIM2_CH3  | TIM2_UP   |                     |                                   | TIM2_CH1     |                       | TIM2_CH2<br>TIM2_CH4 |
| TIM3                 |           | TIM3_CH3  | TIM3_CH4<br>TIM3_UP |                                   |              | TIM3_CH1<br>TIM3_TRIG |                      |
| TIM4                 | TIM4_CH1  |           |                     | TIM4_CH2                          | TIM4_CH3     |                       | TIM4_UP              |

### DMA->ISR (Регистр состояния прерывания DMA)

|          |       |       |      |       |       |       |      |       |       |       |      |       |       |       |      |
|----------|-------|-------|------|-------|-------|-------|------|-------|-------|-------|------|-------|-------|-------|------|
| 31       | 30    | 29    | 28   | 27    | 26    | 25    | 24   | 23    | 22    | 21    | 20   | 19    | 18    | 17    | 16   |
| Reserved |       |       |      | TEIF7 | HTIF7 | TCIF7 | GIF7 | TEIF6 | HTIF6 | TCIF6 | GIF6 | TEIF5 | HTIF5 | TCIF5 | GIF5 |
|          |       |       |      | r     | r     | r     | r    | r     | r     | r     | r    | r     | r     | r     | r    |
| 15       | 14    | 13    | 12   | 11    | 10    | 9     | 8    | 7     | 6     | 5     | 4    | 3     | 2     | 1     | 0    |
| TEIF4    | HTIF4 | TCIF4 | GIF4 | TEIF3 | HTIF3 | TCIF3 | GIF3 | TEIF2 | HTIF2 | TCIF2 | GIF2 | TEIF1 | HTIF1 | TCIF1 | GIF1 |
| r        | r     | r     | r    | r     | r     | r     | r    | r     | r     | r     | r    | r     | r     | r     | r    |

Состояние после сброса: 0x0000 0000

| Название битов | Назначение                                                                                                                                                              |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| GIFx           | Флаг глобального прерывания канала № x. Устанавливается аппаратно, сбрасывается записью "1" в соответствующий разряд DMA_IFCR. "1" – имеет место событие TE, HT или TC. |

|       |                                                                                                                                                                                                                      |
|-------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| TCIFx | Флаг окончания передачи (ТС) в канале № x. Устанавливается аппаратно, сбрасывается записью “1” в соответствующий разряд регистра <b>DMA_IFCR</b> .<br>“1” – имеет место событие ТС (передача в канале окончена).     |
| HTIFx | Флаг передачи половины данных (НТ) в канале № x. Устанавливается аппаратно, сбрасывается записью “1” в соответствующий разряд регистра <b>DMA_IFCR</b> .<br>“1” – имеет место событие НТ (половина данных передана). |
| TEIFx | Флаг ошибки передачи (ТЕ) в канале № x. Устанавливается аппаратно, сбрасывается записью “1” в соответствующий разряд регистра <b>DMA_IFCR</b> .<br>“1” – имеет место событие ТЕ (ошибка передачи данных).            |

### DMA->IFCR (Регистр сброса флагов DMA)

|          |        |        |       |        |        |        |       |        |        |        |       |        |        |        |       |
|----------|--------|--------|-------|--------|--------|--------|-------|--------|--------|--------|-------|--------|--------|--------|-------|
| 31       | 30     | 29     | 28    | 27     | 26     | 25     | 24    | 23     | 22     | 21     | 20    | 19     | 18     | 17     | 16    |
| Reserved |        |        |       | CTEIF7 | CHTIF7 | CTCIF7 | CGIF7 | CTEIF6 | CHTIF6 | CTCIF6 | CGIF6 | CTEIF5 | CHTIF5 | CTCIF5 | CGIF5 |
|          |        |        |       | w      | w      | w      | w     | w      | w      | w      | w     | w      | w      | w      | w     |
| 15       | 14     | 13     | 12    | 11     | 10     | 9      | 8     | 7      | 6      | 5      | 4     | 3      | 2      | 1      | 0     |
| CTEIF4   | CHTIF4 | CTCIF4 | CGIF4 | CTEIF3 | CHTIF3 | CTCIF3 | CGIF3 | CTEIF2 | CHTIF2 | CTCIF2 | CGIF2 | CTEIF1 | CHTIF1 | CTCIF1 | CGIF1 |
| w        | w      | w      | w     | w      | w      | w      | w     | w      | w      | w      | w     | w      | w      | w      | w     |

Состояние после сброса: 0x0000 0000

| Название битов | Назначение                                              |
|----------------|---------------------------------------------------------|
| CGIFx          | “1” – сброс флагов DMA->ISR[GIFx, TCIFx, HTIFx, TEIFx]. |
| CTCIFx         | “1” – сброс флага DMA->ISR[TCIFx].                      |
| CHTIFx         | “1” – сброс флага DMA->ISR[HTIFx].                      |
| CTEIFx         | “1” – сброс флага DMA->ISR[TEIFx].                      |

### DMA->CCRx (Регистр конфигурации канала DMA № x) Состояние после сброса - 0x0000 0000. Биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                    |
|-----|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | EN       | 0: канал выключен.<br>1: канал включён.                                                                                                                                       |
| 1   | TCIE     | 0: запретить прерывание (ТС).<br>1: разрешить прерывание (ТС) по окончании передачи.                                                                                          |
| 2   | HTIE     | 0: запретить прерывание (НТ).<br>1: разрешить прерывание (НТ) по окончании передачи половины данных.                                                                          |
| 3   | TEIE     | 0: запретить прерывание (ТЕ).<br>1: разрешить прерывание (ТЕ) в случае ошибки при передаче.                                                                                   |
| 4   | DIR      | Направление передачи.<br>0: из периферийного устройства в память.<br>1: из памяти в периферийное устройство.                                                                  |
| 5   | CIRC     | Выбор режима циклической работы.<br>0: циклическую передачу запретить.<br>1: циклическую передачу разрешить.                                                                  |
| 6   | PINC     | Приращение адреса периферийного устройства.<br>0: инкремент адреса периферийного устройства запрещён.<br>1: разрешить инкремент (увеличение) адреса периферийного устройства. |
| 7   | MINC     | Приращение адреса памяти.                                                                                                                                                     |

|       |         |                                                                                                      |
|-------|---------|------------------------------------------------------------------------------------------------------|
|       |         | 0: инкремент адреса памяти запрещён.<br>1: разрешить инкремент (увеличение) адреса памяти.           |
| 8     | PSIZE0  | Выбор размера данных периферийного устройства:<br>00: 8 бит, 01: 16 бит, 10: 32 бита, 11: резерв.    |
| 9     | PSIZE1  |                                                                                                      |
| 10    | MSIZE0  | Выбор размера данных памяти:<br>00: 8 бит, 01: 16 бит, 10: 32 бита, 11: резерв.                      |
| 11    | MSIZE1  |                                                                                                      |
| 12    | PL0     | Выбор приоритета канала:<br>00: низкий, 01: 16 средний, 10: высокий, 11: очень высокий.              |
| 13    | PL1     |                                                                                                      |
| 14    | MEM2MEM | Разрешение модификации памяти.<br>0: изменение памяти запрещено.<br>1: разрешить модификацию памяти. |
| 15-31 | -       | Р е з е р в                                                                                          |

#### DMA->CNDTRx (Регистр объёма передачи по каналу DMA № x)

|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| NDT      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw       | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

Указывается количество передаваемых данных (байт, слов, двойных слов). После начала передачи по каналу регистр становится недоступным для записи. Его содержимое автоматически декрементируется (уменьшается). Если канал настроен на циклическую работу, после обнуления в регистр будет автоматически загружена первоначально задаваемая величина.

#### DMA->CPARx (Регистр адреса периферийного устройства канала DMA № x)

|    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| PA |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

В регистре указывается адрес периферийного устройства. После начала DMA-обмена содержимое регистра не должно изменяться. При пересылке 16-битных данных разряд PA[0] игнорируется, при передаче 32-битных данных разряды PA[0 и 1] игнорируются.

#### DMA->CMARx (Регистр адреса памяти канала DMA № x)

|    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| MA |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

В регистре указывается базовый адрес памяти. После начала DMA-обмена содержимое регистра не должно изменяться. При пересылке 16-битных данных разряд PA[0] игнорируется, при передаче 32-битных данных разряды PA[0 и 1] игнорируются.

#### Пример работы с DMA в Keil:

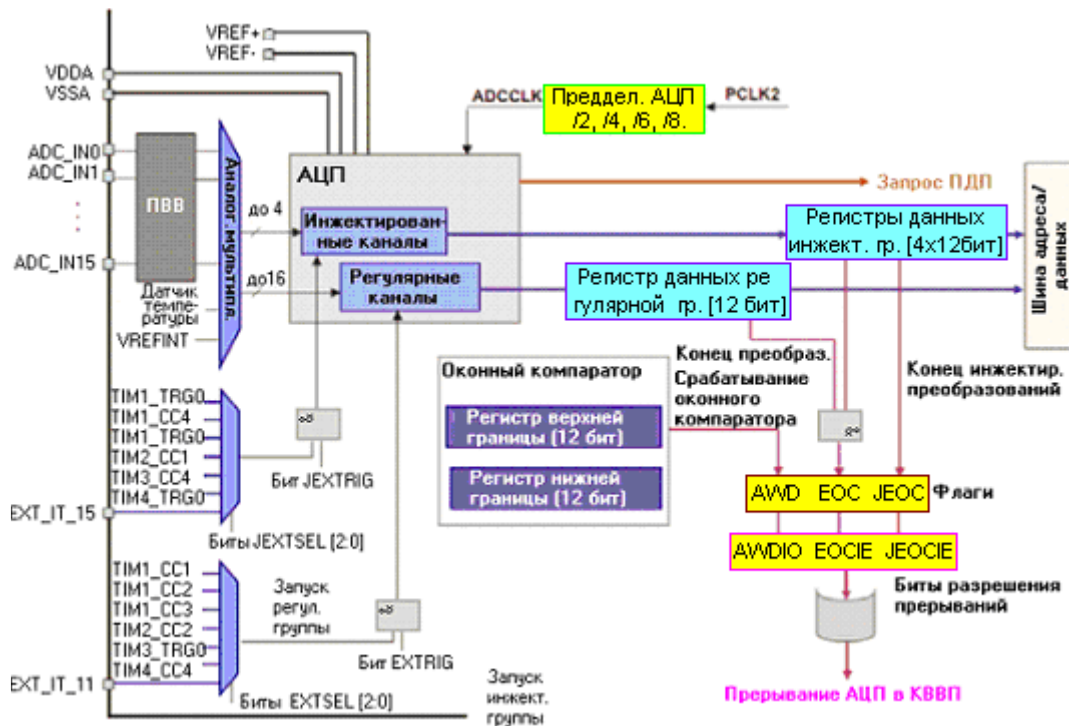
```
int main(void)
{
    int My1[10]={1,2,3,4,5,6,7,8,9,10}; // Источник информации.
    int My2[10]; // Получатель информации.
    .....
    RCC->AHBENR |= 0x00000001; // Разрешить синхронизацию 1-го канала DMA.
    DMA1_Channel1->CCR = 0x00007AC0; // Настройка передачи память-память.
    DMA1_Channel1->CPAR =(unsigned int)My1; // Адрес источника информации.
```

```

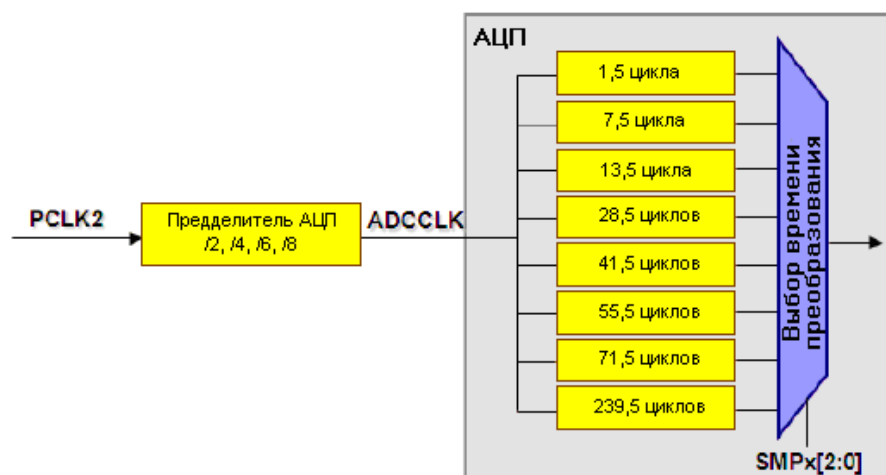
DMA1_Channel1->CMAR = (unsigned int)My2;    // Адрес получателя информации.
DMA1_Channel1->CNDTR = 10;                  // Объем передачи.
DMA1_Channel1->CCR |= 0x00000001; // Запуск DMA.
while((DMA1->ISR & 0x00000001)!=0x00000001); // Ожидание окончания DMA-обмена.
.....
}

```

### Аналогово-цифровой преобразователь ADC.



АЦП является 12-разрядным и имеет 18 мультиплексированных каналов, 16 из которых используются для измерения внешних сигналов. Два оставшихся связаны со встроенным датчиком температуры и источником опорного напряжения. АЦП имеет два базовых режима преобразования: **регулярный** и **инжектированный**. В состав АЦП так же входит **оконный компаратор**. Результат преобразования может быть выровнен влево или вправо. Частота преобразования задаётся индивидуально для каждого канала.



### Режим регулярных преобразований.

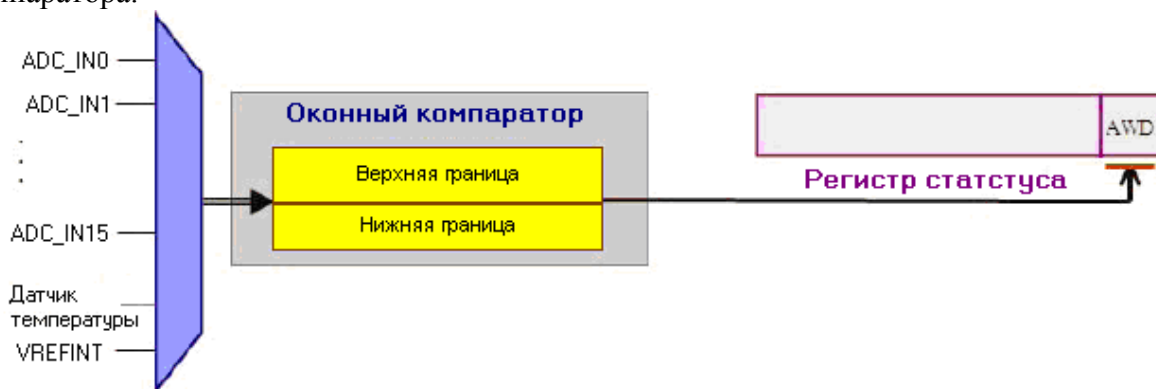
В этом режиме задаётся один канал или группа каналов, обработка в которых производится последовательно. Результат каждого преобразования помещается в единственный 12-разрядный регистр регулярной группы. Последовательность преобразований может быть циклической или периодической, т.е. без остановки или с остановкой. Группа регулярных преобразований запускается программно или аппаратно по сигналам таймеров или по 1-й линии внешних прерываний (EXT1). С целью сохранения результатов преобразования в памяти у АЦП1 имеется канал DMA. Для реализации данного метода следует использовать прерывания по половинному и полному завершению ПДП, а так же режим кольцевого буфера в блоке DMA.

### Режим инжектированных преобразований.

В последовательность преобразований инжектированной группы может входить до четырёх каналов, а запуск выполняется аппаратно или программно. Сразу после запуска этой группы приостанавливается оцифровка регулярных преобразований, а затем, по окончании инжектированных преобразований, возобновляется вновь. Результат преобразования помещается в 4 12-разрядных регистра данных инжектированной группы. В регистры компенсации можно запрограммировать 12-разрядное значение, которое автоматически вычитается из результата преобразования АЦП. Если результат вычитания становится отрицательным, то регистр результата инжектированного преобразования дополняется знаком.

### Оконный компаратор.

Оконный компаратор предназначен для мониторинга одного или всех каналов АЦП на предмет выхода за пределы заданной пользователем зоны. Сканирование производится по принципу сравнения результата преобразования АЦП с содержимым регистров компаратора.



**ADC->SR (Регистр состояния ADC).** Состояние после сброса - 0x0000 0000.

Биты 0 - 4 доступны для чтения и сброса (запись "0").

| Бит | Название | Назначение                                                                                                                                                                         |
|-----|----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | AWD      | Флаг оконного компаратора. Устанавливается в "1" аппаратно, если напряжение на заданном входе вышло за пределы, определённые в регистрах ADC_LTR или ADC_HTR.                      |
| 1   | EOC      | Флаг окончания преобразования. Устанавливается в "1" аппаратно, по окончании группового канального преобразования (как при регулярных преобразованиях, так и при инжектированных). |
| 2   | JEOC     | Флаг окончания инжектированного преобразования. Устанавливается в "1" аппаратно..                                                                                                  |

|      |       |                                                                                                                                      |
|------|-------|--------------------------------------------------------------------------------------------------------------------------------------|
| 3    | JSTRT | Флаг старта инжектированного преобразования. Устанавливается в "1" аппаратно при старте инжектированного преобразования.             |
| 4    | STRT  | Флаг старта регулярного канального преобразования. Устанавливается в "1" аппаратно при старте регулярного канального преобразования. |
| 5-31 | -     | Р е з е р в                                                                                                                          |

**Примечание:** Сброс флагов должен осуществляться программными средствами.

**ADC->CR1 (Регистр управления АЦП)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит   | Название | Назначение                                                                                                                                                                                |
|-------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | AWDCH0   | Выбор канала для оконного компаратора (если бит AWDSGL=1).<br><b>00000</b> : Канал № 0.<br><b>00001</b> : Канал № 1.<br>.....<br><b>10001</b> : Канал № 17.                               |
| 1     | AWDCH1   |                                                                                                                                                                                           |
| 2     | AWDCH2   |                                                                                                                                                                                           |
| 3     | AWDCH3   |                                                                                                                                                                                           |
| 4     | AWDCH4   |                                                                                                                                                                                           |
| 5     | EOCIE    | Разрешение прерывания по окончании конверсионного цикла АЦП (окончание преобразования).<br><b>0</b> : Запретить<br><b>1</b> : Разрешить прерывание EOC.                                   |
| 6     | AWDIE    | Разрешение прерывания по сигналу оконного компаратора (измеренная величина вышла за допустимые рамки).<br><b>0</b> : Запретить<br><b>1</b> : Разрешить прерывание AWD.                    |
| 7     | JEOCIE   | Разрешение прерывания по завершению инжектированного преобразования.<br><b>0</b> : Запретить<br><b>1</b> : Разрешить прерывание JEOC.                                                     |
| 8     | SCAN     | Разрешение сканирования каналов оконным компаратором.<br><b>0</b> : Запретить<br><b>1</b> : Разрешить сканирование.                                                                       |
| 9     | AWDSGL   | Выбор канала оконного компаратора для сканирования.<br><b>0</b> : Все каналы<br><b>1</b> : Только канал указанный битами AWDCH[4:0]/                                                      |
| 10    | JAUTO    | Автоматическое (непрерывное) преобразование инжектированных каналов.<br><b>0</b> : запретить автоматическое преобразование.<br><b>1</b> : разрешить автоматическое преобразование.        |
| 11    | DISCEN   | Дискретный (останавливаемый, прерывистый ) режим преобразований регулярных каналов.<br><b>0</b> : запретить дискретный режим работы.<br><b>1</b> : разрешить дискретный режим работы.     |
| 12    | JDISCEN  | Дискретный (останавливаемый, прерывистый) режим преобразований инжектированных каналов.<br><b>0</b> : запретить дискретный режим работы.<br><b>1</b> : разрешить дискретный режим работы. |
| 13    | DISCNUM0 | Количество каналов, используемых в режиме регулярных преобразований:<br><b>000</b> : 1 канал. <b>001</b> : 2 канала. ....и т.д. .... <b>111</b> : 8 каналов.                              |
| 14    | DISCNUM1 |                                                                                                                                                                                           |
| 15    | DISCNUM2 |                                                                                                                                                                                           |
| 16-21 | -        | Р е з е р в                                                                                                                                                                               |

|       |        |                                                                                                                                        |
|-------|--------|----------------------------------------------------------------------------------------------------------------------------------------|
| 22    | JAWDEN | <b>0:</b> Оконный компаратор отключён от инжектированного канала.<br><b>1:</b> Оконный компаратор подключён к инжектированному каналу. |
| 23    | AWDEN  | <b>0:</b> Оконный компаратор отключён от регулярного канала.<br><b>1:</b> Оконный компаратор подключён к регулярному каналу.           |
| 24-31 | -      | Р е з е р в                                                                                                                            |

**Примечание:** В микроконтроллерах с двумя АЦП биты 16-19 используются для настройки совместной работы двух АЦП.

**ADC->CR2 (Регистр управления АЦП)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит  | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                   |
|------|----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | ADON     | Включение АЦП.<br><b>0:</b> Переводит АЦП в режим пониженного энергопотребления. Если происходит преобразование или калибровка, то прерывает их.<br><b>1:</b> Работа АЦП разрешена.                                                                                                                                                                                          |
| 1    | CONT     | Режим преобразования.<br><b>0:</b> Однократный.<br><b>1:</b> Непрерывный.                                                                                                                                                                                                                                                                                                    |
| 2    | CAL      | Запуск калибровки. Устанавливается программно, сбрасывается аппаратно по завершению калибровки.<br><b>1:</b> Запустить калибровку.                                                                                                                                                                                                                                           |
| 3    | RSTCAL   | Перезагрузка регистров калибровки. Бит устанавливается программно, сбрасывается в "0" аппаратно после перезагрузки.<br><b>1:</b> Перезагрузить регистры калибровки. (Рекомендуется выполнять после включения.)                                                                                                                                                               |
| 4-7  | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                  |
| 8    | DMA      | Разрешение работы DMA.<br><b>0:</b> Запрещена.<br><b>1:</b> Разрешена.                                                                                                                                                                                                                                                                                                       |
| 9-10 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                  |
| 11   | ALIGN    | Выравнивание данных.<br><b>0:</b> Вправо (младшему биту соответствует меньшее значение).<br><b>1:</b> Влево (младшие биты заполняются нулями).                                                                                                                                                                                                                               |
| 12   | JEXTSEL0 | Выбор источника внешнего запуска преобразования инжектированных каналов.<br><b>000:</b> Таймер 1 TRGO.<br><b>001:</b> Таймер 1, совпадение в канале № 4.<br><b>010:</b> Таймер 2 TRGO.<br><b>011:</b> Таймер 2, совпадение в канале № 1.<br><b>100:</b> Таймер 3, совпадение в канале № 4<br><b>101:</b> Таймер 4 TRGO.<br><b>110:</b> EXTI 15.<br><b>111:</b> Бит JSWSTART. |
| 13   | JEXTSEL1 |                                                                                                                                                                                                                                                                                                                                                                              |
| 14   | JEXTSEL2 |                                                                                                                                                                                                                                                                                                                                                                              |
| 15   | JEXTTRIG | Разрешение запуска преобразования инжектированных каналов внешними сигналами.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить.                                                                                                                                                                                                                                                |
| 16   | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                  |
| 17   | EXTSEL0  | Выбор источника внешнего запуска преобразования регулярных каналов.<br><b>000:</b> Таймер 1, совпадение в канале № 1.<br><b>001:</b> Таймер 1, совпадение в канале № 2.                                                                                                                                                                                                      |
| 18   | EXTSEL1  |                                                                                                                                                                                                                                                                                                                                                                              |
| 19   | EXTSEL2  |                                                                                                                                                                                                                                                                                                                                                                              |

|       |          |                                                                                                                                                                                                                                                                                      |
|-------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |          | <b>010:</b> Таймер 1, совпадение в канале № 3.<br><b>011:</b> Таймер 2, совпадение в канале № 2.<br><b>100:</b> Таймер 3 TRGO.<br><b>101:</b> Таймер 4, совпадение в канале № 4.<br><b>110:</b> EXTI 11.<br><b>111:</b> Бит SWSTART.                                                 |
| 20    | EXTTRIG  | Разрешение запуска преобразования регулярных каналов внешними сигналами.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить.                                                                                                                                                             |
| 21    | JSWSTART | Запуск преобразований инжектированных каналов.<br><b>1:</b> Запустить преобразование инжектированных каналов. Сразу же после запуска аппаратными средствами бит сбрасывается в “0”(может очищаться и программно). В байтах JEXTSEL[2:0] должен быть выбран источник старта JSWSTART. |
| 22    | SWSTART  | Запуск преобразований регулярных каналов.<br><b>1:</b> Запустить преобразование регулярных каналов. Сразу же после запуска аппаратными средствами бит сбрасывается в “0”. В байтах EXTSEL[2:0] должен быть выбран источник старта SWSTART.                                           |
| 23    | TSVREFE  | <b>1:</b> Включить каналы измерения температуры и UREF.<br><b>Примечание:</b> UREF – это опорное напряжение датчика температуры. Опорное напряжение АЦП либо внешнее, либо связано с напряжением питания аналоговой части VDDA.                                                      |
| 24-31 | -        | Р е з е р в                                                                                                                                                                                                                                                                          |

### ADC->SMPR1 (Регистр времени прерываний - 1)

|          |            |    |    |            |    |    |            |            |    |            |            |    |            |            |    |
|----------|------------|----|----|------------|----|----|------------|------------|----|------------|------------|----|------------|------------|----|
| 31       | 30         | 29 | 28 | 27         | 26 | 25 | 24         | 23         | 22 | 21         | 20         | 19 | 18         | 17         | 16 |
| Reserved |            |    |    |            |    |    |            | SMP17[2:0] |    |            | SMP16[2:0] |    |            | SMP15[2:1] |    |
|          |            |    |    |            |    |    |            | rw         | rw | rw         | rw         | rw | rw         | rw         | rw |
| 15       | 14         | 13 | 12 | 11         | 10 | 9  | 8          | 7          | 6  | 5          | 4          | 3  | 2          | 1          | 0  |
| SMP15_0  | SMP14[2:0] |    |    | SMP13[2:0] |    |    | SMP12[2:0] |            |    | SMP11[2:0] |            |    | SMP10[2:0] |            |    |
| rw       | rw         | rw | rw | rw         | rw | rw | rw         | rw         | rw | rw         | rw         | rw | rw         | rw         | rw |

Состояние после сброса: 0x0000 0000

### ADC->SMPR2 (Регистр времени прерываний - 2)

|          |           |           |    |           |           |    |           |           |    |           |           |    |           |           |    |
|----------|-----------|-----------|----|-----------|-----------|----|-----------|-----------|----|-----------|-----------|----|-----------|-----------|----|
| 31       | 30        | 29        | 28 | 27        | 26        | 25 | 24        | 23        | 22 | 21        | 20        | 19 | 18        | 17        | 16 |
| Reserved |           | SMP9[2:0] |    |           | SMP8[2:0] |    |           | SMP7[2:0] |    |           | SMP6[2:0] |    |           | SMP5[2:1] |    |
| Res.     |           | rw        | rw | rw        | rw        | rw | rw        | rw        | rw | rw        | rw        | rw | rw        | rw        | rw |
| 15       | 14        | 13        | 12 | 11        | 10        | 9  | 8         | 7         | 6  | 5         | 4         | 3  | 2         | 1         | 0  |
| SMP5_0   | SMP4[2:0] |           |    | SMP3[2:0] |           |    | SMP2[2:0] |           |    | SMP1[2:0] |           |    | SMP0[2:0] |           |    |
| rw       | rw        | rw        | rw | rw        | rw        | rw | rw        | rw        | rw | rw        | rw        | rw | rw        | rw        | rw |

Состояние после сброса: 0x0000 0000

Регистры ADC->SMPR1 и ADC->SMPR2 позволяют настроить частоту преобразования каждого канала отдельно:

| SMPx 2 | SMPx 1 | SMPx 0 | f преобр. | SMPx 2 | SMPx 1 | SMPx 0 | f преобр. |
|--------|--------|--------|-----------|--------|--------|--------|-----------|
| 0      | 0      | 0      | 1,5 цикла | 1      | 0      | 0      | 41,5 ц.   |
| 0      | 0      | 1      | 7,5 цикла | 1      | 0      | 1      | 55,5 ц    |
| 0      | 1      | 0      | 13,5 ц.   | 1      | 1      | 0      | 71,5 ц    |
| 0      | 1      | 1      | 28,5 ц.   | 1      | 1      | 1      | 239,5 ц   |

### ADC->HTR (Регистр верхней границы оконного компаратора)

|          |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27       | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11       | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | HT[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw       | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0FFF

### ADC->LTR (Регистр нижней границы оконного компаратора)

|          |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27       | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |          |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11       | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | LT[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw       | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

В случае выхода за пределы значений, заданных в этих регистрах, срабатывает оконный компаратор.

### ADC->SQR1 (Регистр № 1 управления регулярной последовательностью)

|          |           |    |    |    |    |           |    |        |    |    |           |           |    |    |    |
|----------|-----------|----|----|----|----|-----------|----|--------|----|----|-----------|-----------|----|----|----|
| 31       | 30        | 29 | 28 | 27 | 26 | 25        | 24 | 23     | 22 | 21 | 20        | 19        | 18 | 17 | 16 |
| Reserved |           |    |    |    |    |           |    | L[3:0] |    |    |           | SQ16[4:1] |    |    |    |
| Res.     |           |    |    |    |    |           |    | rw     | rw | rw | rw        | rw        | rw | rw | rw |
| 15       | 14        | 13 | 12 | 11 | 10 | 9         | 8  | 7      | 6  | 5  | 4         | 3         | 2  | 1  | 0  |
| SQ16_0   | SQ15[4:0] |    |    |    |    | SQ14[4:0] |    |        |    |    | SQ13[4:0] |           |    |    |    |
| rw       | rw        | rw | rw | rw | rw | rw        | rw | rw     | rw | rw | rw        | rw        | rw | rw | rw |

Состояние после сброса: 0x0000 0000

### ADC->SQR2 (Регистр № 2 управления регулярной последовательностью)

|          |          |           |    |    |    |          |           |    |    |    |          |           |    |    |    |
|----------|----------|-----------|----|----|----|----------|-----------|----|----|----|----------|-----------|----|----|----|
| 31       | 30       | 29        | 28 | 27 | 26 | 25       | 24        | 23 | 22 | 21 | 20       | 19        | 18 | 17 | 16 |
| Reserved |          | SQ12[4:0] |    |    |    |          | SQ11[4:0] |    |    |    |          | SQ10[4:1] |    |    |    |
|          |          | rw        | rw | rw | rw | rw       | rw        | rw | rw | rw | rw       | rw        | rw | rw | rw |
| 15       | 14       | 13        | 12 | 11 | 10 | 9        | 8         | 7  | 6  | 5  | 4        | 3         | 2  | 1  | 0  |
| SQ10_0   | SQ9[4:0] |           |    |    |    | SQ8[4:0] |           |    |    |    | SQ7[4:0] |           |    |    |    |
| rw       | rw       | rw        | rw | rw | rw | rw       | rw        | rw | rw | rw | rw       | rw        | rw | rw | rw |

Состояние после сброса: 0x0000 0000

### ADC->SQR3 (Регистр № 3 управления регулярной последовательностью)

|          |          |          |    |    |    |          |          |    |    |    |          |          |    |    |    |
|----------|----------|----------|----|----|----|----------|----------|----|----|----|----------|----------|----|----|----|
| 31       | 30       | 29       | 28 | 27 | 26 | 25       | 24       | 23 | 22 | 21 | 20       | 19       | 18 | 17 | 16 |
| Reserved |          | SQ6[4:0] |    |    |    |          | SQ5[4:0] |    |    |    |          | SQ4[4:1] |    |    |    |
|          |          | rw       | rw | rw | rw | rw       | rw       | rw | rw | rw | rw       | rw       | rw | rw | rw |
| 15       | 14       | 13       | 12 | 11 | 10 | 9        | 8        | 7  | 6  | 5  | 4        | 3        | 2  | 1  | 0  |
| SQ4_0    | SQ3[4:0] |          |    |    |    | SQ2[4:0] |          |    |    |    | SQ1[4:0] |          |    |    |    |
| rw       | rw       | rw       | rw | rw | rw | rw       | rw       | rw | rw | rw | rw       | rw       | rw | rw | rw |

Состояние после сброса: 0x0000 0000

| Регистр | Биты   | Назначение                                                                                                                                                                                                       |
|---------|--------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SQR1    | L[3:0] | Длина регулярной канальной последовательности (т.е. количество преобразований в одном цикле):<br><b>0000</b> : 1 преобразование.<br><b>0001</b> : 2 преобразования.<br>.....<br><b>1111</b> : 16 преобразований. |

|           |                      |                                                                                                                                                                                                                                                                                            |
|-----------|----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SQR1-SQR3 | SQx[4:0]<br>x=1...16 | Номер канала (0-17) в очереди регулярных канальных преобразований, где x – порядковый номер в очереди.<br>Например:<br>SQ1=00000, SQ2=00011, SQ3=10001, SQ4= 00001 и т.д.<br>означает, что последовательность обработки будет такой:<br>0-й канал, 3-й канал, 17-й канал, 1-й канал и т.д. |
|-----------|----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

### ADC->JSQR (Регистр управления инжектированной последовательностью)

|          |           |    |    |    |    |           |    |    |    |         |           |           |    |    |    |
|----------|-----------|----|----|----|----|-----------|----|----|----|---------|-----------|-----------|----|----|----|
| 31       | 30        | 29 | 28 | 27 | 26 | 25        | 24 | 23 | 22 | 21      | 20        | 19        | 18 | 17 | 16 |
| Reserved |           |    |    |    |    |           |    |    |    | JL[1:0] |           | JSQ4[4:1] |    |    |    |
|          |           |    |    |    |    |           |    |    |    | rw      | rw        | rw        | rw | rw | rw |
| 15       | 14        | 13 | 12 | 11 | 10 | 9         | 8  | 7  | 6  | 5       | 4         | 3         | 2  | 1  | 0  |
| JSQ4_0   | JSQ3[4:0] |    |    |    |    | JSQ2[4:0] |    |    |    |         | JSQ1[4:0] |           |    |    |    |
| rw       | rw        | rw | rw | rw | rw | rw        | rw | rw | rw | rw      | rw        | rw        | rw | rw | rw |

Состояние после сброса: 0x0000 0000

| Биты                 | Назначение                                                                                                                                                                                                                                                                                              |
|----------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| JL[1:0]              | Длина инжектированной канальной последовательности (т.е. количество преобразований в одном цикле):<br><b>00</b> : 1 преобразование.<br><b>01</b> : 2 преобразования.<br><b>10</b> : 3 преобразования.<br><b>11</b> : 4 преобразования.                                                                  |
| JSQx[4:0]<br>x=1...4 | Номер канала (0-17) в очереди инжектированных канальных преобразований, где x – порядковый номер в очереди (длина очереди не более 4). Например:<br>SQ1=00000, SQ2=00011, SQ3=10001, SQ4= 00001 означает, что последовательность обработки будет такой:<br>0-й канал, 3-й канал, 17-й канал, 1-й канал. |

### ADC->JDRx x=1..4 (Регистры данных инжектированных преобразований)

|             |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|-------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31          | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 15          | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| JDATA[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| r           | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |

Состояние после сброса: 0x0000 0000

Регистры данных инжектированных преобразований могут выравниваться в зависимости от состояния бита ADC->CR2[ALIGN] вправо или влево. После коррекции (см. далее регистры ADC->JOFR1 ... ADC->JOFR4), в случае отрицательного значения, бит SEXT устанавливается в "1":

Выравнивание ADC->JDRx вправо.

|      |      |      |      |     |     |    |    |    |    |    |    |    |    |    |    |
|------|------|------|------|-----|-----|----|----|----|----|----|----|----|----|----|----|
| SEXT | SEXT | SEXT | SEXT | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|------|------|------|-----|-----|----|----|----|----|----|----|----|----|----|----|

Выравнивание ADC->JDRx влево

|      |     |     |    |    |    |    |    |    |    |    |    |    |   |   |   |
|------|-----|-----|----|----|----|----|----|----|----|----|----|----|---|---|---|
| SEXT | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | 0 | 0 | 0 |
| 15   | 14  | 13  | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2 | 1 | 0 |

### ADC->JOFRx x=1..4 (Компенсационные регистры инжектированных каналов)

|          |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27             | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11             | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | JOFFSETx[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| Res.     |    |    |    | rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

В регистры ADC->JOFR1...ADC->JOFR4 записывается значение, которое по окончании преобразования инжектированных каналов вычитается из результата преобразования, находящегося в регистрах ADC->JDRx. Это удобно, когда, например, измеряется сигнал датчика с выходом 4–20 мА (4 мА принимается за 0, поэтому из результата преобразования необходимо вычесть значение, соответствующее 4 мА). Результат помещается обратно в регистры ADC->JDRx.

### ADC->DR (Регистр данных регулярных преобразований)

|            |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 31         | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved   |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| 15         | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DATA[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| r          | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |

Состояние после сброса: 0x0000 0000

В регистр заносится результат после выполнения регулярного преобразования. В зависимости от состояния бита ADC->CR2[ALIGN] данные выравниваются влево или вправо в пределах младших 15 байт. Незначимые биты считываются как “0”.

#### Пример использования АЦП для одного регулярного преобразования с вызовом прерывания по окончании конверсионного цикла.

```
#include "stm32f10x.h"
//-----
unsigned int x;
//-----
void ADC_IRQHandler(void) // Прерывание АЦП.
{
    ADC1->SR=0; // Сброс флагов.
    x=ADC1->DR; // Прочитать результат преобразования АЦП.
}
//-----
int main(void)
{
    // Разрешить синхронизацию ADC1 (0x00000200).
    RCC->APB2ENR |=RCC_APB2ENR_ADC1EN;
    NVIC->ISER[0] |= 0x00040000; // Разрешить прерывания от ADC1 (IRQ18).
    // Установить приоритет, например 5 для IRQ18, если необходимо.
    NVIC->IP[18] |= 0x50;
    // Частота преобразования первого канала (SPM1=7,5 цикла).
    ADC1->SMPR2 = 0x00000008;
    // Разрешить прерывание по окончании конверсионного цикла (EOCIE=1),
    // использовать один канал в режиме регулярных преобразований (DISCEN=1).
    ADC1->CR1 = 0x00000820;
    // Включить АЦП (ADON=1), разрешить внешний запуск регулярных
```

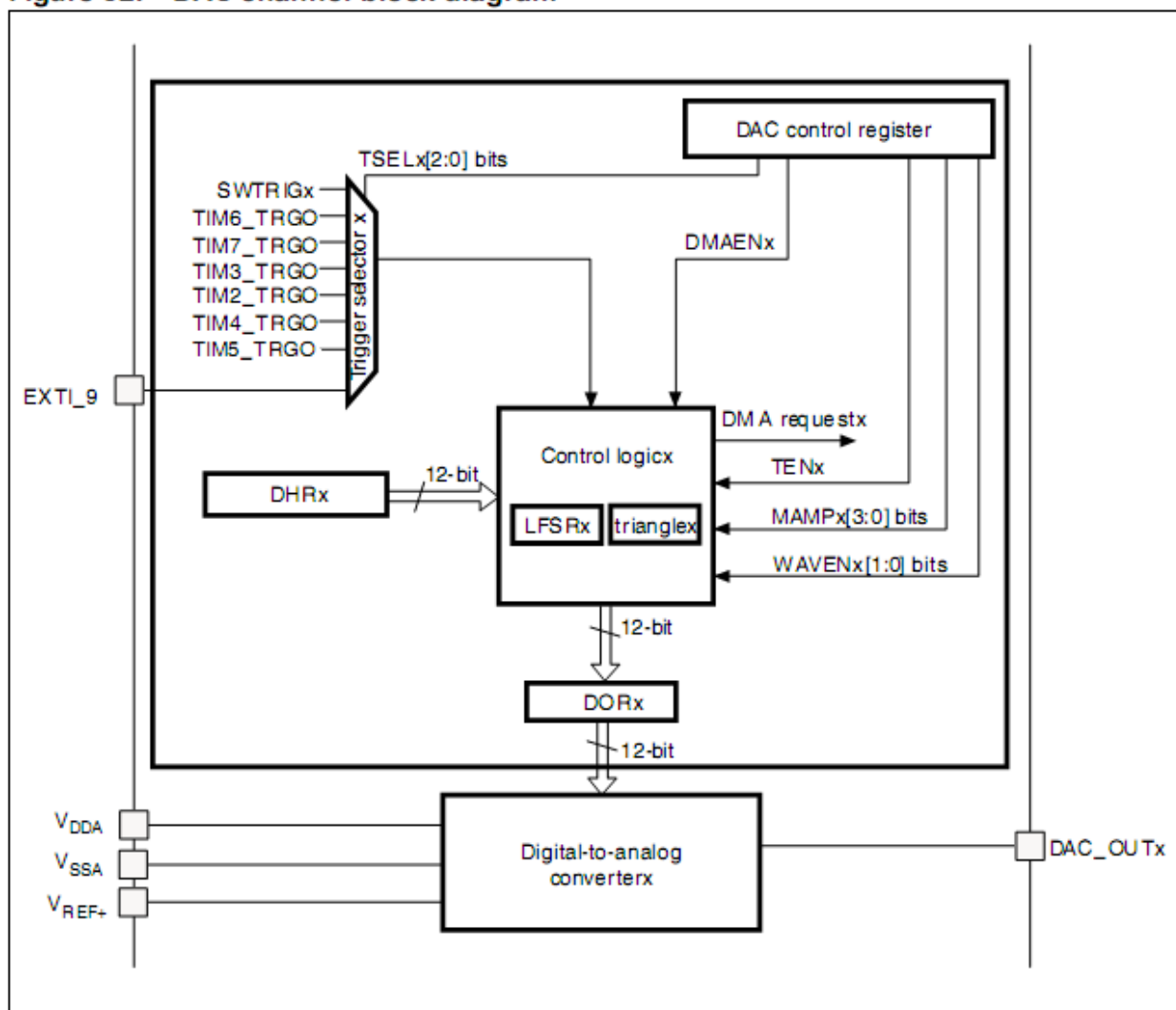
```

// каналов (EXTTRIG=1) по установке бита SWSTART (EXTSEL=7).
ADC1->CR2 = 0x001E0001;
// Длина канальной регулярной последовательности = 1.
ADC1->SQR1 = 0x00000000;
ADC1->SQR2 = 0x00000000;
ADC1->SQR3 = 0x00000001; // Используем канал АЦП №1 (их номера с 0 по 17).
ADC1->CR2 |= 0x00400000; // Запуск АЦП (SWSTART).
.....
}

```

## Цифро-аналоговый преобразователь DAC.

Figure 32. DAC channel block diagram



Цифро-аналоговый преобразователь является 12 разрядным, он способен формировать не только постоянное выходное напряжение, но и динамически изменяющееся (пилообразное и хаотически изменяемое - шум). Управление запуском (перезагрузкой) осуществляется как аппаратными средствами (сигналами таймеров TRGO – см. **TIMx->CR2**), так и программно, установкой бита **SWTR**. Напряжение на выходе ЦАП определяется формулой:

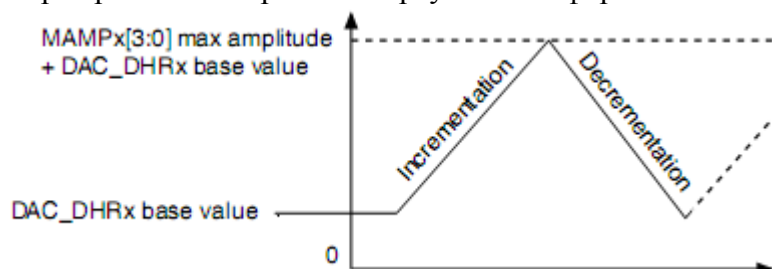
$$\text{DACoutput} = V_{\text{REF}} \times \frac{\text{DOR}}{4095}$$

**DAC->CR (Регистр управления DAC)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

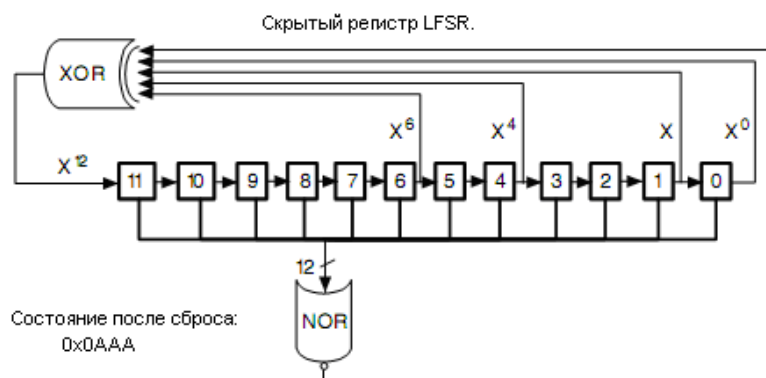
| Бит   | Название                               | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|-------|----------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | EN1                                    | Включение / выключение канала № 1.<br><b>0:</b> Выключен. <b>1:</b> Канал включён.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 1     | BOFF1                                  | Использование буфера на выходе канала № 1. (Буфер позволяет уменьшить выходное сопротивление канала, однако его использование повышает энергопотребление.)<br><b>0:</b> Буфер отключён. <b>1:</b> Включить выходной буфер.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 2     | TEN1                                   | <b>0:</b> Запуска канала № 1 отключена.<br><b>1:</b> Канал № 1 запущен, т.е данные, сформированные в регистрах DAC_DHRx автоматически загружаются в DAC_DOR1.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
| 3     | TSEL1_0                                | Выбор источника запуска канала 1:<br><b>000:</b> Timer 6 TRGO.<br><b>001:</b> Timer 3 TRGO.<br><b>010:</b> Timer 7 TRGO.<br><b>011:</b> Timer 5 TRGO. (или Timer 15 TRGO для STM32F100xx)<br><b>100:</b> Timer 2 TRGO.<br><b>101:</b> Timer 4 TRGO.<br><b>110:</b> External line 9<br><b>111:</b> Программный запуск (см. SWTRIG[SWTRIG2]).<br><b>Примечание:</b> Состояние этих бит имеет значение, если TEN1="1".                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 4     | TSEL1_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 5     | TSEL1_2                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 6     | WAVE1_0                                | Выбор режима работы волнового генератора 1-го канала АЦП.<br><b>00:</b> волновой генератор выключен.<br><b>01:</b> волновой генератор формирует шум.<br><b>10</b> или <b>11:</b> волновой генератор формирует напряжение треугольной формы.<br><b>Примечание:</b> Состояние этих бит имеет значение, если TEN1="1".                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 7     | WAVE1_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 8     | MAMP1_0                                | Маска амплитудного селектора 1-го канала. Определяет размах амплитуды при формировании треугольного напряжения и шума.<br><b>0000:</b> Изменяется бит 0, размах амплитуды 1 бит.<br><b>0001:</b> Изменяется биты [1:0], размах амплитуды 31 бит.<br><b>0010:</b> Изменяется биты [2:0], размах амплитуды 7 бит.<br><b>0011:</b> Изменяется биты [3:0], размах амплитуды 15 бит.<br><b>0100:</b> Изменяется биты [4:0], размах амплитуды 31 бит.<br><b>0101:</b> Изменяется биты [5:0], размах амплитуды 63 бита.<br><b>0110:</b> Изменяется биты [6:0], размах амплитуды 127 бит.<br><b>0111:</b> Изменяется биты [7:0], размах амплитуды 255 бит.<br><b>1000:</b> Изменяется биты [8:0], размах амплитуды 511 бит.<br><b>1001:</b> Изменяется биты [9:0], размах амплитуды 1023 бита.<br><b>1010:</b> Изменяется биты [10:0], размах амплитуды 2047 бит.<br><b>&gt;= 1011:</b> Изменяется биты [11:0], размах амплитуды 4095 бит. |
| 9     | MAMP1_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 10    | MAMP1_2                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 11    | MAMP1_3                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 12    | DMAEN1                                 | Включение DMA для 2-го канала ЦАП.<br><b>0:</b> Выключить. <b>1:</b> Включить.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 13    | DMAU<br>DRIE1<br>Только в<br>STM32F100 | Разрешение вызова прерывания DMA 1-м каналом ЦАП.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 14-15 | -                                      | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 16    | EN2                                    | Включение / выключение канала № 2.<br><b>0:</b> Выключен. <b>1:</b> Канал включён.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 17    | BOFF2                                  | Использование буфера на выходе канала № 2. (Буфер позволяет                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |

|       |                                        |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
|-------|----------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |                                        | уменьшить выходное сопротивление канала, однако его использование повышает энергопотребление.)<br><b>0:</b> Буфер отключён. <b>1:</b> Включить выходной буфер.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 18    | TEN2                                   | <b>0:</b> Запуска канала № 2 отключена.<br><b>1:</b> Канал № 2 запущен, т.е данные, сформированные в регистрах DAC_DHRx автоматически загружаются в DAC_DOR1..                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 19    | TSEL2_0                                | Выбор источника запуска канала 2:<br><b>000:</b> Timer 6 TRGO.<br><b>001:</b> Timer 3 TRGO.<br><b>010:</b> Timer 7 TRGO.<br><b>011:</b> Timer 5 TRGO. (или Timer 15 TRGO для STM32F100xx)<br><b>100:</b> Timer 2 TRGO.<br><b>101:</b> Timer 4 TRGO.<br><b>110:</b> External line 9<br><b>111:</b> Программный запуск (см. SWTRIG[SWTRIG2]).<br><b>Примечание:</b> Состояние этих бит имеет значение, если TEN2="1".                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 20    | TSEL2_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 21    | TSEL2_2                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 22    | WAVE2_0                                | Выбор режима работы волнового генератора 2-го канала АЦП.<br><b>00:</b> волновой генератор выключен.<br><b>01:</b> волновой генератор формирует шум.<br><b>10</b> или <b>11:</b> волновой генератор формирует напряжение треугольной формы.<br><b>Примечание:</b> Состояние этих бит имеет значение, если TEN2="1".                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |
| 23    | WAVE2_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 24    | MAMP2_0                                | Маска амплитудного селектора 2-го канала. Определяет размах амплитуды при формировании треугольного напряжения и шума.<br><b>0000:</b> Изменяется бит 0, размах амплитуды 1 бит.<br><b>0001:</b> Изменяется биты [1:0], размах амплитуды 31 бит.<br><b>0010:</b> Изменяется биты [2:0], размах амплитуды 7 бит.<br><b>0011:</b> Изменяется биты [3:0], размах амплитуды 15 бит.<br><b>0100:</b> Изменяется биты [4:0], размах амплитуды 31 бит.<br><b>0101:</b> Изменяется биты [5:0], размах амплитуды 63 бита.<br><b>0110:</b> Изменяется биты [6:0], размах амплитуды 127 бит.<br><b>0111:</b> Изменяется биты [7:0], размах амплитуды 255 бит.<br><b>1000:</b> Изменяется биты [8:0], размах амплитуды 511 бит.<br><b>1001:</b> Изменяется биты [9:0], размах амплитуды 1023 бита.<br><b>1010:</b> Изменяется биты [10:0], размах амплитуды 2047 бит.<br><b>&gt;= 1011:</b> Изменяется биты [11:0], размах амплитуды 4095 бит. |
| 25    | MAMP2_1                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 26    | MAMP2_2                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 27    | MAMP2_3                                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 28    | DMAEN2                                 | Включение DMA для 2-го канала ЦАП.<br><b>0:</b> Выключить. <b>1:</b> Включить.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
| 29    | DMAU<br>DRIE2<br>Только в<br>STM32F100 | Разрешение вызова прерывания DMA 2-м каналом ЦАП.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
| 30-31 | -                                      | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |

**Примечание:** 1. Формирование напряжения треугольной формы.



2. Формирование шума происходит в скрытом от пользователя регистре LFSR:



Сформированный сигнал шума складывается с содержимым DAC\_DHRx, причём количество складываемых бит определяется битами MAMPx, а затем поступает в соответствующий регистр DAC->DORx.

**DAC->SWTRIGR (Регистр программного запуска ЦАП)** Состояние после сброса - 0x0000 0000. Биты доступны только для чтения и записи

| Бит  | Название | Назначение                                                                                                                                                          |
|------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | SWTRIG1  | 0: Эффекта не имеет.<br>1: Программный запуск канала № 1. Сбрасывается аппаратно через один цикл APB1, как только содержимое DAC_DHR1 загружено в регистр DAC_DOR1. |
| 1    | SWTRIG2  | 0: Эффекта не имеет.<br>1: Программный запуск канала № 2. Сбрасывается аппаратно через один цикл APB1, как только содержимое DAC_DHR2 загружено в регистр DAC_DOR2. |
| 2-31 | -        | Р е з е р в                                                                                                                                                         |

**DAC->SR (Регистр состояния ЦАП)** Состояние после сброса - 0x0000. Биты доступны для чтения. Сброс битов осуществляется записью "1".

| Бит   | Название | Назначение                                                                                                                                         |
|-------|----------|----------------------------------------------------------------------------------------------------------------------------------------------------|
| 0-12  | -        | Р е з е р в                                                                                                                                        |
| 13    | DMAUDR1  | 1: Ошибка настройки DMA канала №1. Скорость работы DMA ниже скорости работы ЦАП. (Устанавливается аппаратно, сбрасывается программно записью "1".) |
| 14-28 | -        | Р е з е р в                                                                                                                                        |
| 29    | DMAUDR2  | 1: Ошибка настройки DMA канала №2. Скорость работы DMA ниже скорости работы ЦАП. (Устанавливается аппаратно, сбрасывается программно записью "1".) |
| 30-31 | -        | Р е з е р в                                                                                                                                        |

**DAC->DOR1 (Выходной регистр канала № 1)**

|          |    |    |    |               |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|---------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27            | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |               |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11            | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | DAC1DOR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | r             | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |

Состояние после сброса: 0x0000 0000

## DAC->DOR2 (Выходной регистр канала № 2)

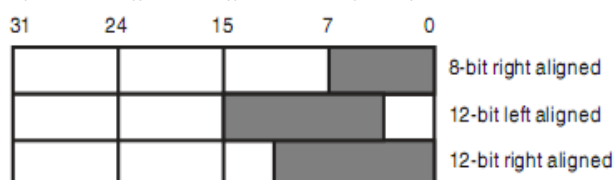
|          |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27             | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11             | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | DACC2DOR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | r              | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  | r  |

Состояние после сброса: 0x0000 0000

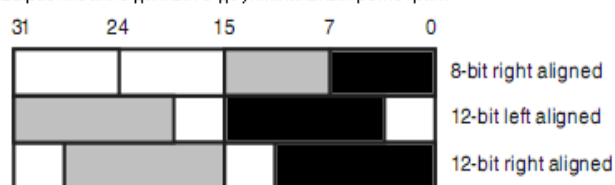
Данные, автоматически переписываемые в эти регистры из регистров DAC\_DHRx, непосредственно управляют функцией цифро-аналогового преобразования в соответствующем канале. У пользователя нет права производить запись в эти регистры. Запись должна осуществляться только в соответствующие регистры DAC\_DHRx. Система самостоятельно определяет, в какой регистр были загружены пользовательские данные и переносит их в соответствующий DAC\_DOR.

Пользовательские данные могут быть 8 или 12 разрядными и иметь выравнивание вправо или влево. В соответствии с этим необходимо правильно выбирать регистр предварительного хранения данных DAC\_DHRx.

Выравнивание данных в одноканальных регистрах.



Выравнивание данных в двухканальных регистрах.



## DAC->DHR12R1 (Регистр предварительного хранения 12-разрядных данных с выравниванием вправо канала №1)

|          |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27             | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11             | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | DACC1DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

состояние после сброса: 0x0000 0000

## DAC->DHR12L1 (Регистр предварительного хранения 12-разрядных данных с выравниванием влево канала №1)

|                |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |
|----------------|----|----|----|----|----|----|----|----|----|----|----|----------|----|----|----|
| 31             | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19       | 18 | 17 | 16 |
| Reserved       |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |
| 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3        | 2  | 1  | 0  |
| DACC1DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |
| rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |          |    |    |    |

Состояние после сброса: 0x0000 0000

## DAC->DHR8R1 (Регистр предварительного хранения 8-разрядных данных с выравниванием вправо канала №1)

|          |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    |    |    |    |    | DACC1DHR[7:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |    |    | rw            | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

**DAC->DHR12R2 (Регистр предварительного хранения 12-разрядных данных с выравниванием вправо канала №2)**

|          |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27             | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11             | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | DACC2DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

**DAC->DHR12L2 (Регистр предварительного хранения 12-разрядных данных с выравниванием влево канала №2)**

|                |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |
|----------------|----|----|----|----|----|----|----|----|----|----|----|----------|----|----|----|
| 31             | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19       | 18 | 17 | 16 |
| Reserved       |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |
| 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3        | 2  | 1  | 0  |
| DACC2DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |
| rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |          |    |    |    |

Состояние после сброса: 0x0000 0000

**DAC->DHR8R2 (Регистр предварительного хранения 8-разрядных данных с выравниванием вправо канала №2)**

|          |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    |    |    |    |    | DACC2DHR[7:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |    |    | rw            | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

**DAC->DHR12RD (Регистр предварительного хранения 12-разрядных данных с выравниванием вправо двух каналов)**

|          |    |    |    |                |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----------------|----|----|----|----|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27             | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    | DACC2DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |
| 15       | 14 | 13 | 12 | 11             | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    | DACC1DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
|          |    |    |    | rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000 0000

**DAC->DHR12LD (Регистр предварительного хранения 12-разрядных данных с выравниванием влево двух каналов)**

|                |    |    |    |    |    |    |    |    |    |    |    |          |    |    |    |
|----------------|----|----|----|----|----|----|----|----|----|----|----|----------|----|----|----|
| 31             | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19       | 18 | 17 | 16 |
| DACC2DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |
| rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |          |    |    |    |
| 15             | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3        | 2  | 1  | 0  |
| DACC1DHR[11:0] |    |    |    |    |    |    |    |    |    |    |    | Reserved |    |    |    |
| rw             | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |          |    |    |    |

Состояние после сброса: 0x0000 0000

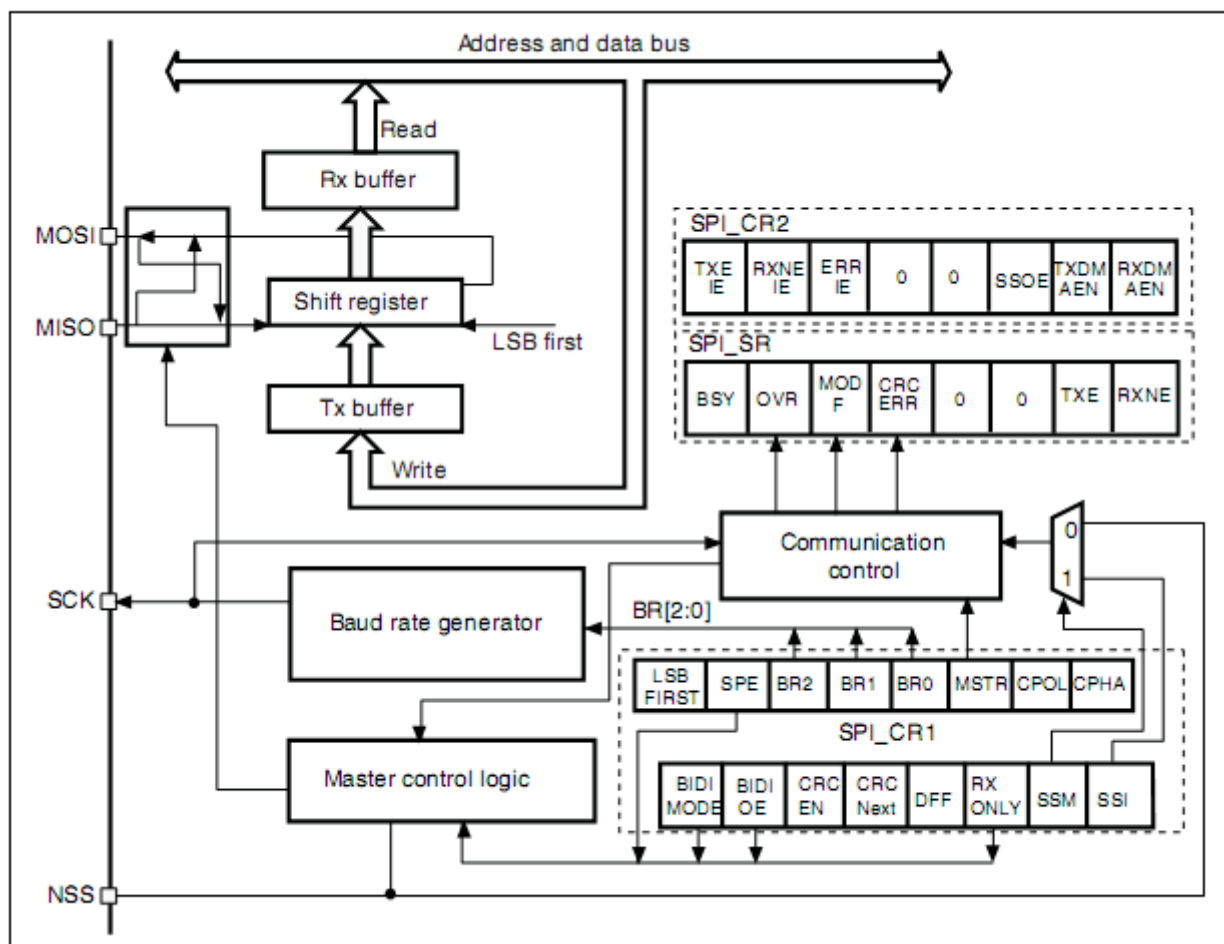
**DAC->DHR8RD (Регистр предварительного хранения 8-разрядных данных с выравниванием вправо двух каналов)**

|               |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
|---------------|----|----|----|----|----|----|----|---------------|----|----|----|----|----|----|----|
| 31            | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved      |    |    |    |    |    |    |    |               |    |    |    |    |    |    |    |
| 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DACC2DHR[7:0] |    |    |    |    |    |    |    | DACC1DHR[7:0] |    |    |    |    |    |    |    |
| rw            | rw | rw | rw | rw | rw | rw | rw | rw            | rw | rw | rw | rw | rw | rw | rw |

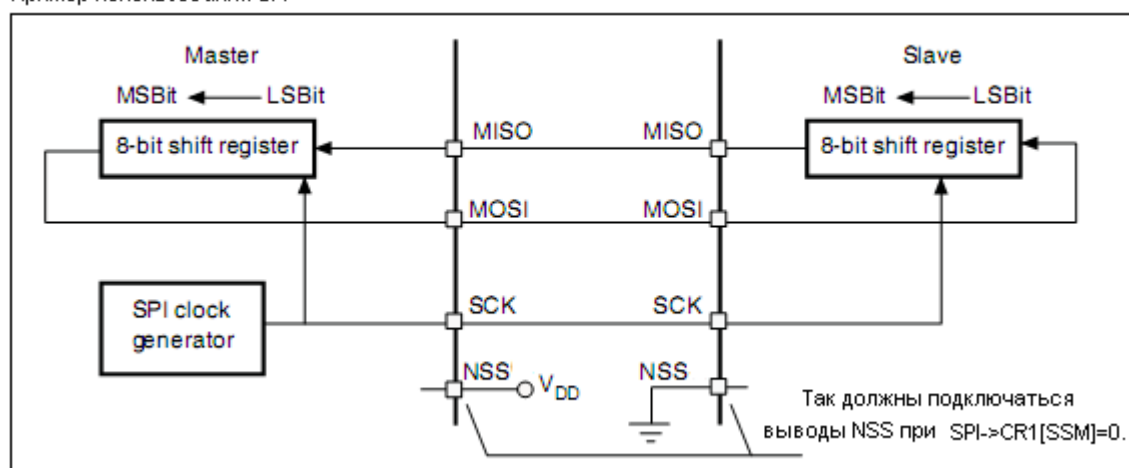
Состояние после сброса: 0x0000 0000

## Последовательный периферийный интерфейс SPI.

Функциональная схема последовательного периферийного последовательного интерфейса SPI

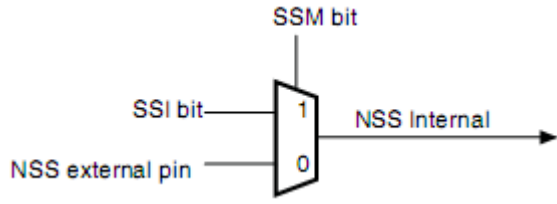


Пример использования SPI



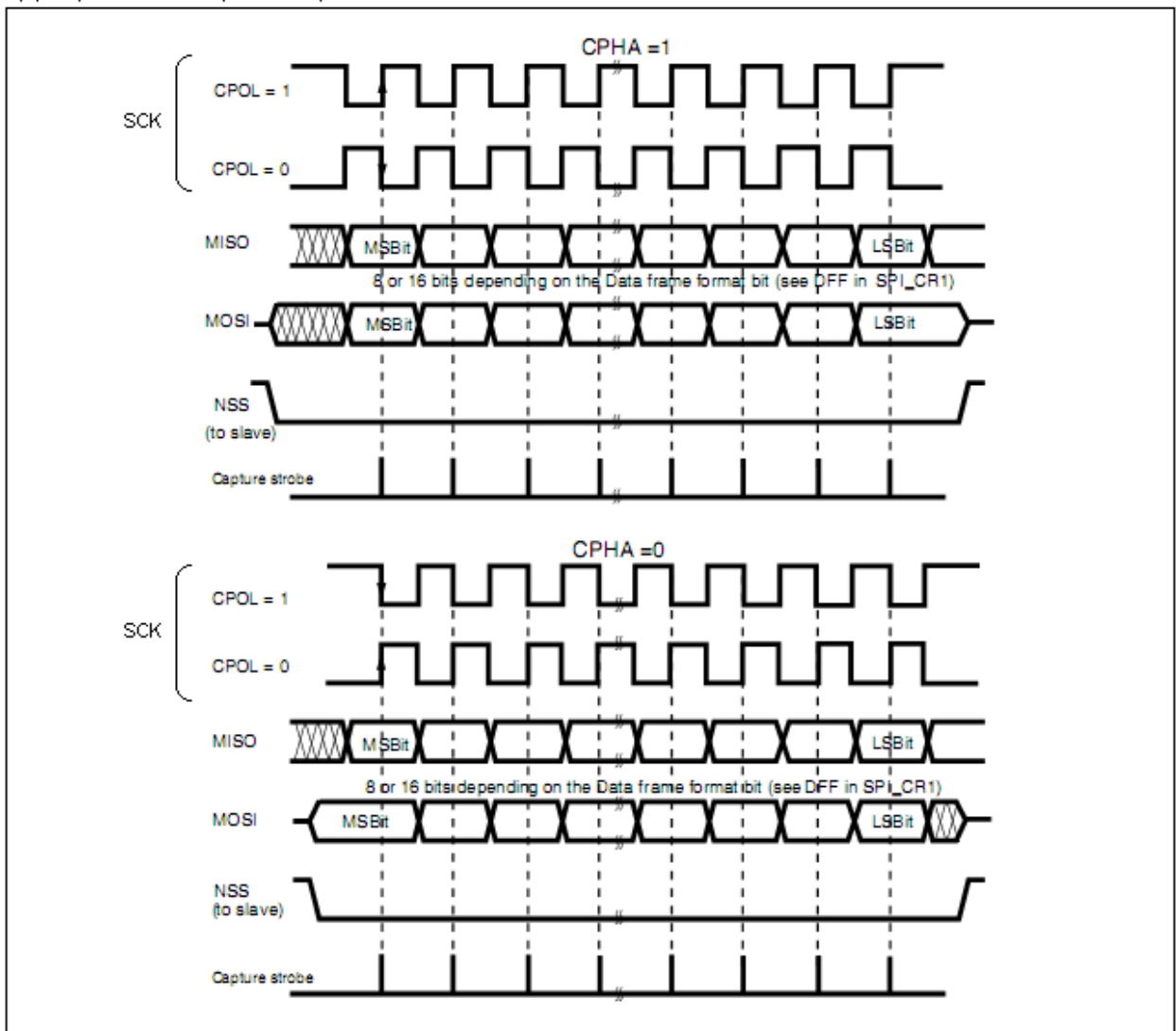
В STM32F101xx - STM32F103xx с объёмом памяти 256 КБит и выше предусмотрены дополнительные регистры совместного управления SPI и I2C, позволяющие управлять аудио-потокками данных. В данном документе эти возможности не рассматриваются.

**SPI->CR1 (Регистр управления SPI)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                                                                                                                                                      |
|-----|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | CPHA     | Выбор активной фазы синхросигнала SCK<br>(См. ниже Диаграмму синхронизации.)                                                                                                                                                                                                                                    |
| 1   | CPOL     | Выбор полярности синхросигнала SCK<br>(См. ниже Диаграмму синхронизации.)                                                                                                                                                                                                                                       |
| 2   | MSTR     | Выбор режима работы.<br><b>0:</b> Slave (Ведомый).<br><b>1:</b> Master (Ведущий).                                                                                                                                                                                                                               |
| 3   | BR0      | Скорость работы:<br><b>000:</b> f <sub>CLK</sub> /2<br><b>001:</b> f <sub>CLK</sub> /4<br><b>010:</b> f <sub>CLK</sub> /8<br><b>011:</b> f <sub>CLK</sub> /16<br><b>100:</b> f <sub>CLK</sub> /32<br><b>101:</b> f <sub>CLK</sub> /64<br><b>110:</b> f <sub>CLK</sub> /128<br><b>111:</b> f <sub>CLK</sub> /256 |
| 4   | BR1      |                                                                                                                                                                                                                                                                                                                 |
| 5   | BR2      |                                                                                                                                                                                                                                                                                                                 |
| 6   | SPE      | Включение интерфейса SPI.<br><b>0:</b> Выключен.<br><b>1:</b> Включён.<br><b>Примечание:</b> Настройка SPI должна производиться при SPE=0.                                                                                                                                                                      |
| 7   | LSBFIRST | Формат фрейма.<br><b>0:</b> Младшими битами вперёд.<br><b>1:</b> Старшими битами вперёд.                                                                                                                                                                                                                        |
| 8   | SSI      | Бит программного управления ошибкой (см. SSM).                                                                                                                                                                                                                                                                  |
| 9   | SSM      | Выбор источника ошибки. В режиме Master при обнаружении “0” на линии NSS Internal устанавливается флаг ошибки MODF.<br><b>0:</b> Вход NSS.<br><b>1:</b> Бит SSI, т.е программное управление.<br>                            |
| 10  | RXONLY   | Режим приёма при двунаправленной работе по одной линии.<br><b>0:</b> Полный дуплекс.<br><b>1:</b> Только приём.<br><b>Примечание:</b> Используется совместно с битом BIDIMODE.                                                                                                                                  |
| 11  | DFF      | Формат данных:<br><b>0:</b> 8-битные.<br><b>1:</b> 16-битные.<br><b>Примечание:</b> Изменять состояние этого бита следует при выключенном SPI (когда бит SPE=0) .                                                                                                                                               |
| 12  | CRCNEXT  | Источник передачи CRC в конце обмена.<br><b>0:</b> Из буфера передачи.<br><b>1:</b> Из регистра CRC.<br><b>Примечание:</b> Этот бит должен устанавливаться, как только последние данные помещены в регистр SPI->DR.                                                                                             |

|    |          |                                                                                                                                                                                                                                                                                                     |
|----|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 13 | CRCEN    | Вычисление CRC.<br><b>0:</b> Отключено.<br><b>1:</b> CRC вычисляется аппаратными средствами.<br><b>Примечание:</b> Изменять состояние этого бита следует при выключенном SPI (когда бит SPE=0) .                                                                                                    |
| 14 | BIDIOE   | Направление обмена при двунаправленной работе по одной линии.<br><b>0:</b> Приём данных.<br><b>1:</b> Передача данных.                                                                                                                                                                              |
| 15 | BIDIMODE | Включение режим двунаправленных данных.<br><b>0:</b> Данные однонаправленные (используются 2 линии)..<br><b>1:</b> Данные двунаправленные (используется только 1 линия).<br><b>Примечание:</b> При двунаправленной работе в режиме Master используется линия MOSI, в режиме Slave (Ведомый) – MISO. |

Диаграмма синхронизации



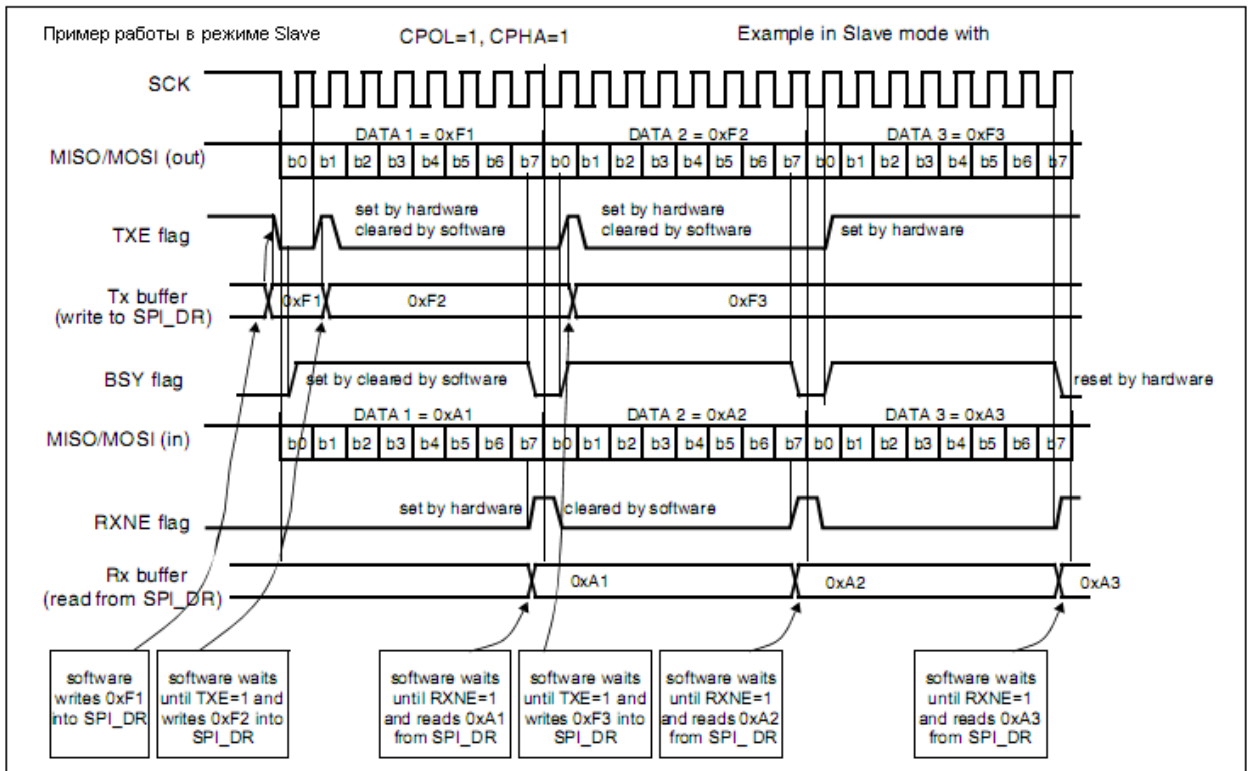
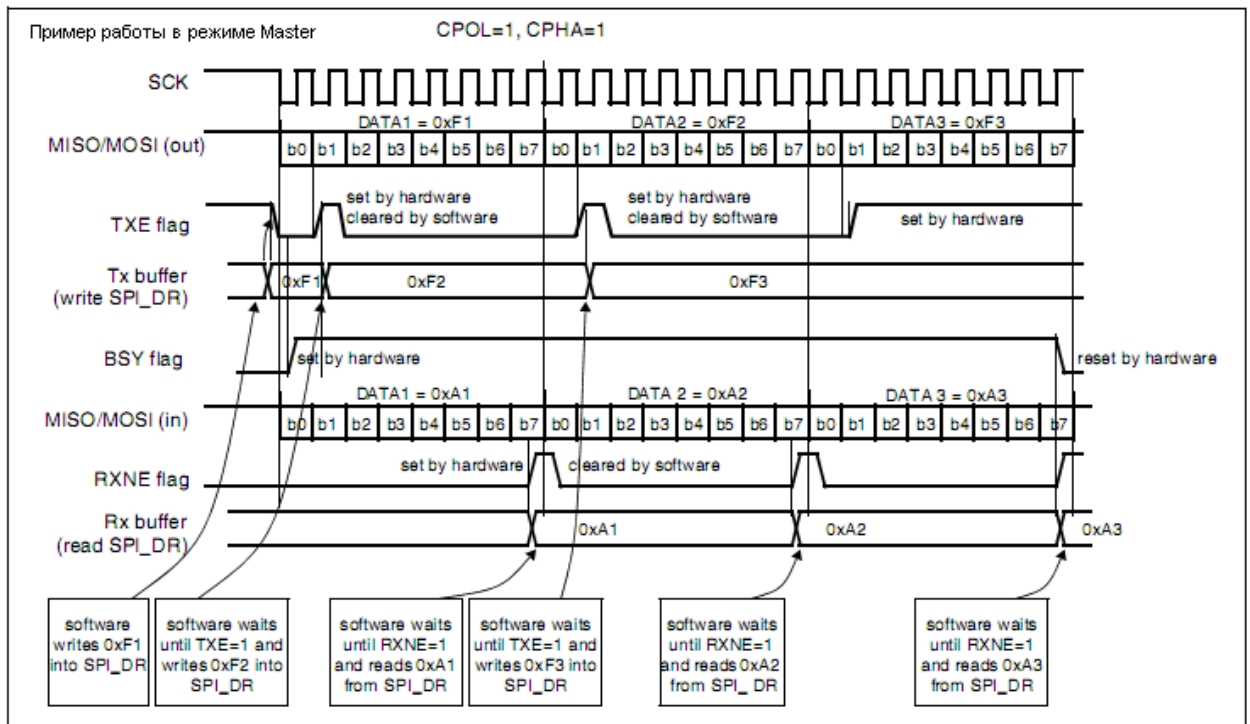
**SPI->CR2 (Регистр управления SPI)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                   |
|-----|----------|------------------------------------------------------------------------------------------------------------------------------|
| 0   | RXDMAEN  | Разрешение запроса DMA буфером приёма.<br><b>0:</b> Запретить.<br><b>1:</b> Формировать запрос DMA при установке флага RXNE. |

|      |         |                                                                                                                                                                                                                                                               |
|------|---------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1    | TXDMAEN | Разрешение запроса DMA буфером передачи.<br><b>0:</b> Запретить.<br><b>1:</b> Формировать запрос DMA при установке флага TXE.                                                                                                                                 |
| 2    | SSOE    | Управление выходом SS (NSS) в режиме Master.<br><b>0:</b> Выход SS отключен, допустима работа в Multimaster-системе.<br><b>1:</b> Выход SS задействован, однако нельзя работать в системе, где объединены несколько ведущих интерфейсов (Multimaster-система) |
| 3-4  | -       | Р е з е р в                                                                                                                                                                                                                                                   |
| 5    | ERRIE   | Разрешение прерывания ошибки SPI (CRCERR, OVR, MODF).<br><b>0:</b> Запретить.<br><b>1:</b> Формировать запрос прерывания при обнаружении ошибки.                                                                                                              |
| 6    | RXNEIE  | Разрешение прерывания буфера приёма.<br><b>0:</b> Запретить.<br><b>1:</b> Формировать запрос прерывания при установке флага RXNE.                                                                                                                             |
| 7    | TXEIE   | Разрешение прерывания буфера передачи.<br><b>0:</b> Запретить.<br><b>1:</b> Формировать запрос прерывания при установке флага TXE.                                                                                                                            |
| 8-15 | -       | Р е з е р в                                                                                                                                                                                                                                                   |

**SPI->SR (Регистр состояния SPI)** Состояние после сброса - 0x0002. Биты доступны для чтения, бит 4 (CRCERR) доступен для чтения и записи "0".

| Бит  | Название | Назначение                                                                                                                                                                                                                                                                                                                                                            |
|------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | RXNE     | Флаг заполнения буфера приёма SPI->DR.<br><b>0:</b> Буфер приёма не содержит принятых данных.<br><b>1:</b> Данные приняты, но ещё не прочитаны.                                                                                                                                                                                                                       |
| 1    | TXE      | Флаг очистки буфера передачи SPI->DR.<br><b>0:</b> Буфер передачи ещё не освобождён, т.е. содержит не переданные данные.<br><b>1:</b> Буфер передачи освобождён, т.е. можно записывать очередные передаваемые данные. Однако, выключать SPI нельзя, т.к. установка этого флага не означает окончание передачи.                                                        |
| 2-3  | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                           |
| 4    | CRCERR   | Флаг ошибки CRC.<br><b>0:</b> Принятая величина CRC соответствует расчётной, находящейся в регистре SPI->RXCRCR.<br><b>1:</b> Принятая CRC не соответствует расчётной.                                                                                                                                                                                                |
| 5    | MODF     | Флаг ошибки режима.<br><b>1:</b> Обнаружена ошибка, т.е. в режиме Master на входе NSS обнаружен низкий уровень (или бит SSI установлен в "0"). (См. регистр SPI->CR1.) Сброс устранением причины.                                                                                                                                                                     |
| 6    | OVR      | Флаг переполнения буфера приёма.<br><b>1:</b> Буфер приёма переполнен и принятые данные утеряны. Сброс осуществляется освобождением буфера приёма (чтением).                                                                                                                                                                                                          |
| 7    | BSY      | Флаг занятости шины SPI. Устанавливается и сбрасывается аппаратно.<br><b>0:</b> Шина SPI свободна или:<br>- в режиме Slave в паузах между передачами;<br>- в режиме Master при двунаправленном приёме по 1-й линии.<br>(В этих режимах для контроля занятости SPI лучше использовать флаги RXEN и TXE.)<br><b>1:</b> Шина SPI занята (происходит приём или передача). |
| 8-15 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                           |



**SPI->DR (Регистр данных SPI) Аппаратно это 2 буфера: буфер передачи и приёма.**

|          |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DR[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| RW       | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |

Состояние после сброса: 0x0000

При передаче / приёме 8-битных фреймов младшими битами вперёд используются разряды регистра DR[7:0]. При передаче / приёме 8-битных фреймов старшими битами вперёд используются разряды регистра DR[15:8]. При передаче / приёме 16-битных фреймов используются все разряды регистра DR[15:0].

### SPI->CRCPR (Регистр полинома для вычисления CRC).

|               |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|---------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 15            | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| CRCPOLY[15:0] |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
| rw            | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0007

Регистр содержит полином, необходимый для вычисления CRC.

### SPI->RXCRCR (Регистр вычисления CRC принимаемых данных).

|             |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|-------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15          | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RXCRC[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| r           | r  | r  | r  | r  | r  | r | r | r | r | r | r | r | r | r | r |

Состояние после сброса: 0x0000

В регистре осуществляется вычисление CRC принимаемых данных. Выравнивание данных в зависимости от длины принимаемых фреймов аналогично регистру SPI->DR. При установке бита SPI->CR1[CRCEN] содержимое регистра сбрасывается и начинается новый процесс вычисления CRC. Чтение содержимого этого регистра и сравнение с принятым CRC, если бит SPI->CR1[CRCEN] установлен, производится автоматически в момент окончания сеанса связи (в момент установки флага BSY). На основании сравнения принятого CRC и сформированного в данном регистре принимается решение о наличии или отсутствии ошибки CRC (см. флаг SPI->SR[CRCERR]).

### SPI->TXCRCR (Регистр вычисления CRC передаваемых данных).

|             |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|-------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 15          | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TXCRC[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| r           | r  | r  | r  | r  | r  | r | r | r | r | r | r | r | r | r | r |

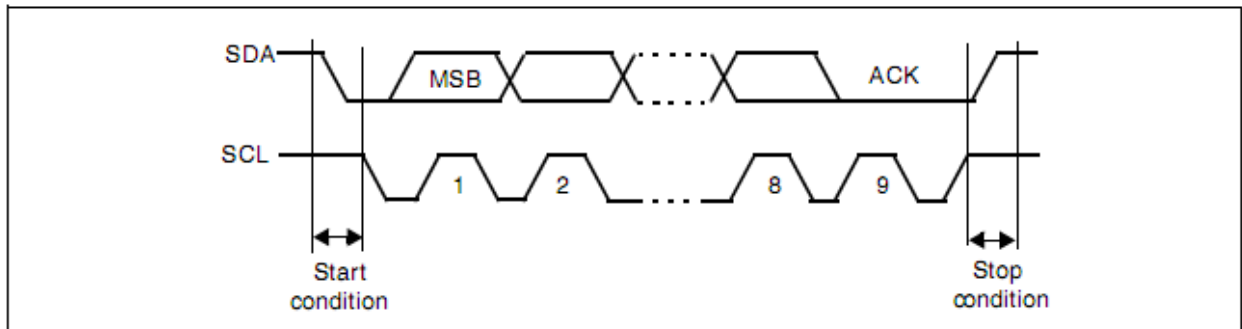
Состояние после сброса: 0x0000

В регистре осуществляется вычисление CRC передаваемых данных. Выравнивание данных в зависимости от длины передаваемых фреймов аналогично регистру SPI->DR. При установке бита SPI->CR1[CRCEN] содержимое регистра сбрасывается и начинается новый процесс вычисления CRC. Передача сформированного CRC должна осуществляться в конце передачи последнего байта данных. Для передачи в ручном режиме следует скопировать содержимое этого регистра в SPI->DR, для автоматической передачи следует установить бит SPI->CR1 [CRCNEXT]=1.

**Примечание:** Устанавливать SPI->CR1 [CRCNEXT] следует сразу же после помещения последнего байта данных в SPI->DR.

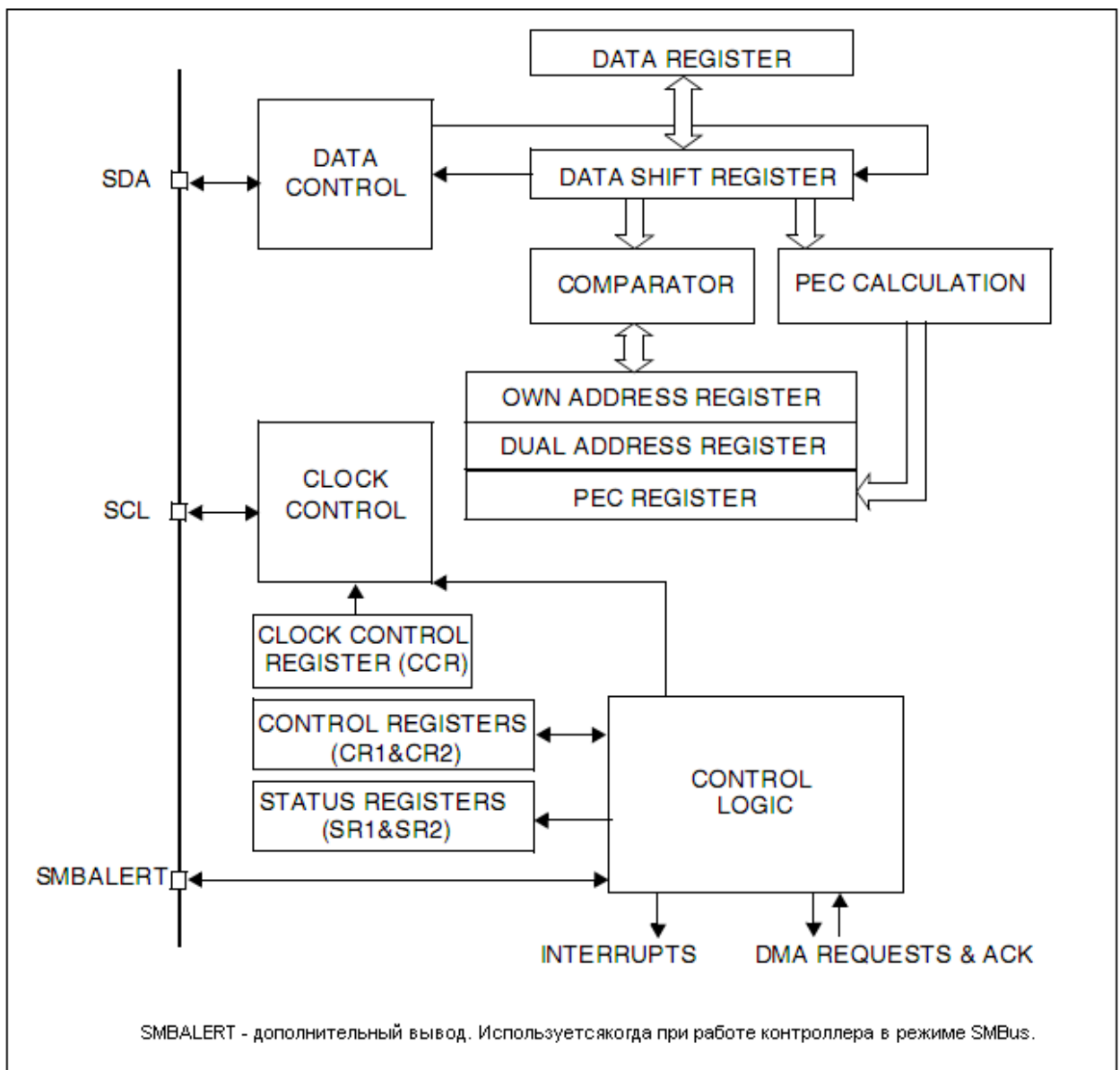
## Двухпроводный двунаправленный интерфейс I2C.

Устройства, использующие шину I2C, могут быть ведущими и ведомыми, а так же могут осуществлять передачу или приём. Инициализатором обмена является ведущее устройство, которое формирует сигнал синхронизации SCL. Когда возникает необходимость проведения сеанса обмена данными, ведущее устройство проверяет занятость шины и в случае, если она свободна, формирует старт, затем посылает адрес ведомого устройства, с которым должен состояться обмен, и сигнал о намерении вести передачу или приём (на месте 8 бита “0” – будет передача, “1” – приём). В ответ на поступивший запрос ведомое устройство выдаёт подтверждение о своей готовности - ACK (на месте 9-го бита на шине SDA выставляет “0”). Далее происходит обмен данными. Каждый принятый байт данных должен подтверждаться приёмной стороной сигналом ACK. По окончанию обмена ведущее устройство формирует сигнал “Стоп”.



В состав контроллера входит блок проверки ошибок (PEC), который генерирует CRC-код, добавляемый в конце передаваемого потока данных. Помимо этого контроллер поддерживает протокол SMBus, в котором помимо проверки ошибок поддерживается разрешение адреса SMN, протокол уведомления Host-устройства, работа с сигналом SMBALERT.

Функциональная схема контроллера I2C



**I2C->CR1 (Регистр управления 1)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит | Название   | Назначение                                                                                                                                                                                                                                                                                                                                                                                                       |
|-----|------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | PE         | Включение контроллера I2C.<br>0: Выключить<br>1: Включить.                                                                                                                                                                                                                                                                                                                                                       |
| 1   | SMBUS      | Выбор режима работы.<br>0: режим работы I2C.<br>1: режим работы SMBus.                                                                                                                                                                                                                                                                                                                                           |
| 2   | -          | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                      |
| 3   | SMBTYPE    | Установка статуса на шине SMBus.<br>0: Использовать в качестве Device (подчинённое устройство).<br>1: Использовать в качестве Host (хозяин)                                                                                                                                                                                                                                                                      |
| 4   | ENARP      | Резервный адрес устройства (ARP).<br>0: Запретить использование ARP.<br>1: Разрешить использование ARP.                                                                                                                                                                                                                                                                                                          |
| 5   | ENPEC      | Включение системы проверки ошибок пакета (PEC), т.е. системы формирования CRC-кода.<br>0: Запретить работу PEC.<br>1: Разрешить работу PEC.                                                                                                                                                                                                                                                                      |
| 6   | ENGCG      | Разрешение общего вызова.<br>0: Общий вызов запретить.<br>1: Общий вызов разрешить.                                                                                                                                                                                                                                                                                                                              |
| 7   | NO STRETCH | Приостановка синхронизации в режиме Slave до программного сброса флагов I2C->ISR1[ADDR и BTF] (реакция программы на окончание приёма адреса или окончание приёма / передачи байта данных).<br>0: Приостанавливать.<br>1: Запретить приостановку.                                                                                                                                                                 |
| 8   | START      | Генерация старта. Устанавливается программно, очищается программно или <b>аппаратно</b> после выполнения условия старта, а так же сбросом бита PE=0.<br><u>В режиме Master</u><br>0: Нет эффекта.<br>1: Генерация повторного старта.<br><u>В режиме Slave</u><br>0: Нет эффекта.<br>1: Генерация старта, если шина свободна.                                                                                     |
| 9   | STOP       | Генерация стопа. Устанавливается и очищается программно, очищается <b>аппаратно</b> , когда выполнено условие стопа, а так же может устанавливаться аппаратно, когда обнаружена ошибка тайм-аута.<br><u>В режиме Master</u><br>0: Нет эффекта.<br>1: Генерация стопа после передачи текущего байта.<br><u>В режиме Slave</u><br>0: Нет эффекта.<br>1: Освобождает линии SDA и SCL после передачи текущего байта. |
| 10  | ACK        | Посылка подтверждения ACK. Устанавливается и очищается программно, а так же очищается установкой бита PE=0.<br>0: Не посылать ACK.<br>1: После получения байта данных посылать ACK.                                                                                                                                                                                                                              |

|    |       |                                                                                                                                                                                                                                                                                                                                                                                       |
|----|-------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 11 | POS   | Позиция CRC (при приёме).<br><b>0:</b> Нет эффекта.<br><b>1:</b> Байт, следующий за принятым, рассматривать как CRC-код.<br><b>Примечание:</b> В случае выключения PE=0 сбрасывается в “0” аппаратно.                                                                                                                                                                                 |
| 12 | PEC   | Проверка ошибок PEC. Устанавливается программно, очищается аппаратно после передачи CRC-кода, в случае установки битов START, STOP, выключения контроллера I2C (PE=0), а так же программно.<br><b>0:</b> Запретить передачу и анализ при приёме CRC-кода.<br><b>1:</b> Добавлять при передаче в конце передаваемого пакета данных CRC-код, а так же анализировать CRC-код при приёме. |
| 13 | ALERT | Сигнал “Внимание” на шине SBus.<br><b>0:</b> Перевод вывода SMBALERT в состоянии “1”.<br><b>1:</b> Перевод вывода SMBALERT в состоянии “0”.<br><b>Примечание:</b> В случае выключения PE=0 сбрасывается в “0” аппаратно.                                                                                                                                                              |
| 14 | -     | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                           |
| 15 | SWRST | Программный сброс.<br><b>0:</b> Состояние работы.<br><b>1:</b> Состояние сброса. (Следует установить в “1”, а затем в “0”).<br><b>Примечание:</b> Рекомендуется использовать, когда бит I2C->SR2[BUSY]=1 (ошибка шины) и нет стопа.                                                                                                                                                   |

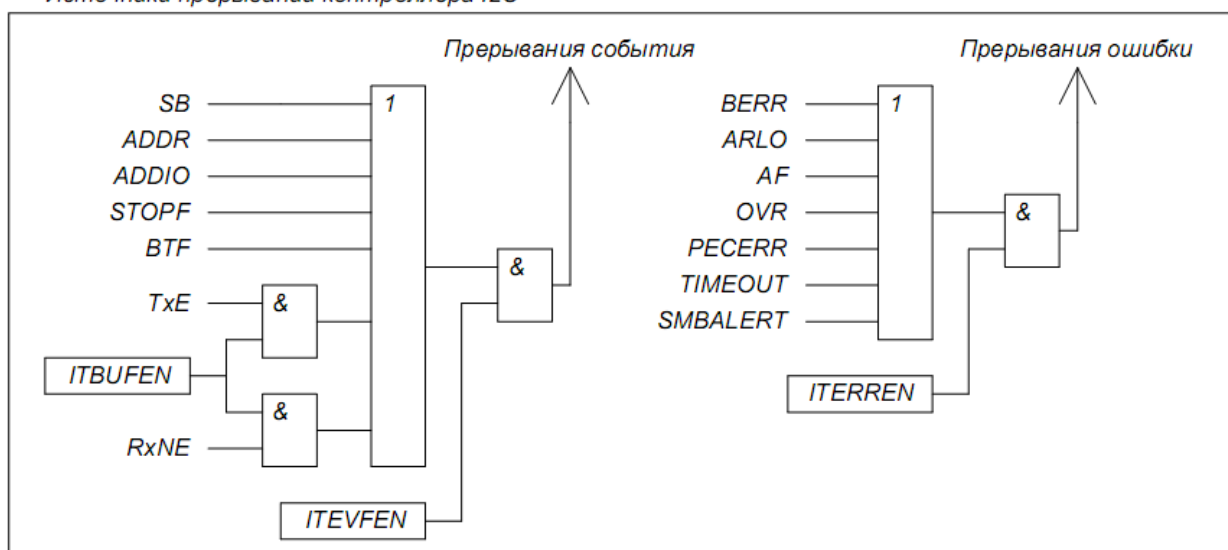
**Примечание:** Если установлены биты START, STOP или PEC во избежание ошибок запрещается производить программное изменение содержимого регистра.

**I2C->CR2 (Регистр управления 2)** Состояние после сброса - 0x0000. Биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                      |
|-----|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | FREQ0    | Частота синхронизации контроллера I2C.<br>Для <b>STM32F100x</b> должна быть в диапазоне от 2 (000010) МГц до 24 (011000) МГц.<br>Для <b>STM32F101xx-STM32F107xx</b> должна находиться в диапазоне от 2 (000010) МГц до 36 (100100) МГц.<br><b>Примечание:</b> Частота указывается в двоичном формате (как показано в скобках).                                                  |
| 1   | FREQ1    |                                                                                                                                                                                                                                                                                                                                                                                 |
| 2   | FREQ2    |                                                                                                                                                                                                                                                                                                                                                                                 |
| 3   | FREQ3    |                                                                                                                                                                                                                                                                                                                                                                                 |
| 4   | FREQ4    |                                                                                                                                                                                                                                                                                                                                                                                 |
| 5   | FREQ5    |                                                                                                                                                                                                                                                                                                                                                                                 |
| 6-7 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                     |
| 8   | ITEREN   | Разрешение прерывания при возникновении ошибки.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить запрос прерывания в случае установки одного из флагов ошибки:<br>- Флага I2C->SR1[BERR]=1.<br>- Флага I2C->SR1[ARLO]=1.<br>- Флага I2C->SR1[AF]=1.<br>- Флага I2C->SR1[OVR]=1.<br>- Флага I2C->SR1[PECERR]=1.<br>- Флага I2C->SR1[TIMEOUT]= 1.<br>- Флага I2C->SR1[SMBALERT] =1. |
| 9   | ITEVTEN  | Разрешение запроса прерывания события.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить запрос прерывания в случае одного из событий:                                                                                                                                                                                                                                             |

|       |         |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |
|-------|---------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |         | <ul style="list-style-type: none"> <li>- Установка флага I2C-&gt;SR1[SB]=1 в режиме Master.</li> <li>- Установка флага I2C-&gt;SR1[ADDR]=1 в режиме Master/Slave.</li> <li>- Установка флага I2C-&gt;SR1[ADD10]=1 в режиме Master.</li> <li>- Установка флага I2C-&gt;SR1[STOPF]=1 в режиме Slave.</li> <li>- Установка флага I2C-&gt;SR1[BTF] = 1 без приёма или отправки байта на передачу.</li> <li>- В случае отправки байта на передачу при ITBUFEN=1.</li> <li>- В случае приёма байта в I2C-&gt;DR при ITBUFEN=1.</li> </ul>                                                                                                                                                                                                                                                  |
| 10    | ITBUFEN | <p>Разрешение событие, вызывающее прерывание при установленном бите ITEVTEN=1 (независимо от состояния бита DMAEN).</p> <p><b>0:</b> Запретить.</p> <p><b>1:</b> Формировать запрос прерывания, когда байт данных уже принят в I2C-&gt;DR или вытеснен в передающий регистр сдвига.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| 11    | DMAEN   | <p>Разрешение запроса DMA.</p> <p><b>0:</b> Запретить.</p> <p><b>1:</b> Формировать запрос DMA, когда байт данных уже принят в I2C-&gt;DR или вытеснен в передающий регистр сдвига.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| 12    | LAST    | <p>Последняя пересылка</p> <p>Этот бит используется при совместной работе DMA и контроллера I2C, работающего на приём в режиме Master. DMA переносит принятые данные в память. Когда достигнут конец выделенной памяти, DMA формирует прерывание EOT (если разрешено прерывание DMA-&gt;CCR[TCIE]=1), но при этом ведомое устройство I2C уже передаёт следующий ненужный байт. Чтобы это не произошло, прерывание DMA EOT должно быть сформировано раньше, т.е. после переноса в память предпоследнего байта. Таким образом, если бит <b>LAST=0</b>: Запрос прерывание DMA EOT формируется раньше.</p> <p><b>1:</b> Запрос прерывания формируется после переноса последнего байта, а приём ненужного байта не подтверждается, т.е. вместо ACK после его приёма будет выдан NACK.</p> |
| 13-15 | -       | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |

Источники прерываний контроллера I2C



## I2C->OAR1 (Регистр собственного основного адреса в режиме Slave)

| 15       | 14   | 13       | 12 | 11 | 10 | 9        | 8  | 7        | 6  | 5  | 4  | 3  | 2  | 1  | 0    |
|----------|------|----------|----|----|----|----------|----|----------|----|----|----|----|----|----|------|
| ADD MODE | Res. | Reserved |    |    |    | ADD[9:8] |    | ADD[7:1] |    |    |    |    |    |    | ADD0 |
| rw       |      |          |    |    |    | rw       | rw | rw       | rw | rw | rw | rw | rw | rw | rw   |

Состояние после сброса: 0x0000

| Название битов | Назначение                                                                                                                               |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------|
| ADD[9:0]       | 10-битный адрес.                                                                                                                         |
| ADD[7:1]       | 7-битный основной адрес.                                                                                                                 |
| ADDMODE        | Выбор режима адресации, на который в режиме Slave будет отзываться микроконтроллер.<br>0: 7-битная адресация.<br>1: 10-битная адресация. |

## I2C->OAR2 (Регистр собственного дублирующего адреса в режиме Slave)

| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7         | 6  | 5  | 4  | 3  | 2  | 1  | 0      |
|----------|----|----|----|----|----|---|---|-----------|----|----|----|----|----|----|--------|
| Reserved |    |    |    |    |    |   |   | ADD2[7:1] |    |    |    |    |    |    | ENDUAL |
|          |    |    |    |    |    |   |   | rw        | rw | rw | rw | rw | rw | rw | rw     |

Состояние после сброса: 0x0000

| Название битов | Назначение                                                                                                                                     |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------|
| ENDUAL         | Разрешение двойной адресации.<br>0: Использовать только основной 7-битный адрес OAR1.<br>1: Использовать 7-битные адреса как OAR1, так и OAR2. |
| ADD[7:1]       | 7-битный дублирующий адрес.                                                                                                                    |

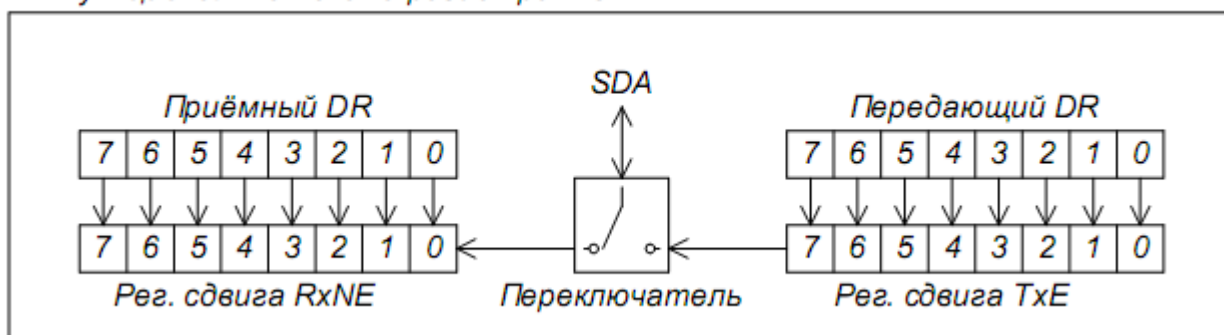
## I2C->DR (Регистр данных)

| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7       | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|----------|----|----|----|----|----|---|---|---------|----|----|----|----|----|----|----|
| Reserved |    |    |    |    |    |   |   | DR[7:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |   |   | rw      | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

Физически это два регистра, расположенных по одному адресу.

*Функциональная схема регистра I2C->DR*



### Особенности I2C->DR.

- В режиме Master имеет особенности:
  - передача данных начинается сразу же после помещения данных в DR;
  - для поддержания непрерывного потока при передаче необходимо сразу же после копирования данных из DR в TxE поместить в DR новые данные;
  - для поддержания непрерывного потока при приёме необходимо прочитать из DR полученный байт до того, как в регистр RxNE поступит очередной.
  - при приёме, в случае потери арбитража на шине (событие ARLO) подтверждение ACK не посылается, принятый байт из RxNE в DR не переносится.
- В режиме Slave принятый адрес не копируется в DR.

**I2C->SR1 (Регистр состояния 1)** Состояние после сброса - 0x0000. Все биты доступны для чтения. Биты 8 – 15 доступны для записи “0”. Сброс всех байтов осуществляется так же выключением интерфейса I2C, т.е. I2C->CR1[PE]=0.

| Бит | Название | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
|-----|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | SB       | Флаг старта (используется в режиме Master).<br><b>1:</b> условие старта сгенерировано.<br><b>Очищается</b> аппаратно, если чтение I2C->SR1 сопровождается записью в I2C->DR..                                                                                                                                                                                                                                                                                                                                                                                      |
| 1   | ADDR     | Флаг посылки / приёма адреса.<br><u>В режиме Master</u><br><b>1:</b> Адрес передан и получено подтверждение ACK.(Если подтверждение не получено, то бит останется в состоянии “0”).<br><u>В режиме Slave</u><br><b>1:</b> Получен адрес, соответствующий данному устройству.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится чтение I2C->SR2.                                                                                                                                                                                               |
| 2   | BTF      | Флаг окончания приёма / передачи байта.<br><b>1:</b> Байт данных получен в RxNE / передан из TxE и получено подтверждение ACK.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится чтение / запись I2C->DR.<br><b>Примечание:</b> 1. Установка этого флага не означает готовность I2C->DR к чтению или приёму нового передаваемого байта.<br>2: Этот байт не устанавливается, если после передачи не получено подтверждение ACK или следующим байтом будет передаваться CRC. (CRC передаётся, если I2C->CR1[PEC=1, ENPEC=1] и I2C->SR2[TRA=1]). |
| 3   | ADD10    | Флаг посылки старшей части 10-битного заголовка.<br><b>1:</b> Старший байт заголовка отправлен и получен ACK.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится запись в I2C->DR младшей части адреса.                                                                                                                                                                                                                                                                                                                                        |
| 4   | STOPF    | Флаг получения Stop в режиме Slave.<br><b>1:</b> Получен Stop.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится запись в I2C->CR1.                                                                                                                                                                                                                                                                                                                                                                                                           |
| 5   | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |
| 6   | RxNE     | Флаг приёма данных.<br><b>1:</b> Данные получены в I2C0>DR и отправлен ACK. Если в процессе приёма произошло событие APLO (потеря арбитража), то ACK не отправляется и флаг не устанавливается.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится чтение I2C->DR.                                                                                                                                                                                                                                                                             |
| 7   | TxE      | Флаг передачи данных.<br><b>1:</b> Данные из I2C0>DR перемещены для передачи в TxE, регистр I2C0>DR готов к записи очередного байта данных. Если не было получено подтверждение ACK на ранее переданный байт или последний байт перемещён в TxE, а следующим байтом должен быть код CRC, флаг не устанавливается.<br><b>Очищается</b> аппаратно, если после чтения I2C->SR1 производится запись в I2C->DR.                                                                                                                                                         |
| 8   | BERR     | Флаг ошибки шины.<br><b>1:</b> Не состоялся Start или Stop.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |

|    |          |                                                                                                                                                                                                                                                                                                                                                                      |
|----|----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 9  | ARLO     | Флаг потери арбитража в режиме Master.<br>1: Обнаружена попытка захвата шины другим устройством.                                                                                                                                                                                                                                                                     |
| 10 | AF       | Флаг неудачного запроса.<br>1: Попытка вызвать несуществующее устройство.                                                                                                                                                                                                                                                                                            |
| 11 | OVR      | Флаг переполнения данных в режиме Slave.<br>1: Зафиксировано переполнение данных. Это происходит, когда в режиме Slave производится несвоевременное чтение или запись I2C->DR.                                                                                                                                                                                       |
| 12 | PECERR   | Флаг ошибки PEC.<br>1: Обнаружена ошибка PEC, т.е. после передачи CRC нет подтверждения ACK.                                                                                                                                                                                                                                                                         |
| 13 | -        | Р е з е р в                                                                                                                                                                                                                                                                                                                                                          |
| 14 | TIMEOUT  | Флаг превышения таймаута в режиме работы с шиной MBus.<br>1: В режиме Host выявлено удерживается SCL в состоянии "0" более 10 мс, а в режиме Device – более 25 мс.                                                                                                                                                                                                   |
| 15 | SMBALERT | Флаг запроса на шине MBus.<br><u>В режиме Host:</u><br>0: нет события.<br>1: на входе SMBALERT обнаружен "0", т.е. кто-то хочет овладеть шиной MBus.<br><u>В режиме Device при запросе доступа к шине:</u><br>0: нет претендентов на занятие шины.<br>1: на входе SMBALERT обнаружен "0", т.е. обнаружен одновременный запрос на доступ к шине нескольких устройств. |

**I2C->SR2 (Регистр состояния 2)** Состояние после сброса - 0x0000. Все биты доступны только для чтения.

| Бит | Название       | Назначение                                                                                                                                                                                                                                                       |
|-----|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | MSL            | Флаг режима работы.<br>0: Режим Slave (ведомый).<br>1: Режим Master (ведущий).                                                                                                                                                                                   |
| 1   | BUSY           | Флаг занятости шины.<br>0: Шина свободна.<br>1: Шина занята.<br><b>Примечание:</b> Устанавливается и сбрасывается аппаратно в зависимости от состояния сигналов SDA и SCL.                                                                                       |
| 2   | TRA            | Флаг приёмник / передатчик.<br>0: Устройство должно принимать данные.<br>1: Устройство должно передавать данные.<br><b>Примечание:</b> Состояние этого флага зависит от состояния R/W-бита, передаваемого вместе с адресом. Сброс происходит при получении Stop. |
| 3   | -              | Р е з е р в                                                                                                                                                                                                                                                      |
| 4   | GENCALL        | Флаг циркулярного вызова Device-устройства по шине SMBus.<br>1 : Получен циркулярный вызов (I2C->CR1[ENGC=1]).                                                                                                                                                   |
| 5   | SMB<br>DEFAULT | Флаг обращения к ведомому устройству по шине SMBus..<br>1: Device-устройство получило запрос по дублирующему адресу.                                                                                                                                             |
| 6   | SMBHOST        | Флаг управления шиной SMBus..<br>1: Контроллер, в котором установлены I2C->CR1[SMBTYPE=1 и ENARP=1] получил управление шиной SMBus.                                                                                                                              |

|      |          |                                                                                                                                                           |
|------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 7    | DUALF    | Флаг дублирующего адреса.<br><b>0:</b> Адрес полученного запроса соответствует I2C->OAR1.<br><b>1:</b> Адрес полученного запроса соответствует I2C->OAR2. |
| 8-15 | PEC[7:0] | Содержит формируемый CRC-код, если I2C->CR1[ENPEC=1]                                                                                                      |

### I2C->CCR (Регистр управления скоростью обмена по шине I2C)

|     |      |          |    |           |    |    |    |    |    |    |    |    |    |    |    |
|-----|------|----------|----|-----------|----|----|----|----|----|----|----|----|----|----|----|
| 15  | 14   | 13       | 12 | 11        | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| F/S | DUTY | Reserved |    | CCR[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| rw  | rw   |          |    | rw        | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| CCR[11:0]      | <p>Настройка скорости (частоты SCL)</p> <p><b>Режим Standard или SMBus:</b></p> $t_{high} = CCR * T_{PCLK1}$ $t_{low} = CCR * T_{PCLK1}$ <p><b>Режим Fast:</b></p> <p>Если DUTY = 0:</p> $t_{high} = CCR * T_{PCLK1}$ $t_{low} = 2 * CCR * T_{PCLK1}$ <p>Если DUTY = 1: (чтобы получить частоту 400 кГц)</p> $t_{high} = 9 * CCR * T_{PCLK1}$ $t_{low} = 16 * CCR * T_{PCLK1}$ <p><b>Пример:</b> Чтобы в стандартном режиме частота SCL была равна 100 кГц при <math>f_{PCLK1} = 24</math> МГц биты CCR[11:0] должны быть равны 0x78 (120) следовательно:</p> $t_{high} = (1 / 24\,000\,000) * 120 = 5000 \text{ нс.}$ $t_{low} = (1 / 24\,000\,000) * 120 = 5000 \text{ нс}$ $T_{SCL} = t_{high} + t_{low} = 10\,000 \text{ нс.}$ $f_{SCL} = 1 / T_{SCL} = 100 \text{ кГц.}$ |
| DUTY           | <p>Параметры сигнала SCL при работе в быстром (Fast) режиме.</p> <p>0: <math>t_{low}/t_{high} = 2</math>.</p> <p>1: <math>t_{low}/t_{high} = 16/9</math>.</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| F/S            | <p>Скоростной режим работы шины I2C.</p> <p>0: Стандартный (Standart) режим (до 100 кГц).</p> <p>1: Быстрый (Fast) режим (до 400 кГц).</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |

### I2C->TRISE (Регистр допустимого повышения длительности SCL)

Регистр используется только в режиме Master (Host).

|          |    |    |    |    |    |   |   |   |   |            |    |    |    |    |    |
|----------|----|----|----|----|----|---|---|---|---|------------|----|----|----|----|----|
| 15       | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5          | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    |    |    |   |   |   |   | TRISE[5:0] |    |    |    |    |    |
|          |    |    |    |    |    |   |   |   |   | rw         | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0002

1. Максимально допустимое время повышения SCL составляет 1000 нс.
2. Определяем период синхронизации I2C (I2C->->CR2[FREQ 5:0]) , например:

$$T_{I2C} = 1 / f_{I2C} = 1 / 8\,000\,000 = 125 \text{ нс.}$$

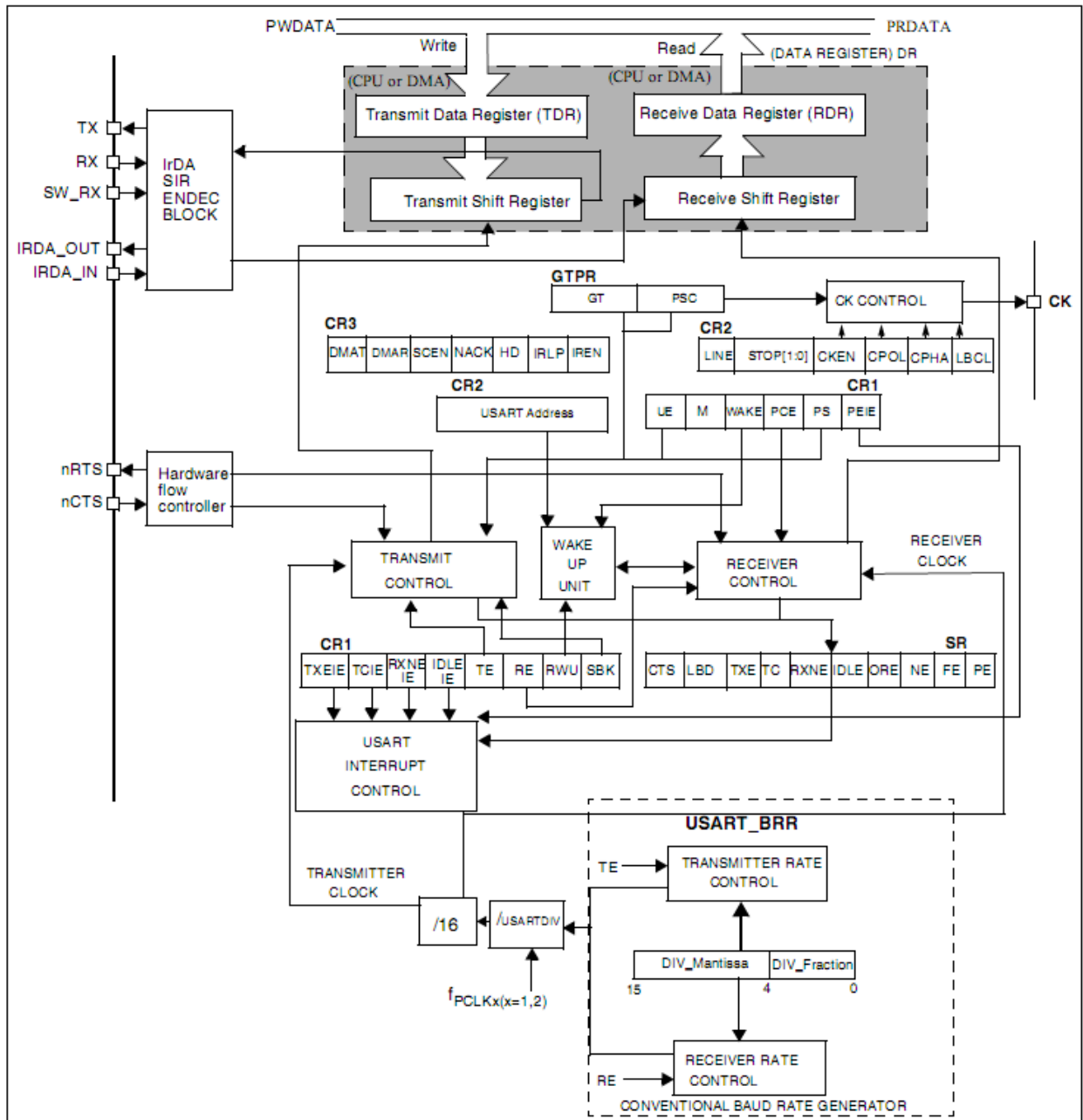
3. Определяем соотношение допустимого времени превышения к периоду синхронизации.  

$$K = 1000 \text{ нс} / 125 \text{ нс} = 8$$
4. Определяем TRISE[5:0].  

$$\text{TRISE}[5:0] = K + 1 = 8 + 1 = 9$$

## Универсальный синхронный асинхронный интерфейс USART.

Структурная схема USART



**USART->SR (Регистр состояния)** Состояние после сброса - 0x0000. Биты доступны для чтения, биты 5 (RXNE), 6(TC), 8 (LBD) и 9 (CTS) доступны для записи "0".

| Бит   | Название    | Назначение                                                                                                                                                                                                                                                  |
|-------|-------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0     | PE          | Флаг чётности.<br>1: обнаружена ошибка чётности.<br><b>Сброс</b> последовательным чтением USART->SR и обращением к USART->DR, дождавшись установку флага RXNE.                                                                                              |
| 1     | FE          | Флаг ошибки конструкции принимаемого фрейма.<br>1: обнаружена ошибка, связанная с нестабильностью частоты принимаемого сигнала, прерыванием символов и т.п.<br><b>Сброс</b> последовательным чтением USART->SR и USART->DR.                                 |
| 2     | NF          | Флаг шума.<br>1: В канале связи обнаружен повышенный шум.<br><b>Сброс</b> последовательным чтением USART->SR и USART->DR.                                                                                                                                   |
| 3     | ORE         | Флаг переполнения данных при приёме.<br>1: Зафиксировано переполнение принимаемых данных. Это происходит, когда не производится своевременное чтение принятых данных из регистра USART->DR.<br><b>Сброс</b> последовательным чтением USART->SR и USART->DR. |
| 4     | IDLE        | Флаг окончания приёма.<br>1: Линия приёма не используется, т.е. находится в состоянии "1", приём данных не производится.<br><b>Сброс</b> последовательным чтением USART->SR и USART->DR.                                                                    |
| 5     | <b>RXNE</b> | Флаг приёма байта.<br>1: Данные приняты и находятся в USART->DR.<br><b>Сброс</b> аппаратный чтением USART->DR программно.                                                                                                                                   |
| 6     | TC          | Флаг окончания передачи.<br>1: Передача завершена, USART->DR и регистр сдвига пусты.<br><b>Сброс</b> аппаратный записью в USART->DR очередного байта или программно.                                                                                        |
| 7     | <b>TXE</b>  | Флаг готовности передатчика к передаче очередного байта.<br>1: Данные из USART->DR отправлены в регистр сдвига для передачи. USART->DR готов к получению очередного байта.<br><b>Сброс</b> аппаратный записью в USART->DR очередного байта или программно.  |
| 8     | LBD         | Флаг удержания линии в состоянии "0". (см. USART_CR2[LINEN])<br>1: Обнаружено удержание приёмной линии в состоянии "0".<br><b>Сброс</b> только программный.                                                                                                 |
| 9     | CTS         | Флаг изменения готовности модема к передаче данных.<br>1: На линии CTC зафиксировано изменение.<br><b>Сброс</b> только программный.                                                                                                                         |
| 10-31 | -           | Р е з е р в                                                                                                                                                                                                                                                 |

**USART->DR (Регистр данных)** Аппаратно состоит из 2-х регистров TDR, RDR и двух регистров сдвига.

|          |    |    |    |    |    |    |    |         |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|---------|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23      | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |         |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7       | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| Reserved |    |    |    |    |    |    |    | DR[8:0] |    |    |    |    |    |    |    |
|          |    |    |    |    |    |    |    | rw      | rw | rw | rw | rw | rw | rw | rw |

## USART->BRR (Регистр скорости передачи / приёма)

|                    |    |    |    |    |    |    |    |    |    |    |    |                   |    |    |    |
|--------------------|----|----|----|----|----|----|----|----|----|----|----|-------------------|----|----|----|
| 31                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19                | 18 | 17 | 16 |
| Reserved           |    |    |    |    |    |    |    |    |    |    |    |                   |    |    |    |
| 15                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3                 | 2  | 1  | 0  |
| DIV_Mantissa[11:0] |    |    |    |    |    |    |    |    |    |    |    | DIV_Fraction[3:0] |    |    |    |
| rw                 | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw | rw                | rw | rw | rw |

Состояние после сброса: 0x0000

DIV\_Mantissa – мантисса (целая часть) делителя DIV

DIV\_Fraction – дробная часть делителя DIV.

$$f(\text{Бод}) = f_{\text{CYSCLK}} / 8 * (2 - \text{OVER8}) * \text{DIV}$$

Где:

$f(\text{Бод})$  – скорость работы USART в стандартном режиме.

$f_{\text{CYSCLK}}$  – тактовая частота, указанная в файле `system_stm32f10x.c`

OVER8 – поправочный коэффициент, равный:

OVER8=1, если DIV\_Fraction занимает 4 бита (отрицательное.).

OVER8=0, если DIV\_Fraction занимает 3 бита. (положительное.).

DIV – делитель.

### Пример 1:

$f_{\text{CYSCLK}} = 72 \text{ МГц}$ ;  $\text{DIV} = 0x3A95$ , (937 + 5/16) т.к.  $0x5 < 8$  OVER8=0;  $f(\text{Бод}) = 4800$ .

### Пример 2:

$f_{\text{CYSCLK}} = 72 \text{ МГц}$ ;  $\text{DIV} = 0x1D4C$  (468 + 0,75), т.к.  $0xC > 7$  OVER8=1;  $f(\text{Бод}) = 9600$ .

**Примечание:** Если дробная часть занимает 4 бита, то её необходимо разделить на 16.

**USART->CR1 (Регистр управления 1)** Состояние после сброса - 0x0000. Все биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                                                        |
|-----|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | SBK      | Удержание линии в состоянии “0”. (См. USART->CR2[LINEN])<br>0: Не удерживать.<br>1: Удерживать линию в состоянии “0” до получения ответа.<br>(Сброс программный или аппаратный по первому стопу.) |
| 1   | RWU      | Переход в режим сна.<br>0: Работа.<br>1: Сон.<br><b>Примечание:</b> Если WAKE=1, то после перевода в режим сна этот бит становится недоступным.                                                   |
| 2   | RE       | Разрешить работу приёмник.<br>0: Выключен.<br>1: Приёмник включён.                                                                                                                                |
| 3   | TE       | Разрешить работу передатчика.<br>0: Выключен.<br>1: Передатчик включён.                                                                                                                           |
| 4   | IDLEIE   | Разрешить прерывание по окончанию приёма.<br>0: Запретить.<br>1: Разрешить прерывание по флагу IDLE=1.                                                                                            |
| 5   | RXNE     | Разрешить прерывание по приёму байта и переполнению буфера приёма.<br>0: Запретить.<br>1: Разрешить прерывание по флагам RXNE=1 или ORE=1.                                                        |

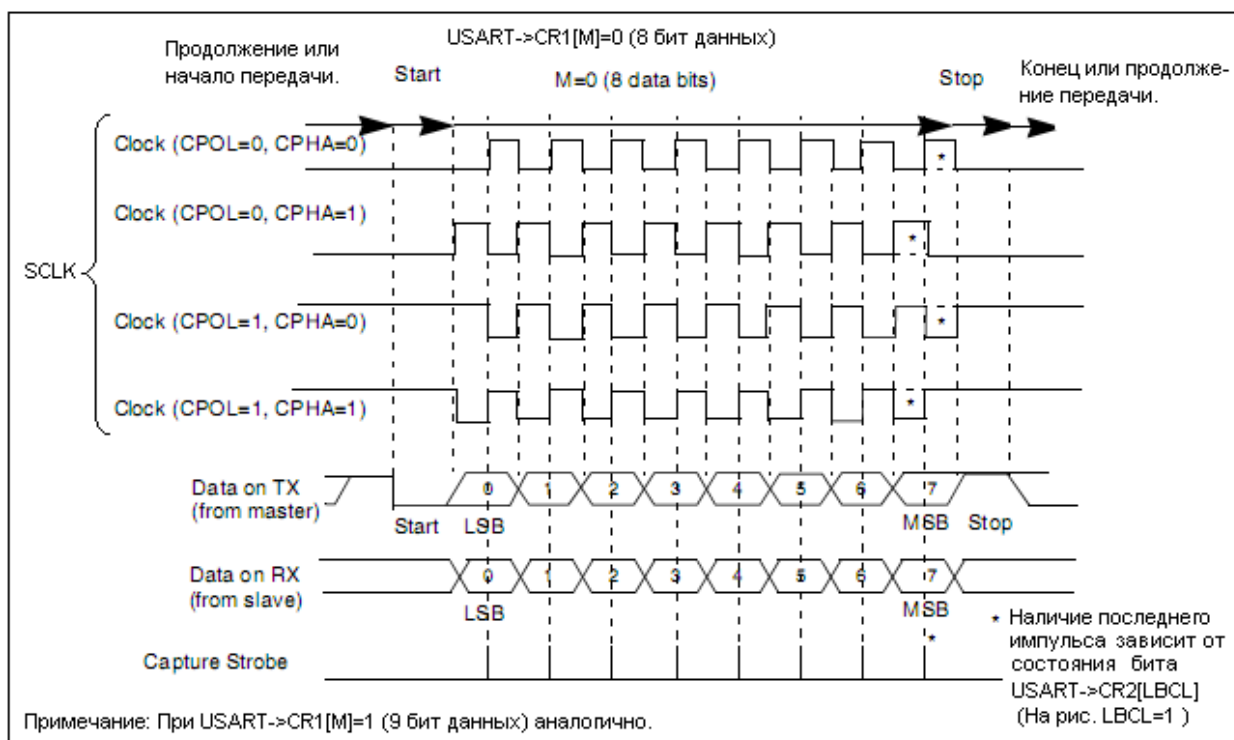
|       |                                  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |
|-------|----------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 6     | TCIE                             | Разрешить прерывание по окончанию передачи.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить прерывание по флагу TC=1.                                                                                                                                                                                                                                                                                                                                                                                     |
| 7     | TXEIE                            | Разрешить прерывание по готовности передатчика к передаче очередного байта.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить прерывание по флагу TXE=1.                                                                                                                                                                                                                                                                                                                                                    |
| 8     | PEIE                             | Разрешение прерывания при обнаружении нарушения паритета.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить прерывание по флагу PE=1.                                                                                                                                                                                                                                                                                                                                                                       |
| 9     | PS                               | Режим контроля паритета.<br><b>0:</b> Контроль на чётность.<br><b>1:</b> Контроль на нечётность.                                                                                                                                                                                                                                                                                                                                                                                                         |
| 10    | PCE                              | Включение контроля паритета. Бит паритета добавляется на место 8-го или 9-го байта в посылке, в зависимости от бита 12 (M).<br><b>0:</b> Выключен.<br><b>1:</b> Контроль паритета включён.                                                                                                                                                                                                                                                                                                               |
| 11    | WAKE                             | Выбор режима сна USART.<br><b>0:</b> Находится в режиме сна до появления активности на приёмной линии, при этом аппаратно сбрасывает бит RWU.<br><b>1:</b> Находится в режиме сна до тех пор, пока в принимаемой последовательности не окажется первыми 4 младшими байтами адрес узла USART, записанный в регистре USART->CR2[ADD3:0]. Бит PWU аппаратно не сбрасывается, поэтому после приёма пакета данных вновь переходит в режим сна. Передаваемый адрес в регистре приёма USART->RD не фиксируется. |
| 12    | M                                | Длина информационных посылок.<br><b>0:</b> 8 бит.<br><b>1:</b> 9 бит.                                                                                                                                                                                                                                                                                                                                                                                                                                    |
| 13    | UE                               | Включение USART и предделителя.<br><b>0:</b> USART выключен.<br><b>1:</b> USART включён.                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 14    | -                                | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
| 15    | OVER8<br>Только в<br>STM32F100xx | Выбор соотношения длительности импульса передачи в режиме IrDA к длительности в обычном режиме. (Используется при работе со смарт-картами, т.е. когда установлены биты CR1[SCEN=1, IREN=1], USART->CR2[LINEN=1].)<br><b>0:</b> 3 / 16. <b>1:</b> 3 / 8.                                                                                                                                                                                                                                                  |
| 16-31 | -                                | Р е з е р в                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |

**USART->CR2 (Регистр управления 2)** Состояние после сброса - 0x0000. Все биты доступны для чтения и записи.

| Бит | Название | Назначение                                                                                                                                                  |
|-----|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | ADD0     | Четыре младших бита адреса узла USART. Старшие разряды дополняются нулями. Используется для выхода из режима сна. См. USART->CR1[WAKE]=1.                   |
| 1   | ADD1     |                                                                                                                                                             |
| 2   | ADD2     |                                                                                                                                                             |
| 3   | ADD3     |                                                                                                                                                             |
| 4   | -        | Р е з е р в                                                                                                                                                 |
| 5   | LBDL     | Количество принятых бит вызывающих прерывание LBD, когда происходит удержание линии в состоянии "0". (См. LINEN.)<br><b>0:</b> 10 бит.<br><b>1:</b> 11 бит. |

|       |       |                                                                                                                                                                                                                                                  |
|-------|-------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 6     | LBDIE | Разрешить прерывание по удержанию приёмной линии в сост. “0”.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить прерывание по флагу LBD=1.                                                                                                          |
| 7     | -     | Р е з е р в                                                                                                                                                                                                                                      |
| 8     | LBCL  | Наличие последнего импульса SCLK на выводе СК.<br><b>0:</b> Отсутствует.<br><b>1:</b> Последний импульс присутствует на выводе СК.<br>(См. рис. “Режим совместимый с SPI”.)                                                                      |
| 9     | CPHA  | Активная фаза сигнала синхронизации SCLK. Используется при установленном бите CLKEN. (См. рис. “Режим совместимый с SPI”.)                                                                                                                       |
| 10    | CPOL  | Полярность сигнала синхронизации SCLK. Используется при установленном бите CLKEN. (См. рис. “Режим совместимый с SPI”.)                                                                                                                          |
| 11    | CLKEN | Включение синхросигнала SCLK. (Используется в режиме, совместимым с SPI.)<br><b>0:</b> Вывод СК не используется.<br><b>1:</b> Вывод СК становится выходом сигнала синхронизации SCLK.                                                            |
| 12    | STOP0 | Продолжительность посылки “Stop”.<br><b>00:</b> 1 бит.<br><b>01:</b> 0,5 бита<br><b>10:</b> 2 бита<br><b>11:</b> 1,5 бита.                                                                                                                       |
| 13    | STOP1 |                                                                                                                                                                                                                                                  |
| 14    | LINEN | Включение режима “LIN”. Этот режим позволяет посылать в линию сигнал “LIN Synh Break” (13 битов равных “0”) при установке бита USART->CR1[SBK]=1 в случае потери синхронизации.<br><b>0:</b> Режим недоступен.<br><b>1:</b> Режим “LIN” включён. |
| 15-31 | -     | Р е з е р в                                                                                                                                                                                                                                      |

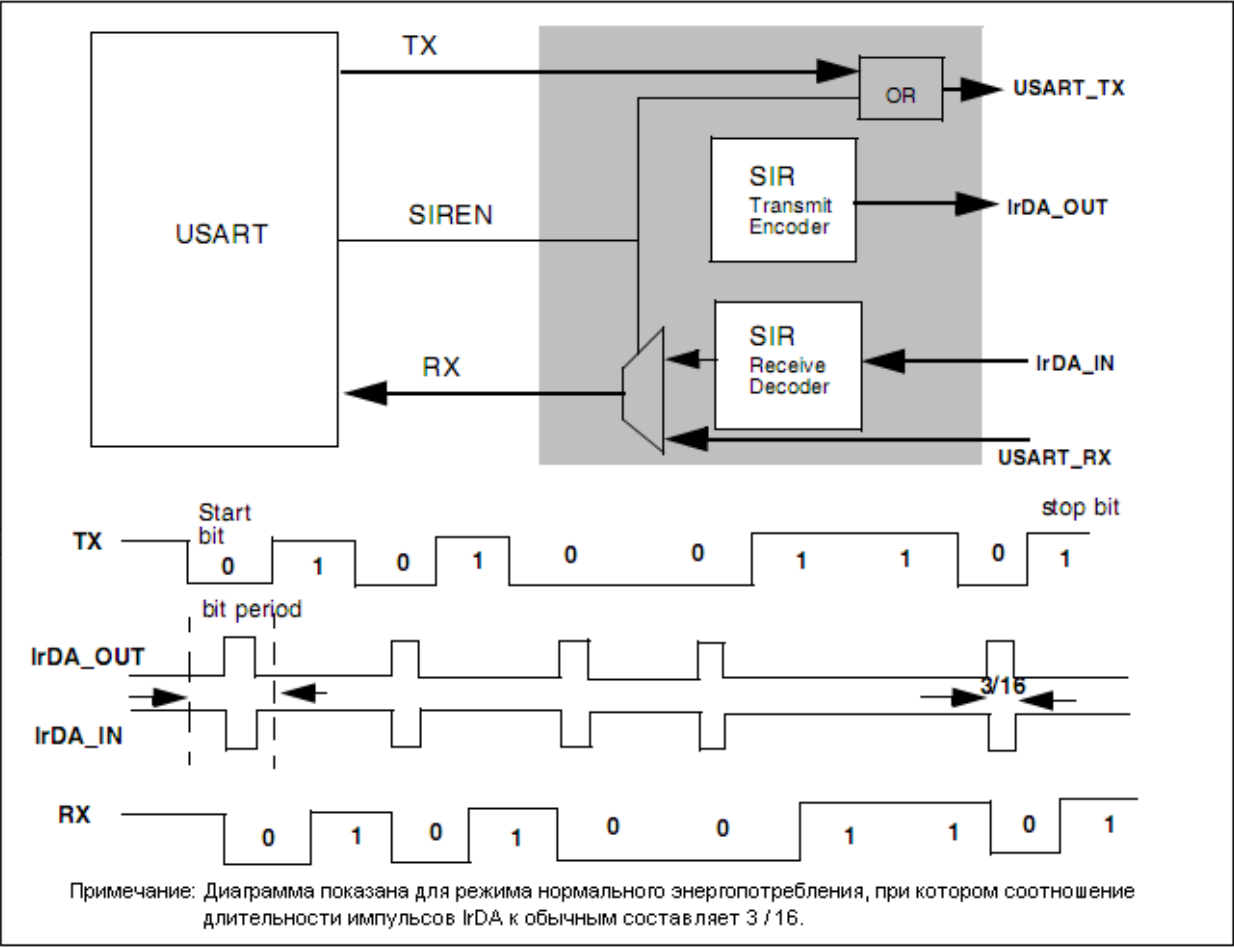
Режим совместимый с SPI



**USART->CR3 (Регистр управления 3)** Состояние после сброса - 0x0000. Все биты доступны для чтения и записи.

| Бит | Название                 | Назначение                                                                                                                                                                                                                                                                                                                                                                     |
|-----|--------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0   | EIE                      | Разрешение прерывания при возникновении ошибок.<br><b>0:</b> Прерывания, связанные с ошибками запрещены.<br><b>1:</b> Разрешить прерывания при работе с DMA (DMAR=1), в случае возникновения следующих ошибок (установки флагов в регистре USART->SP):<br>- FE – ошибка конструкции принятого фрейма;<br>- ORE – переполнение приёма;<br>- NF – повышенный шум в канале связи. |
| 1   | IREN                     | Включение режима “IrDA”.<br><b>0:</b> Режим выключен.<br><b>1:</b> Включить режим IrDA. (См. рис. “Режим IrDA”).                                                                                                                                                                                                                                                               |
| 2   | IRLP                     | Выбор режима пониженного энергопотребления при работе USART в режиме IrDA.<br><b>0:</b> Нормальный режим энергопотребления.<br><b>1:</b> Режим пониженного энергопотребления “Low-power”. В этом режиме уменьшается длительность формируемых импульсов.                                                                                                                        |
| 3   | HDSEL                    | Включение режима “полу дуплекс”, т.е. осуществление приёма и передачи по одной линии Tx.<br><b>0:</b> Режим выключен.<br><b>1:</b> Режим включён. Приём и передача ведутся по одной линии Tx.                                                                                                                                                                                  |
| 4   | NACK                     | В режиме работы совместимом с SPI разрешает передавать на месте сигнала ACK (подтверждение) сигнал NACK (неподтверждение).<br><b>0:</b> Запретить замену ACK на NACK.<br><b>1:</b> В случае ошибки паритета передавать NACK вместо ACK. (См. USART->CR1[PCE, PS].)                                                                                                             |
| 5   | SCEN                     | Включение режима работы со смарт-картами.<br><b>0:</b> Режим выключен.<br><b>1:</b> Режим работы со смарт-картами включен.                                                                                                                                                                                                                                                     |
| 6   | DMAR                     | Разрешить работу DMA при приёме данных.<br><b>0:</b> DMA отключена.<br><b>1:</b> DMA переносит данные из буфера приёма в память.                                                                                                                                                                                                                                               |
| 7   | DMAT                     | Разрешить работу DMA при передаче данных.<br><b>0:</b> DMA отключена.<br><b>1:</b> DMA переносит данные из памяти в буфер передачи.                                                                                                                                                                                                                                            |
| 8   | RTSE                     | Управление линией RTS. (Управление модемом.)<br><b>0:</b> Управление RTS выключено.<br><b>1:</b> Переводить линию RTS в состояние “0”, только в том случае, если буфере приёма USART->RD очищен (данные прочитаны).                                                                                                                                                            |
| 9   | CTSE                     | Управление потоком в зависимости от состояния линии CTS.<br><b>0:</b> Контроль состояние линии CTS выключен.<br><b>1:</b> Вести передачу только, если состоянию линии CTS=0.                                                                                                                                                                                                   |
| 10  | CTSIE                    | Разрешить прерывание при изменении готовности модема к передаче данных.<br><b>0:</b> Запретить.<br><b>1:</b> Разрешить прерывание по флагу CTS=1.                                                                                                                                                                                                                              |
| 11  | ONEBITE<br>или<br>резерв | Принятие решения о наличии шума.<br><b>0:</b> Если шум зафиксирован в одном бите, флаг USART->SR[NF]=”1”.<br><b>1:</b> Если шум зафиксирован в трёх битах, флаг USART->SR[NF]=”1”.<br><b>Примечание:</b> Этот бит имеется только в STM32F100xx.                                                                                                                                |

Режим работы IrDA.



### USART->GTPR (Регистр защиты и предварительный делитель частоты)

|          |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |
|----------|----|----|----|----|----|----|----|----------|----|----|----|----|----|----|----|
| 31       | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23       | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| Reserved |    |    |    |    |    |    |    |          |    |    |    |    |    |    |    |
| 15       | 14 | 13 | 12 | 11 | 10 | 9  | 8  | 7        | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| GT[7:0]  |    |    |    |    |    |    |    | PSC[7:0] |    |    |    |    |    |    |    |
| rw       | rw | rw | rw | rw | rw | rw | rw | rw       | rw | rw | rw | rw | rw | rw | rw |

Состояние после сброса: 0x0000

| Название битов | Назначение                                                                                                                                                                                                                                                                                                                                               |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| PSC[7:0]       | Предварительный делитель системной частоты для работы в режимах:<br><b>IrDA Low-Powe:</b><br>0x00: не используется<br>0x01: f / 1.<br>0x02: f / 2.<br>.....и т.д.<br>В режиме <b>IrDA Normal</b> устанавливать 0x01.<br>В режиме работы со <b>смарт-картами</b> используются только разряды PSC[5:0] и полученная частота автоматически умножается на 2. |
| GT[7:0]        | Максимальное количество бит, передаваемых в смарт-карту за один сеанс связи. Передав это количество бит, передатчик останавливается.                                                                                                                                                                                                                     |

## Flash – память, варианты загрузки и защита программ от копирования.

В STM3210xxx под Flash-память программ выделено адресное пространство начиная с адреса 0x00000000 по 0x1FFF FFFF (0,5 Гбайт), под ОЗУ - начиная с адреса 0x2000 0000 по 0x3FFFFFFF. Область памяти начиная с адреса 0x08000000 называется Main memory, в ней хранится пользовательская программа.

Область с адреса 0x1FFFB000 по 0x1FFFF7FF (18 Кбайт) – так называемая “System memory” предназначена для хранения загрузчика, позволяющего загрузить пользовательскую программу через USART. Эта область недоступна для пользователя.

Область памяти с адреса 0x1FFF F800 по 0x1FFF80F (16 байт) предназначена для хранения опций – Options byte

| Состояние входов |       | Режим загрузки    | Назначение                                                                                                                                       |
|------------------|-------|-------------------|--------------------------------------------------------------------------------------------------------------------------------------------------|
| BOOT1            | BOOT0 |                   |                                                                                                                                                  |
| x                | 0     | Main Flash memory | Загрузка начинается с адреса 0x08000000, т.е. загружается пользовательская программа.                                                            |
| 0                | 1     | System memory     | Загрузка начинается с адреса 1FFFB000, т.е. начинает работать программа-загрузчик, позволяющая через USART загрузить пользовательскую программу. |
| 1                | 1     | Embedded SRAM     | Загрузка с адреса 0x2000 0000, т.е. с ОЗУ.                                                                                                       |

Для работы в Keil-4 с отладчиками необходимо выбрать вариант загрузки “ Main Flash memory ”.

### Option byte (Биты опций)

Расположение опций в Flash-памяти

| Address     | [31:24] | [23:16] | [15:8] | [7:0] |
|-------------|---------|---------|--------|-------|
| 0x1FFF F800 | nUSER   | USER    | nRDP   | RDP   |
| 0x1FFF F804 | nData1  | Data1   | nData0 | Data0 |
| 0x1FFF F808 | nWRP1   | WRP1    | nWRP0  | WRP0  |
| 0x1FFF F80C | nWRP3   | WRP3    | nWRP2  | WRP2  |

| Байт   | Назначение                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |
|--------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| nUSER  | (Состояние байта по умолчанию <b>0x00</b> )                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| USER   | <p>[23:19] – резервная область</p> <p>nRST_STDBY [18] - Внешний сигнал NRST :</p> <p>0: Переводит контроллер в режим STDBY.</p> <p>1: Перезагружает контроллер. ***</p> <p>nRST_STOP [17] - Внешний сигнал NRST :</p> <p>0: Переводит контроллер в режим STOP.</p> <p>1: Перезагружает контроллер. ***</p> <p>WDG_SW[16] - Независимый сторожевой таймер IWDG</p> <p>0: Включается аппаратно.</p> <p>1: Включается программно. ***</p> <p>*** - состояние по умолчанию.</p> |
| nRDP   |                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
| RDP    | Байт разрешения считывания программы, записанной во Flash-память.<br><b>0xA5</b> – считывание программы разрешено.                                                                                                                                                                                                                                                                                                                                                          |
| nData1 |                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
| Data1  | Здесь могут храниться пользовательские данные.                                                                                                                                                                                                                                                                                                                                                                                                                              |

|        |                                                |
|--------|------------------------------------------------|
| nData0 |                                                |
| Data0  | Здесь могут храниться пользовательские данные. |
| nWPR1  |                                                |
| WPR1   | Байты защиты Main memory от записи [15:8]      |
| nWPR0  |                                                |
| WPR0   | Байты защиты Main memory от записи [7:0]       |
| nWPR3  |                                                |
| WPR3   | Байты защиты Main memory от записи [31:24]     |
| nWPR2  |                                                |
| WPR2   | Байты защиты Main memory от записи [23:16]     |

Байты WPRx предназначены для защиты Main Memory от записи, причём у микроконтроллеров с объёмом памяти до 128 килобайт за защиту блока памяти размером 4 килобайта отвечает один бит WPRx. Так для защиты от записи 8 килобайт необходимо в WPR0 записать 0xFC, для защиты от записи 128 килобайт необходимо записать в WPR0–WPR3 0x00.

У микроконтроллеров с объёмом памяти 256 – 512 килобайт один бит WPRx так же отвечает за защиту 4 килобайт памяти, а бит WPR3[7] - за защиту всей оставшейся памяти.

### Защита от чтения.

1. Установить байт RDP в любое состояние, отличное от 0xA5.
2. Перезагрузить микроконтроллер.

### Защита от записи.

1. Установить “0” в соответствующих разрядах WPRx.
2. Перезагрузить микроконтроллер.

### Снятие защиты.

1. Установить PDR и WPRx в состояние 0xFF.
2. Установить PDR в состояние 0xA5.
3. Перезагрузить микроконтроллер. Сразу же после перезагрузки будет запущен механизм стирания всей памяти.

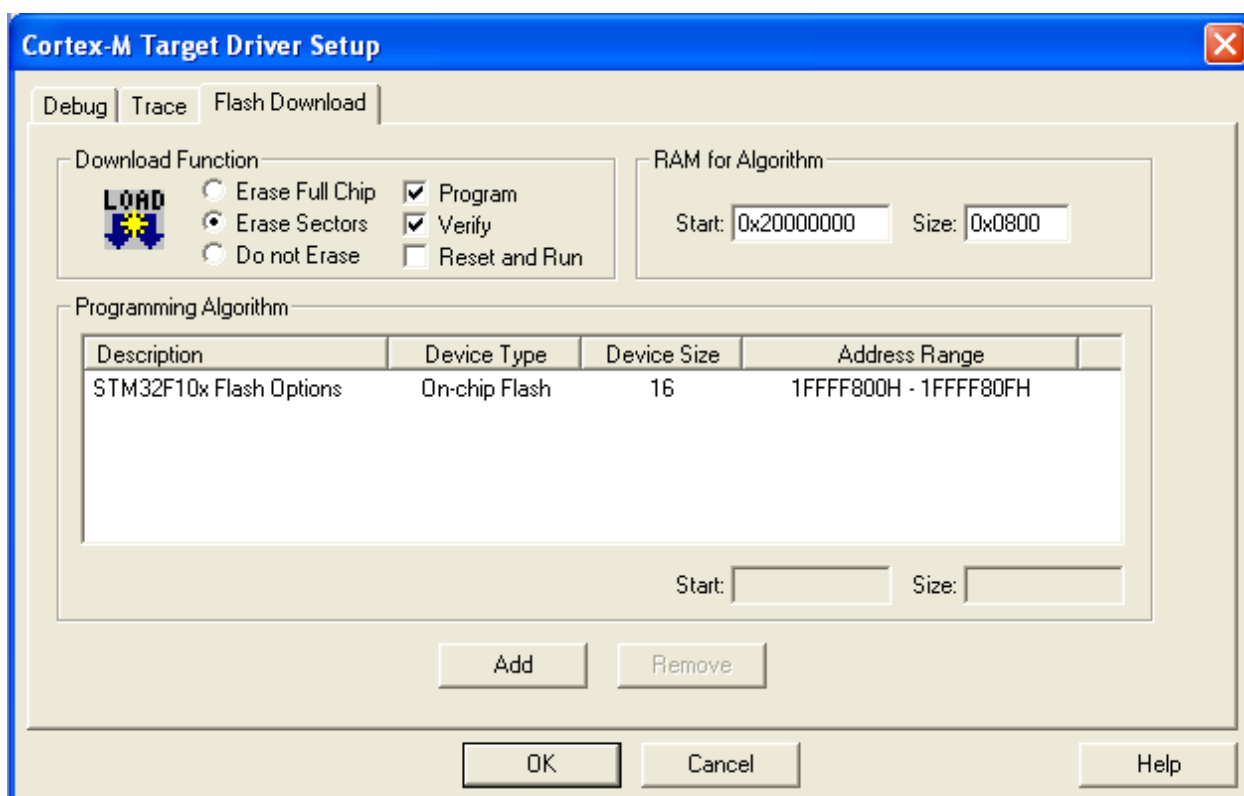
### Использование Keil-4 для изменения защиты.

1. Создать HEX-файл, в котором указать требуемые изменения в опциях защиты.
2. Заменить HEX-файл проекта созданным файлом, причём имя созданного файла должно быть таким же, как и имя родного HEX-файла проекта.
3. Настроить загрузчик на загрузку 16 бит в память, начиная с адреса 0x1FFF F800
4. Загрузить файл.



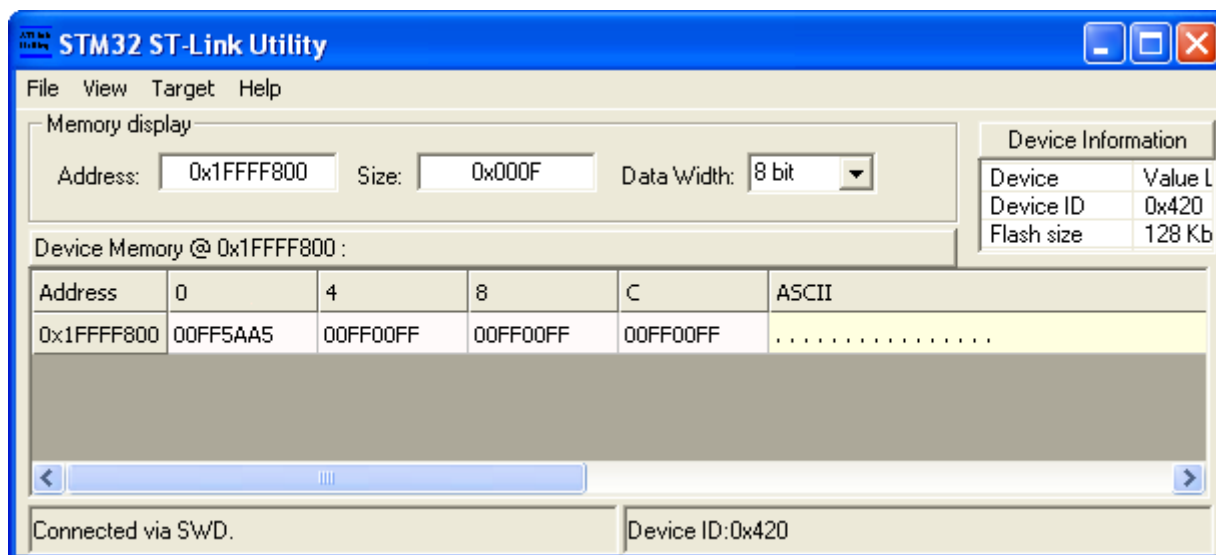
**Примечание:** 1. Если производится снятие защиты, то должно быть 2 HEX-файла, т.к. сначала PDR устанавливается в 0xFF, а затем в 0xA5.

2. Для выбора области загрузки необходимо зайти в “Options for Target ...” на вкладку “Utils” и нажать кнопку “Settings”.



### Использование STM32 STLink Utils для изменения защиты.

1. Прочитать 16 байт начиная с области 0x1FFF F800.



2. Внести соответствующие изменения, произвести стирание и запись.