



ГЛАВНАЯ

КОНТАКТЫ

АДМИНИСТРИРОВАНИЕ

ПРОГРАММИРОВАНИЕ

ССЫЛКИ



English Version



Die deutsche Version



карта сайта

поиск...

нашли опечатку?

Пожалуйста, сообщите об этом - просто выделите ошибочное слово или фразу и нажмите **Shift Enter**.

Поделиться:



Добавить рекламное объявление

LC72131, LC72131M - PLL синтезатор частоты AM/FM

Написал microsin

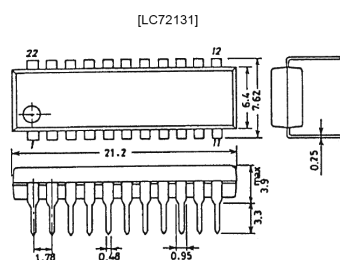
20.05.2010

Перевод даташита **Sanyo** на микросхему **LC72131, LC72131M**.

[Обзор]

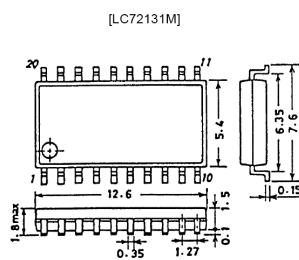
Микросхемы LC72131 и LC72131M являются синтезаторами частоты с применением **PLL** (Phase Locked Loop, **ФАПЧ**, Фазовая Подстройка Частоты) для использования в тюнерах переносных магнитол и приемников. С помощью этих микросхем легко реализуются быстродействующие тюнеры AM/FM.

3059-DIP22S



SANYO: DIP22S

3036B-MFP20

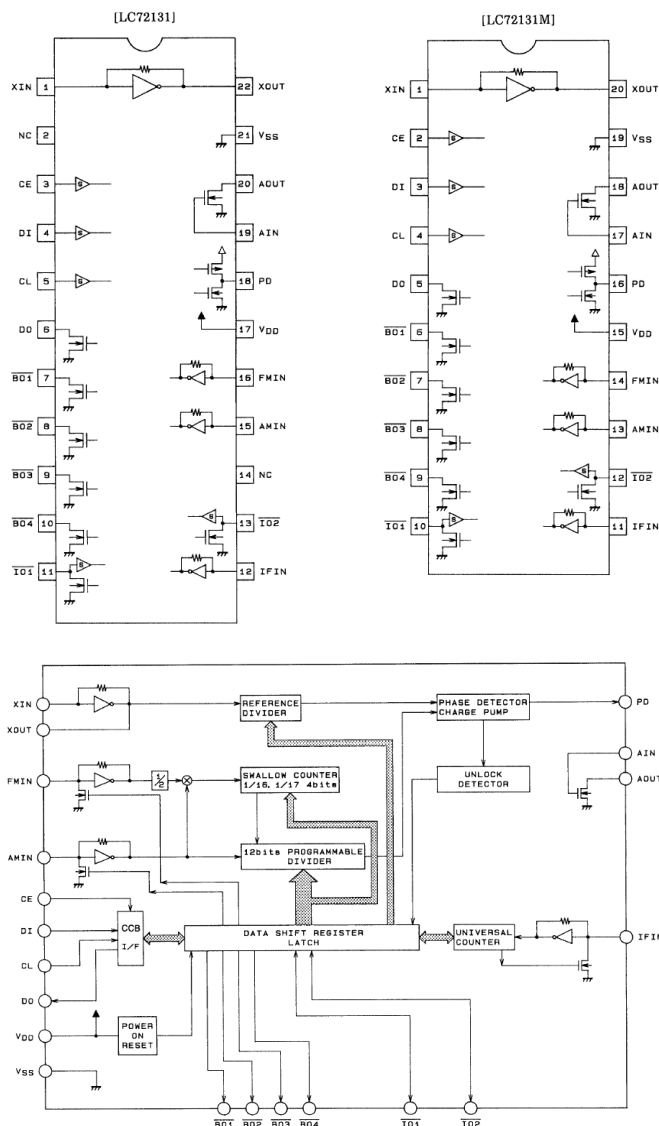


SANYO: MFP20

[Функциональное описание]

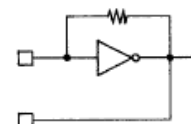
1. Высокоскоростные программируемые делители:
 - FMIN для диапазона 10..160 МГц (применяется "глутатель импульсов" pulse swallower с предделителем на 2).
 - AMIN для диапазона 2..40 МГц (применяется только pulse swallower, без предделителя на 2 и прямого деления частоты).
 - AMIN для диапазона 0.5..10 МГц (применяется прямое деление частоты).
2. IF счетчик (частотомер) - IFIN 0.4..12 МГц частотомер AM/FM.
3. 12 выбираемых опорных частот (при частоте кварца 4.5 или 7.2 МГц) 1, 3, 5, 9, 10, 3.125, 6.25, 12.5, 15, 25, 50 и 100 кГц. Значение опорной частоты либо равно, либо в два раза меньше шага перестройки синтезатора по частоте (зависит от использования предделителя на 2).
4. Компаратор фазы
 - управление мертвой зоной
 - узел детектирования разблокировки
 - узел очистки деадлока
5. Встроенный MOS-транзистор для построения активного фильтра нижних частот
6. Порты ввода-вывода (I/O)
 - 4 порта, работающих только на вывод
 - 2 порта, работающих либо на вывод, либо на ввод (направление вывода программируется битами IOC1, IOC2 в режиме IN2).
 - поддерживается вывод, привязанный к частоте тактов.
7. Последовательный ввод/вывод данных - при обмене данными с управляющим контроллером применяется формат CCB
8. Напряжение питания 4.5..5.5 вольт, рабочая температура -40..85 °C
9. Корпуса DIP22S и MFP20

[Назначение выводов]



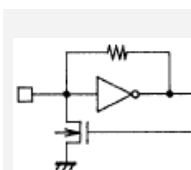
ИМЯ	№ НОЖКИ (MFP20)	ТИП	ОПИСАНИЕ	конфигурация
-----	-----------------------	-----	----------	--------------

XIN 1(1)
XOUT 22(20) Xtal OSC подключение кварца 4.5 или 7.2 МГц



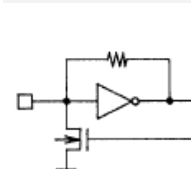
FMIN 16(14) вход для частоты от гетеродина

1. Вход FMIN работает, когда бит DVS во входных данных равен 1
2. Диапазон частот входа FMIN 10..160 МГц
3. Входной сигнал проходит через делитель частоты на 2 и далее проходит на счетчик, пропускающий импульсы (swallow counter)
4. Делитель может быть в диапазоне 272..65535. Но поскольку на входе еще стоит делитель на 2, то действительный коэффициент деления удваивается

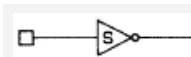


AMIN 15(13) вход для частоты от гетеродина

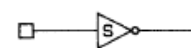
1. Вход AMIN работает, когда бит DVS во входных данных равен 0
2. Когда входной бит SNS установлен в 1, то диапазон входных частот 2..40 МГц, сигнал проходит прямо на счетчик пропуска импульсов (swallow counter), коэффициент деления может быть 272..65535
3. Когда входной бит SNS сброшен в 0, диапазон входных частот 0.5..10 МГц, сигнал поступает прямо на 12-битный делитель частоты, коэффициент деления может быть в диапазоне 4..4095



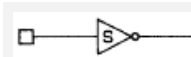
CE 3(2) разрешение кристалла Установите эту ножку в лог. 1, когда нужно ввести (DI) или вывести (DO) данные



CL 5(4) такты Такты синхронизации для ввода (DI) и вывода (DO) последовательных данных



DI 4(3) вход данных Вход последовательных данных, передаваемых от управляющего микроконтроллера в LC72131



DO 6(5) выход данных Выход последовательных данных, передаваемых от LC72131 в управляющий микроконтроллер

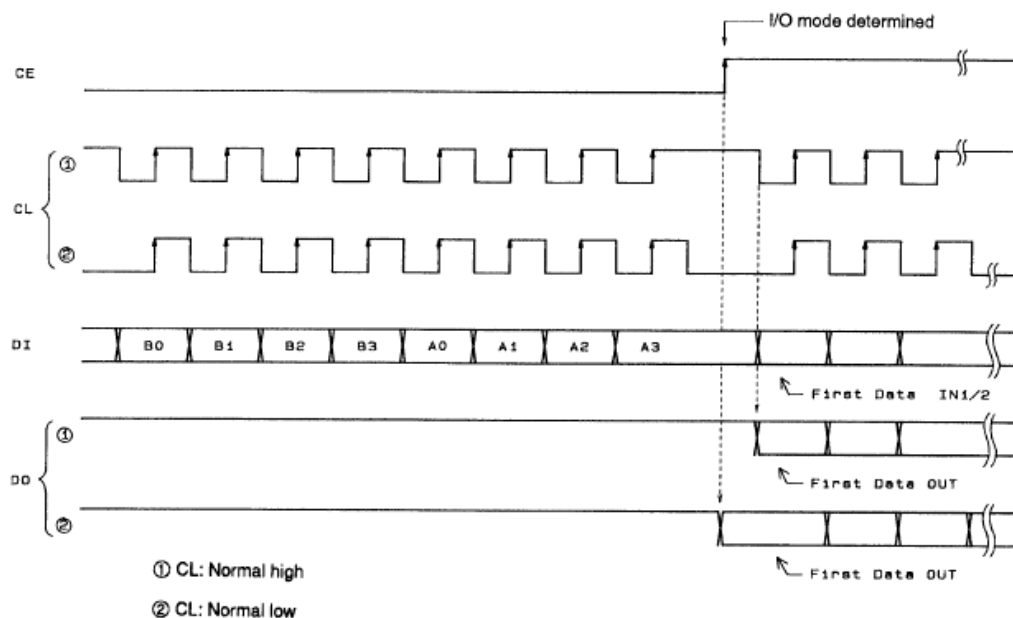


V_{DD}	17(15)	питание	Ножка для подачи напряжения питания (VDD = 4.5 .. 5.5 вольт). Когда подается питание, то запускается внутренний узел сброса LC72131	
V_{SS}	21(19)	земля	Общий провод и отрицательный вывод для напряжения питания LC72131	
~BO1 ~BO2 ~BO3 ~BO4	7(6) 8(7) 9(8) 10(9)	выходной порт	- Порты, специально предназначенные только для вывода - Состояние портов определяется битами ~BO1..~BO4 входных данных (0 - разомкнуто, 1 - лог. 0). - На ножку ~BO1 может быть выведен сигнал 8 Гц, для этого бит TVC должен быть установлен в 1. - Особое внимание нужно уделять выходу ~BO1, так как у неё выходное сопротивление больше, чем у ~BO2..~BO4. - При подключении питания все порты ~BO1..~BO4 устанавливаются в состояние "разомкнуто".	
~IO1 ~IO2	11(10) 13(12)	I/O порт	- Ножки портов I/O, которые могут работать на ввод и на вывод (по выбору). - Направление (вход или выход) определяется битами IOC1 и IOC2 (0 - входной порт, 1 - выходной). - В случае использования портов как входов их состояние можно прочитать через ножку DO (0 - низкий уровень, 1 - высокий). - В случае использования портов как выходов их состояние можно определяется битами IO1 и IO2 (0 - разомкнуто, 1 - лог. 0). - После подключения питания эти ножки работают по умолчанию как входы.	
PD	18(16)	выход накачки заряда (charge pump)	Выход накачки заряда PLL. Когда частота от гетеродина, вырабатываемая от входа FMIN и AMIN путем деления на N, больше чем опорная частота, то на выходе PD появляется лог. 1. Аналогично, если вырабатываемая от гетеродина частота меньше опорной, то на PD появляется лог. 0. При совпадении частот ножка PD переключается в отключенное (высокоимпедансное) состояние.	
AIN AOUT	19(17) 20(18)	усилительный LPF (Low Pass Filter) транзистор	n-канальный MOS транзистор, используемый для активного фильтра низких частот PLL	
IFIN	12(11)	вход счетчика частоты IF (вход частотомера)	- Может принимать частоту в диапазоне 0.4 .. 12 МГц. - Входной сигнал напрямую передается на счетчик IF. - Результат счета выводится старшим битом вперед (MSB бит первый) с помощью вывода DO. - Поддерживается 4 периода измерения: 4, 8, 32 и 64 мс.	

[Методы последовательного обмена данными]

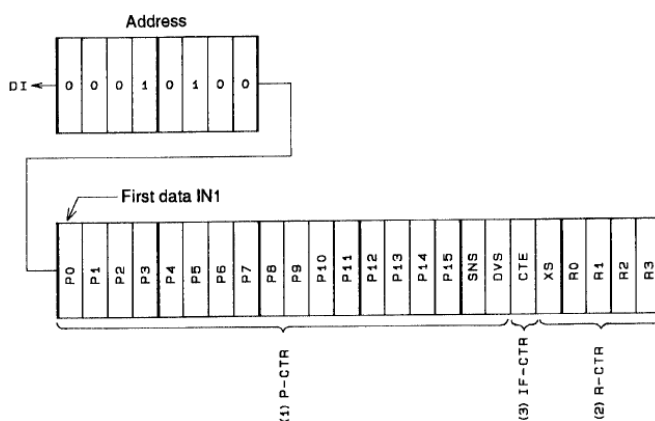
Обмен данными с микросхемой LC72131 происходит по протоколу **Sanyo CCB** (computer control bus), или последовательная шина аудио LSI. Всего используется 3 режима передачи - **IN1** (адрес 0x82), **IN2** (адрес 0x92), **OUT** (адрес 0xA2). Адрес задается битами B0..B3, A0..A3.

Режим I/O	Адрес								Функция
	B0	B1	B2	B3	A0	A1	A2	A3	
IN1 (82h)	0	0	0	1	0	1	0	0	- режим ввода данных для управления (последовательный ввод данных) - вводится 24 бита данных - см. структуру DI Control Data (последовательный ввод данных) для подробной расшифровки назначения входных данных
IN2 (92h)	1	0	0	1	0	1	0	0	- режим ввода данных для управления (последовательный ввод данных) - вводится 24 бита данных - см. структуру DI Control Data (последовательный ввод данных) для подробной расшифровки назначения входных данных
OUT (A2h)	0	1	0	1	0	1	0	0	- режим вывода данных (последовательный вывод данных) - количество выводимых бит равно количеству тактовых импульсов - см. структуру DO Control Data (последовательный вывод данных) для подробной расшифровки назначения выходных данных

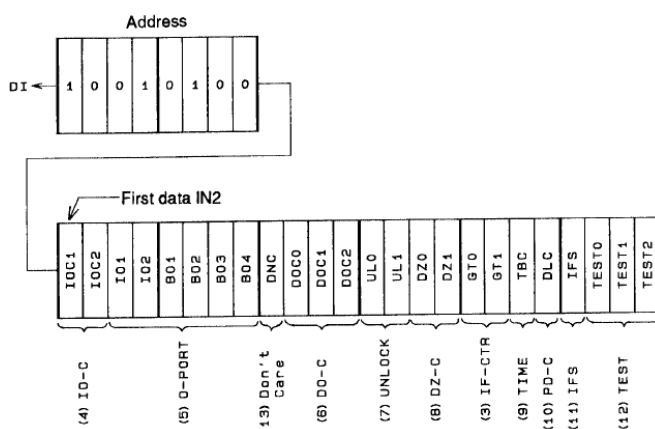


[Структура DI Control Data (последовательный ввод данных)]

режим IN1



режим IN2



[Назначение бит данных DI]

1. Данные для программируемого делителя **P0..P15**, биты **DVS, SNS**.

Биты P0..P15 предназначены для программирования коэффициента деления делителя частоты. Бит P15 является старшим (MSB). Назначение младших бит (LSB) зависит от состояния бит DVS и SNS (* звездочка означает, что в этом случае состояние бита не играет роли).

DVS	SNS	LSB	Коэффициент деления (N)	Действительный коэффициент деления
1	*	P0	272..65535	Удвоенное значение P0..P15
0	1	P0	272..65535	Значение P0..P15
0	0	P4	4..4095	Значение P4..P15

Замечание: состояние бит P0..P3 игнорируется, когда младшим битом (LSB) является бит P4.

Кроме влияния на коэффициент деления, биты DVS и SNS влияют на выбор входа делителя частоты (AMIN или FMIN) и рабочий диапазон частот.

DVS	SNS	вход делителя частоты	рабочий диапазон частот
-----	-----	-----------------------	-------------------------

1	*	FMIN	10..160 МГц
0	1	AMIN	2..40 МГц
0	0	AMIN	0.5..10 МГц

2. Делитель для генератора опорной частоты, биты R0..R3. Бит выбора частоты кварцевого резонатора XS.

В биты R0..R3 записываются данные для выбора опорной частоты (fref). Опорная частота определяет шаг перестройки синтезатора частоты. Т. е., например, для магнитолы RX-ES20 в диапазоне **FM** (87.5..108 МГц) применяется fref = 25 кГц, что означает шаг перестройки частоты 50 кГц (так как включен дополнительный предделитель на 2), а в диапазоне **AM** (522..1629 кГц) применяется fref = 9 кГц, что означает шаг перестройки частоты 9 кГц.

R3	R2	R1	R0	Опорная частота (кГц)
0	0	0	0	100
0	0	0	1	50
0	0	1	0	25
0	0	1	1	25
0	1	0	0	12.5
0	1	0	1	6.25
0	1	1	0	3.125
0	1	1	1	3.125
1	0	0	0	10
1	0	0	1	9
1	0	1	0	5
1	0	1	1	1
1	1	0	0	3
1	1	0	1	15
1	1	1	0	запрет PLL, останов Xtal OSC
1	1	1	1	запрет PLL

Замечание:запрет PLL блокирует делитель частоты и счетчик IF (частотомер), при этом ножки FMIN, AMIN, IFIN устанавливаются в pull-down состояние (подтяжка к земле), и ножка накачки заряда фазового детектора PD переходит в состояние высокого сопротивления (отключенное состояние).

Бит XS выбирает тактовую частоту используемого кварцевого резонатора. Если XS=0, то нужно использовать кварц на **4.5** МГц, а если XS=1, то нужен кварц на **7.2** МГц. По умолчанию после включения питания выбрана частота кварца 7.2 МГц.

3. Данные для настройки и запуска частотомера IF - биты CTE, GT0, GT1. См. также IFS.

Бит CTE нужен для запуска частотомера. Если CTE=1, то счетчик частотомера запускает счет, если CTE=0, то счетчик сбрасывается.

Биты GT0 и GT1 определяют период измерения счетчика IF.

GT1	GT0	Время измерения, мс	Время ожидания, мс
0	0	4	3..4
0	1	8	3..4
1	0	32	7..8
1	1	64	7..8

Для подробной информации см. "Структура счетчика IF".

4. Режим работы портов ввода/вывода ~IO1 и ~IO2, биты IOC1 и IOC2.

Запись в эти биты 0 переключают соответствующий порт в режим ввода, запись 1 - в режим вывода. По умолчанию, после включения питания эти порты работают как входы.

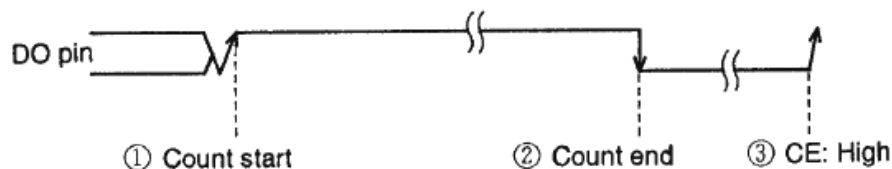
5. Данные для выходных портов, биты BO1..BO4, IO1, IO2. См. также IOC1, IOC2.

В этих битах содержатся данные, которые определяют состояние выходного порта. Если в бит записан 0, то соответствующий выход порта разомкнут (ключ не проводит ток), а если записан 1, но на выходе низкий уровень (ключ проводит ток). По умолчанию, после включения питания в эти биты записан 0 (все выходные ключи в разомкнутом состоянии).

6. Биты DOC0, DOC1, DOC2 для управления поведением вывода DO. См. также UL0, UL1, CTE, IOC1, IOC2.

DOC2	DOC1	DOC0	состояние ножки DO
0	0	0	разомкнуто
0	0	1	лог. 0, когда определено состояние разблокировки (unlock state)
0	1	0	end-UC - проверка окончания счета счетчика IF (частотомер)
0	1	1	разомкнуто
1	0	0	разомкнуто
1	0	1	состояние ножки ~IO1. Переходит в состояние разомкнуто, если ножка ~IO1 работает как выходной порт.
1	1	0	состояние ножки ~IO2. Переходит в состояние разомкнуто, если ножка ~IO2 работает как выходной порт.
1	1	1	разомкнуто

Как работает сигнал end-UC (проверка завершения счета счетчика IF в частотомере):



- (1) когда сигнал end-UC установлен, и счетчик IF начал счет (например, при изменении бита CTE из 0 в 1), ножка DO автоматически переходит в состояние разомкнуто.
- (2) когда завершается измерительный счет счетчика IF, ножка переходит в состояние лог. 0, показывая этим, что процесс счета завершен.
- (3) в зависимости от последовательных данных ввода-вывода (ножка CE находится в состоянии лог. 1) ножка DO переходит в состояние разомкнуто.

Внимание! Состояние ножки DO будет разомкнуто во время ввода последовательных данных (в режимах IN1 или IN2 при состоянии CE в лог. 1), независимо от состояния управляющих данных DOC0..DOC2. Также ножка DO во время вывода данных (режим OUT при состоянии CE в лог. 1) будет предоставлять внутренние данные в соответствии с синхронизацией по ножке CL, независимо от состояния управляющих данных DOC0..DOC2.

7. Данные детектирования рассинхронизации (unlock detection) **UL0, UL1**. См. также DOC0, DOC1, DOC2.

Эти биты выбирают длительность детектирования ошибки фазы (fiE) для проверки захвата PLL. Фазовая ошибка выше указанной ширины детектирования рассматривается как состояние рассинхронизации.

UL1	UL0	ширина детектирования fiE	выход детектора
0	0	остановлено	разомкнуто
0	1	0	fiE выводится напрямую
1	0	+- 0.55 мкс	fiE расширяется на 1..2 мс
1	1	+- 1.11 мкс	fiE расширяется на 1..2 мс

В состоянии рассинхронизации ножка DO переходит в лог. 0 и бит UL в потоке выводимых данных становится в лог. 0.

8. Управляющие данные для компаратора фазы - биты **DZ0, DZ1**.

Эти биты управляют мертвой зоной фазового компаратора.

DZ1	DZ0	Режим для мертвой зоны
0	0	DZA
0	1	DZB
1	0	DZC
1	1	DZD

Ширина мертвой зоны DZA < DZB < DZC < DZD

9. Вывод опорной частоты 8 Гц - бит **TBC** (Time Base Clock). См. также BO1.

Если установить бит TBC в лог. 1, то на выходе ~BO1 появляется сигнал 8 Гц (частота вырабатывается от кварца) с коэффициентом заполнения 40%. В этом режиме состояние бита BO1 не играет никакого значения.

10. Управление выходом накачки заряда PD - бит **DLC** (DeadLock Clean).

Если DLC=0, то выход накачки работает как обычно, если DLC=1, то на выходе лог. 0. Если возникает мертвая блокировка (deadlock), например по причине понижения до нуля управляющего напряжения VCO (Vtune) и остановки генератора VCO, deadlock может быть сброшен путем принудительного перевода выхода накачки заряда в состояние низкого уровня и установки Vtune на уровень V_{CC} (это узел очистки deadlock).

11. Управление счетчиком IF (частотомер) - бит **IFS**.

В нормальном состоянии этот бит должен быть установлен в 1. Если установить IFS в 0, то система переходит в режим уменьшения чувствительности, и чувствительность снижается с 10 до 300 mVrms. См. подробнее "IF Counter Operation".

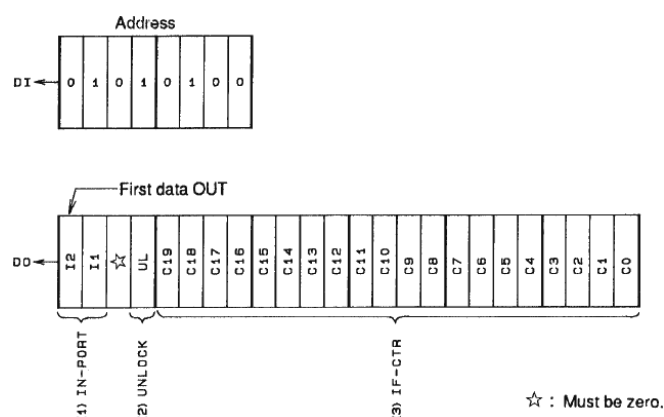
12. Тестовые данные LSI - биты **TEST0..TEST3**.

Все биты TEST0..TEST3 должны быть установлены в 0. Эти биты устанавливаются автоматически в 0 после включения питания.

13. Не используемый бит DNC, его состояние должно быть установлено в 0.

[Структура DO Output Data (последовательный вывод данных)]

режим OUT



☆ : Must be zero.

1. Данные состояния портов ввода/вывода - биты **I1, I2**. См. также IOC1, IOC2.

Состояние этих бит защелкивается с состояния ножек IO1 и IO2 портов ввода/вывода. Величины бит I1 и I2 повторяют состояние уровня на соответствующих ножках портов $\sim$ IO1 и $\sim$ IO2, независимо от того как они настроены - на вход или на выход.

2. Данные о разблокировании PLL - бит **UL** (PLL unlock). См. также UL0, UL1.

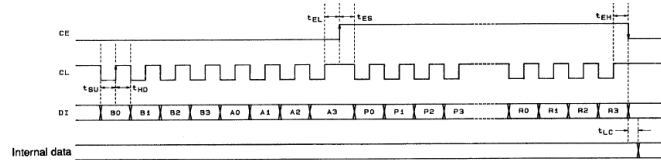
Если UL=0, то означает разблокировано, если UL=1, то значит заблокировано или активен режим остановки детектирования.

3. Двоичные данные со счетчика IF (частотомер) - биты **C19..C0**. См. также CTE, GT0, GT1.

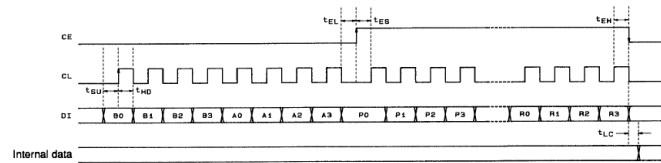
Эти 20 бит данных защелкиваются с выхода счетчика IF. C19 старший бит (MSB), C0 младший бит (LSB).

[Последовательный ввод данных (IN1/IN2) $t_{SU}, t_{HD}, t_{EL}, t_{ES}, t_{EH} \geq 0.75 \text{ мкс}$, $t_{LC} \leq 0.75 \text{ мкс}$]

CL в исходном состоянии лог. 1

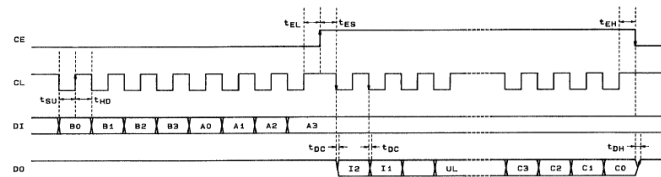


CL в исходном состоянии лог. 0

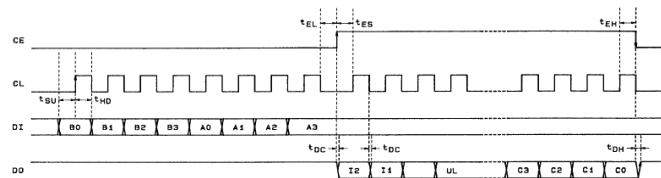


[Последовательный вывод данных (OUT) $t_{SU}, t_{HD}, t_{EL}, t_{ES}, t_{EH} \geq 0.75 \text{ мкс}$, $t_{DC}, t_{DH} \leq 0.35 \text{ мкс}$]

CL в исходном состоянии лог. 1



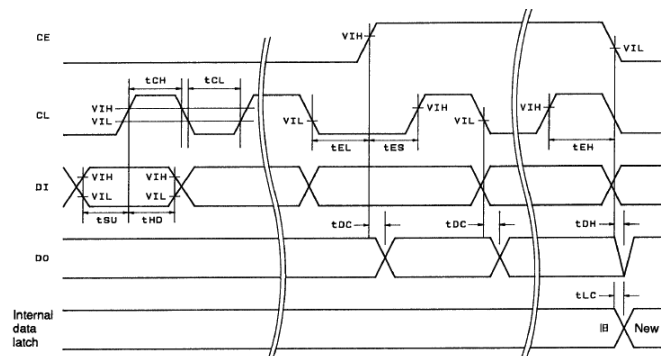
CL в исходном состоянии лог. 0



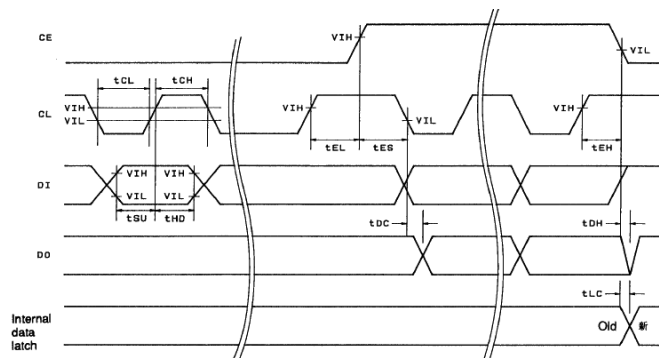
Примечание: поскольку ножка DO является выходом с открытым стоком на п-канальном полевом транзисторе, время изменения данных (t_{DC} и t_{DH}) будут отличаться в зависимости от значения номинала pull-up резистора и паразитной емкости дорожек печатной платы.

[Диаграммы времени обмена данными]

Когда CL в паузах находится в состоянии лог. 0

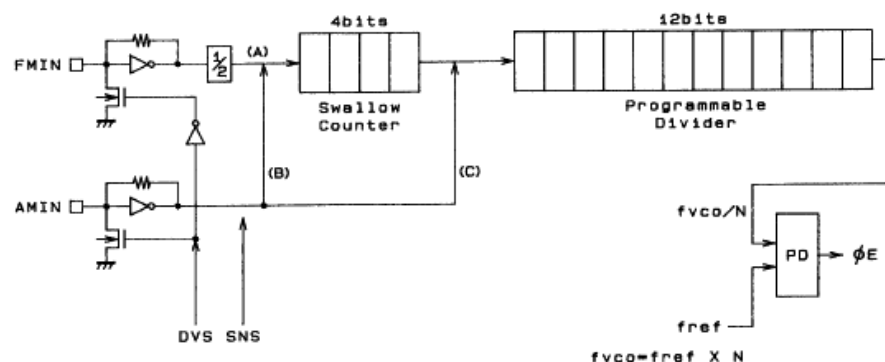


Когда CL в паузах находится в состоянии лог. 1



Параметр	Символ	Ножки	Условия	MIN	норм	MAX	единицы
Время установки данных	t_{SU}	DI, CL		0.75			мкс
Время удержания данных	t_{HD}	DI, CL		0.75			мкс
Время такта на лог. 0	t_{CL}	CL		0.75			мкс
Время такта на лог. 1	t_{CH}	CL		0.75			мкс
Время ожидания CE	t_{EL}	CE, CL		0.75			мкс
Время установки CE	t_{ES}	CE, CL		0.75			мкс
Время удержания CE	t_{EH}	CE, CL		0.75			мкс
Время изменения данных для защелки	t_{LC}					0.75	мкс
Время вывода данных	t_{DC}	DO, CL	Может меняться в зависимости от величины pull-up резистора и емкости PCB монтажа.			0.35	мкс
	t_{DH}	DO, CE					

[Структура программируемого делителя]



DVS	SNS	вход	делитель	действительный коэф. деления N	диапазон вх. частот МГц
1	*	FMIN	272..65535	удвоенная величина делителя	10..160
0	1	AMIN	272..65535	величина делителя	2..40
0	0	AMIN	4..4095	величина делителя	0.5..10

Примечание: * - состояние бита SNS не имеет значения.

[Примеры расчета делителя]

1. Диапазон FM, шаг перестройки 50 кГц (DVS=1, SNS=*, вход FMIN). Частота приема FM RF = 90 МГц (IF= +10.7 МГц), частота гетеродина FM VCO = 100.7 МГц, PLL fref = 25 кГц (R0=1, R1=1, R2=0, R3=0).

Коэффициент, записываемый в P0..P15 равен (дополнительно делим на 2, так как работает встроенный делитель на 2):

$$FM\ VCO / (fref * 2) = 100700 / (25 * 2) = 2014\ (07DEh).$$

E				D				7				0			
0	1	1	1	1	0	1	1	1	1	1	0	0	0	0	0
P0	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15

2. Диапазон SW (короткие волны), шаг перестройки 5 кГц (DVS=0, SNS=1, выбран вход AMIN, работающий в режиме высоких частот). Частота приема SW RF = 21.75 МГц (IF= +450 кГц), частота гетеродина SW VCO = 22.20 МГц, PLL fref = 5 кГц (R0=0, R1=1, R2=0, R3=1).

Коэффициент, записываемый в P0..P15 равен:

$$SW\ VCO / fref = 22200 / 5 = 4440\ (1158h).$$

8				5				1				1											
0	0	0	1	1	0	1	0	1	0	0	0	1	0	0	0	1	0	0	0	1			
P0	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	SNS	DVS	CTE	XS	R0	R1	R2	R3

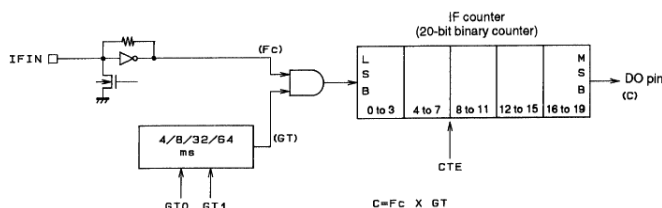
3. Диапазон MW (средние волны), шаг перестройки 10 кГц (DVS=0, SNS=0, выбран AMIN, работающий в диапазоне низких частот). Частота приема MW RF = 1000 кГц (IF= +450 кГц), частота гетеродина MW VCO = 1450 кГц.

Коэффициент, записываемый в P0..P15 равен:
MW VCO / fref = 1450 / 10 = 145 (091h).

				1				9				0											
*	*	*	*	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
P0	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	SNS	DVS	CTE	XS	R0	R1	R2	R3

[Структура частотомера (IF Counter)]

Частотомер, встроенный в LC72131, основан на 20-битном двоичном счетчике IF. Результат измерения (содержимое счетчика) может быть прочитан через ножку DO.



GT1	GT2	время измерения	
		период измерения (GT), мс	время одидаия (twu), мс
0	0	4	3..4
0	1	8	3..4
1	0	32	7..8
1	1	64	7..8

Частота на входе IF (Fc) измеряется путем подсчета количества импульсов (C), подсчитанных счетчиком IF за выбранный период измерения (GT).

$$F_c = \frac{C}{GT}$$

[Примеры расчета частоты по содержимому счетчика]

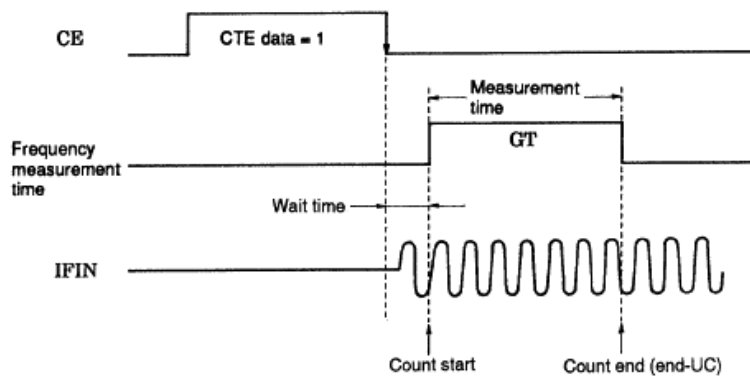
1. Когда период измерения (GT) 32 мс, содержимое счетчика (C) равно 342400 (53980 hex):
IF частота (Fc) = 342400 / 32 мс = 10.7 МГц

				5				3				9				8				0																																																														
12	11		UL	C19	0	1		C18	1	0		C17	0	1		C16	1	0		C15	0	1		C14	0	1		C13	1	0		C12	1	0		C11	1	0		C10	0	1		C9	0	1		C8	1	0		C7	1	0		C6	0	1		C5	0	1		C4	0	1		C3	0	1		C2	0	1		C1	0	1		C0	0	1

2. Когда период измерения (GT) 8 мс, содержимое счетчика (C) равно 3600 (E10 hex):
IF частота (Fc) = 3600 / 8 мс = 450 кГц

				0				0				E				1				0																							
12	11		UL	C19	0	C18	0	C17	0	C16	0	C15	0	C14	0	C13	0	C12	0	C11	1	C10	1	C9	1	C8	0	C7	0	C6	0	C5	0	C4	1	C3	0	C2	0	C1	0	C0	0

[Работа частотомера (IF Counter Operation)]



Перед запуском счетчика IF его нужно заранее сбросить, установив бит CTE в 0. Бит CTE передается в потоке последовательных данных (режим IN1). Счетчик IF запускается при установке бита CTE в 1. Последовательные данные зашелкиваются в микросхеме LC72131, когда сигнал CE падает от лог. 1 до лог. 0. Измеряемый сигнал IF должен быть подан на ножку IFIN в период времени между спадом сигнала CE в 0 и самое позднее в момент окончания времени ожидания (см. таблицу бит GT1, GT0). Далее значение счетчика IF должно быть прочитано после окончания периода измерения GT, при этом бит CTE должен быть выставлен в 1 (иначе счетчик IF сбросится).

Внимание! При работе счетчика IF частотомера управляющий микроконтроллер должен проверять состояние сигнала от радиостанции (IF-IC SD, station detect), и только после определения наличия сигнала SD микроконтроллер должен включить выход буфера сигнала IF и выполнить операцию подсчета сигнала IF. Техника автопоиска радиостанций, которая использует только счетчик IF, не рекомендуется, так как возможна утечка для выхода буфера IF, из-за чего возможен ошибочный останов процесса автопоиска на месте, где нет станции.

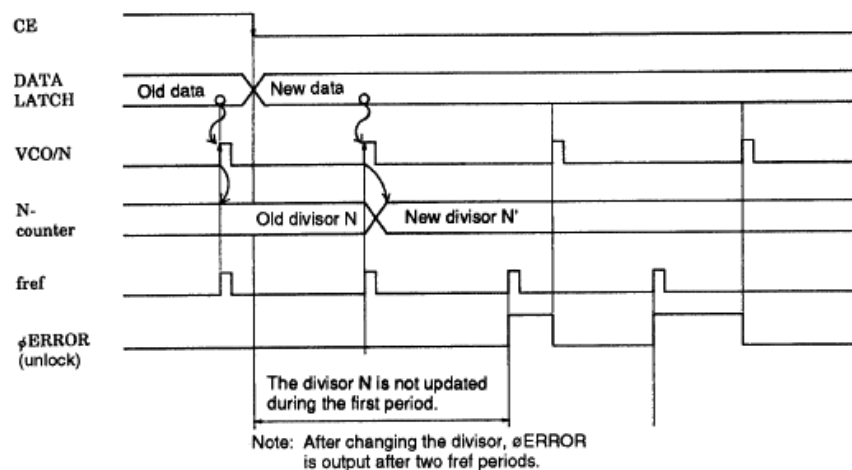
Стандартная минимальная чувствительность входа IFIN (частоты f в МГц):

бит IFS	$0.4 \leq f < 0.5$	$0.5 \leq f < 8$	$8 \leq f \leq 12$
1: нормальный режим	40 mVrms (0.1..3 mVrms)	40 mVrms	40 mVrms (1..10 mVrms)
0: режим уменьшения чувствительности	70 mVrms (10..15 mVrms)	70 mVrms	70 mVrms (30..40 mVrms)

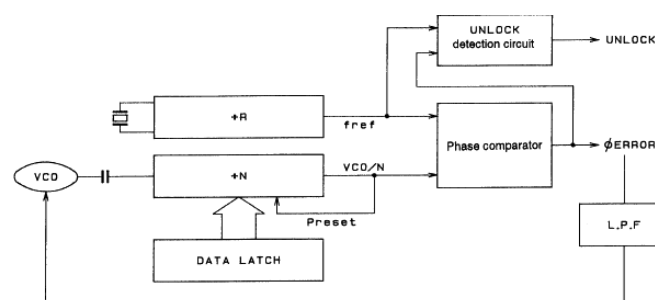
Примечание: величины в скобках - действительные параметры в качестве образца.

[Диаграммы времени детектирования рассинхронизации]

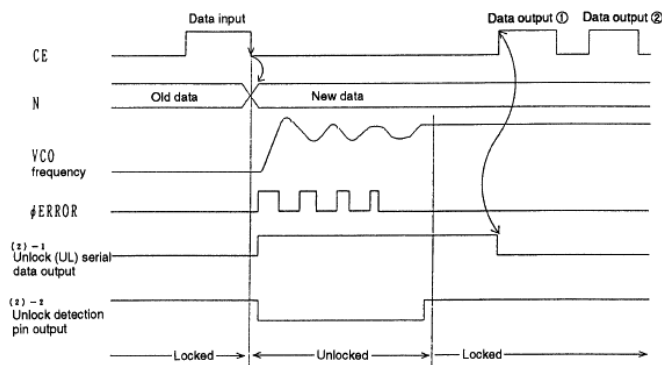
Состояние рассинхронизации частоты гетеродина и опорной частоты выполняется относительно периода (interval) опорной частоты (f_{ref}). Таким образом, определение рассинхронизации требует время большее, чем период опорной частоты. Однако немедленно после смены коэффициента деления N (частоты) детектирование рассинхронизации должно быть выполнено после ожидания как минимум двух периодов опорной частоты. На рисунке показаны диаграммы времени процесса детектирования состояния рассинхронизации.



Например, если частота f_{ref} 1 кГц, т. е. период равен 1 мс, то после изменения коэффициента деления N нужно ждать как минимум 2 мс перед проверкой состояния рассинхронизации.



На диаграмме ниже показан процесс работы программного обеспечения, определяющего состояние рассинхронизации.



В микросхеме LC72131 возможен вывод состояния рассинхронизации в потоке выводимых данных, это состояние запоминается в бите **UL**. Как только произошло событие рассинхронизации, то оно запоминается в бите UL и не сбрасывается, пока не будет выполнена операция ввода или вывода. На диаграмме показано место вывода данных в точке (1). Хотя частота гетеродина VCO стабилизировалась (locked, произошел захват PLL, или синхронизация), поскольку не было операции вывода данных с тех пор, как поменялся коэффициент деления N, то состояние рассинхронизации пока запомнилось в бите UL. В результате даже если частота уже застabilizировалась, система для микропроцессора остается в состоянии дестабилизации (рассинхронизации).

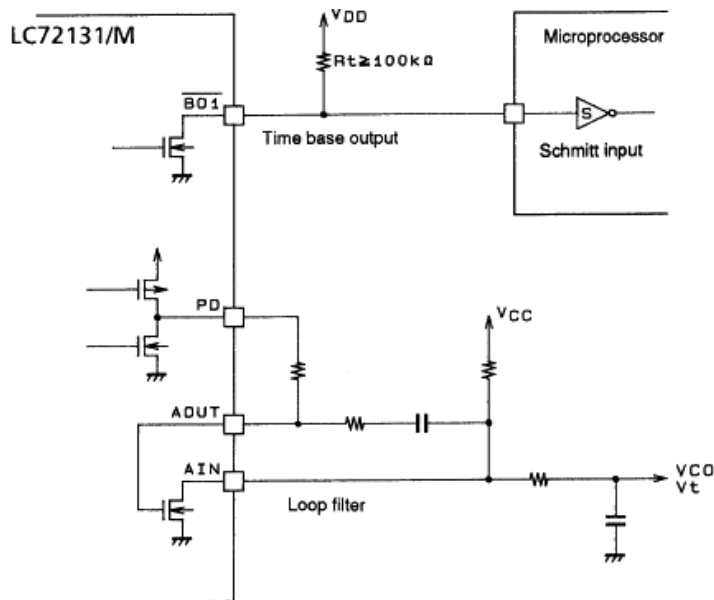
Таким образом, первое чтение в точке (1), которое было сразу за изменением коэффициента деления N, должно быть проигнорировано. Второе чтение данных в точке (2) покажет верные данные о состоянии синхронизации системы PLL. На диаграмме показан правильный алгоритм определения состояния захвата PLL.



Возможен прямой вывод состояния рассинхронизации на ножку DO (путем настройки управляющих битов DOC0..DOC2). Если состояние рассинхронизации выводится на ножку DO (лог. 1 - захват произошел, лог. 0 - рассинхронизация), то не требуется дополнительное чтение данных, описанное в алгоритме выше. После изменения коэффициента деления N состояние захвата может быть проверено сразу после ожидания двух периодов опорной частоты.

[Указания по использованию выхода стабильной частоты 8 Гц]

Может быть запущено генерирование частоты 8 Гц на ножке ~BO1 с помощью бита TBC. При этом на ножке ~BO1 должен использоваться pull-up резистор как минимум 100 кОм. Это необходимо для предотвращения ухудшения характеристики сигнал/шум (C/N) гетеродина VCO, когда применяется фильтр обратной связи (фильтр низкой частоты), основанный на встроенном транзисторе. Поскольку вывод частоты 8 Гц и фильтр низкой частоты имеют общий провод земли внутри микросхемы, то необходимо минимизировать ток от выхода частоты 8 Гц и устранить его влияние на работу фильтра низкой частоты. Также для предотвращения дребезга мы рекомендуем применить триггер Шмидта на входе микроконтроллера, принимающем сигнал частоты 8 Гц.



[Указания по мертвой зоне компаратора фазы]

DZ1	DZ0	Режим мертвой зоны	Узел накачки заряда (вывод PD, charge pump)	Мертвая зона
0	0	DZA	ON/ON	-- 0 сек
0	1	DZB	ON/ON	- 0 сек
1	0	DZC	OFF/OFF	+ 0 сек
1	1	DZD	OFF/OFF	++ 0 сек

Поскольку импульсы коррекции все равно присутствуют на выходе накачки заряда PD (когда схема накачки в состоянии ON/ON), даже если произошел захват и стабилизация PLL, то петля обратной связи может легко потерять стабильность. В этом месте нужно предпринять специальные меры, когда разрабатывается схема приемника.

В состоянии ON/ON могут быть следующие проблемы:

- side band generation (не смог перевести этот термин. Возможно имеется в виду генерация по соседнему каналу или в рабочем диапазоне) из-за утечки частоты.
- side band generation из-за огибающей импульсов коррекции и утечки низкой частоты.

Схемы, в которых есть мертвая зона (OFF/OFF), имеют хорошую стабильность петли обратной связи PLL, но у них трудно получить высокие параметры отношения сигнал/шум (C/N). С другой стороны, хотя просто получить высокое отношение сигнал/шум для схем без мертвой зоны, у них трудно получить высокую стабильность петли обратной связи PLL. Таким образом, может быть эффективным выбор режима DZA или DZB, который не имеет мертвой зоны, в приложениях, требующих на FM соотношение сигнал/шум свыше 90..100 dB, или в которых желательно увеличить границу несущей AM стерео. В другом случае мы рекомендуем выбрать DZC или DZD (режимы с мертвой зоной) - для приложений, которые не требуют высокое FM соотношение сигнал шум и в которых либо не используется AM стерео, либо может быть достигнута необходимая граница несущей AM стерео.

Мертвая зона может быть описана следующим образом. Компаратор фазы сравнивает частоту f_r (выход программируемого делителя) и опорную частоту f_r , как показано на рисунке 4. Хотя характеристики схемы (см. рисунок 5) таковы, что выходное напряжение пропорционально разности фаз (линия A), есть область (называемая мертвой зоной), в которой невозможно сравнить малую разность фазы в реальной микросхеме, поскольку имеются задержки, шумы и другие факторы (линия B). Величина мертвой зоны должна быть как можно меньше для аппаратуры с высоким отношением сигнал/шум.

Однако в аппаратуре широкого потребления применяется повышенная мертвая зона, поскольку она упрощает реализацию схемы. Это происходит потому, что возможна утечка радиосигнала от смесителя в гетеродин VCO и модулирование сигнала гетеродина VCO, когда приходит сигнал слишком высокого уровня. Когда мертвая зона узкая, схема выводит импульсы коррекции и этот вывод может модулировать гетеродин VCO и генерировать биения радиочастоты.

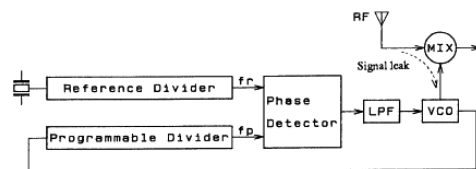


Рис. 4

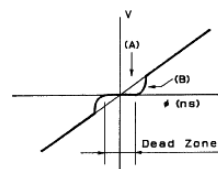


Рис. 5

[Указания по использованию выводов FMIN, AMIN, IFIN]

Развязывающие конденсаторы должны быть размещены как можно ближе к соответствующим ножкам. Желательна емкость порядка 100 пФ. В частности, если используется емкость 1000 пФ и выше для вывода IF (частотомер), время установки уровня смещения увеличивается и может произойти некорректный подсчет, связанный с временем ожидания.

[Указания по измерению частоты (счет по IF)]

Вместе с временем счета IF должен использоваться сигнал SD (определение сигнала радиостанции). Микроконтроллер должен анализировать присутствие сигнала IF-IC SD (детектирование станции) и включать буфер счетчика IF только в том случае, если присутствует сигнал SD. Схемы, в которых автопоиск реализован только подсчетом IF не рекомендуются, поскольку они могут остановиться в точке без сигнала из-за утечки выхода от буфера счетчика IF.

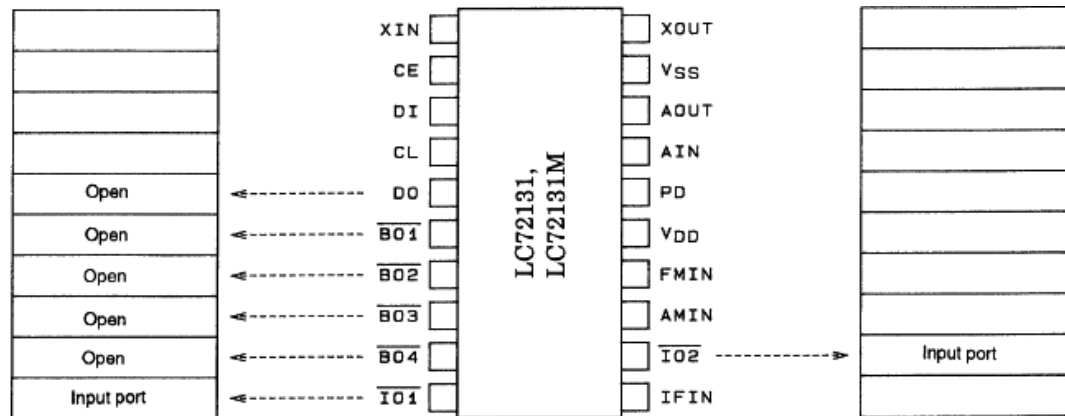
[Техника использования ножки DO]

В дополнение к использованию вывода DO как выхода данных, вывод DO может использоваться для проверки завершения счета счетчика IF и для выхода детектирования рассинхронизации.

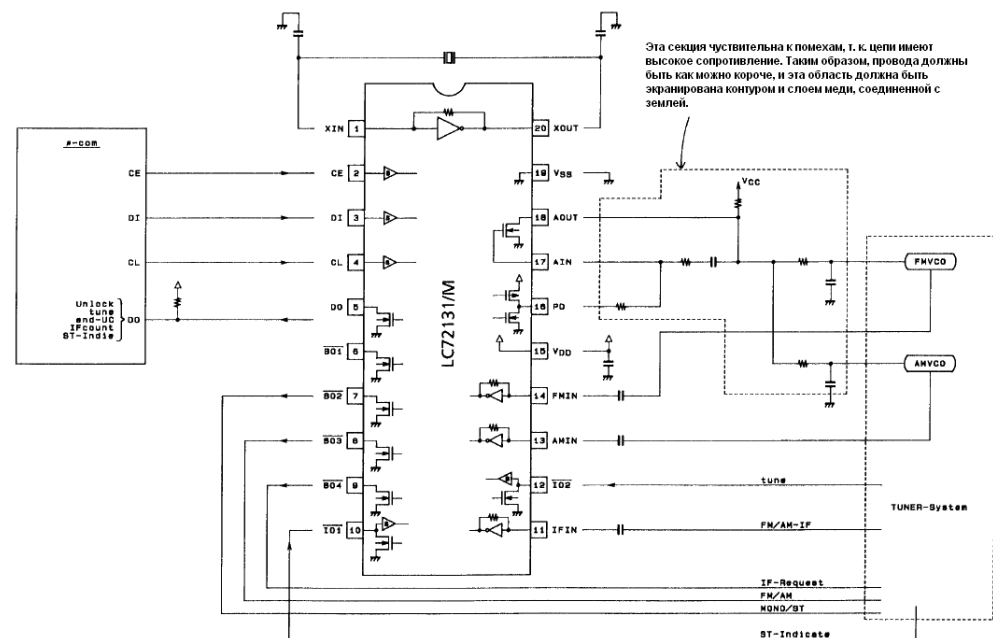
[Выводы для подключения питания]

Должен быть установлен между выводами V_{DD} и V_{SS} конденсатор как минимум 2000 пф для устранения шума. Конденсатор должен быть помещен как можно ближе к выводам V_{DD} и V_{SS} .

[Состояние ножек после спроса при подаче питания]



[Пример использования (корпус MFP20)]



[Absolute Maximum Ratings при температуре 25 °C, V_{SS} 0 V]

Absolute Maximum Ratings at $T_a = 25^\circ\text{C}$, $V_{SS} = 0\text{ V}$

Parameter	Symbol	Pins		Ratings	Unit
Supply voltage	V _{DD} max	V _{DD}		-0.3 to +7.0	V
Maximum input voltage	V _{IN1} max	CE, CL, DI, AIN		-0.3 to +7.0	V
	V _{IN2} max	XIN, FMIN, AMIN, IFIN		-0.3 to V _{DD} + 0.3	V
	V _{IN3} max	IO1, IO2		-0.3 to +15	V
Maximum output voltage	V _{O1} max	DO		-0.3 to +7.0	V
	V _{O2} max	XOUT, PD		-0.3 to V _{DD} + 0.3	V
	V _{O3} max	B01 to B04, IO1, IO2, AOUT		-0.3 to +15	V
	I _{O1} max	B01		0 to 3.0	mA
Maximum output current	I _{O2} max	AOUT, DO		0 to 6.0	mA
	I _{O3} max	B02 to B04, IO1, IO2		0 to 10.0	mA
	Allowable power dissipation	Pd max	Ta ≤ 85°C	LC72131: DIP22S LC72131M: MFP20	350 180
Operating temperature	Topr			-40 to +85	°C
Storage temperature	Tstg			-55 to +125	°C

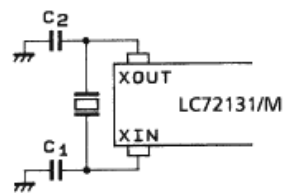
[Allowable Operating Rates при температуре -40..+85 °C, V_{SS} 0 V]

Allowable Operating Ranges at Ta = -40 to +85°C, V_{SS} = 0 V

Parameter	Symbol	Pins	Conditions	min	typ	max	Unit
Supply voltage	V _{DD}	V _{DD}		4.5		5.5	V
Input high-level voltage	V _{IH1}	CE, CL, DI		0.7 V _{DD}		6.5	V
	V _{IH2}	$\overline{IO1}$, $\overline{IO2}$		0.7 V _{DD}		13	V
Input low-level voltage	V _{IL}	CE, CL, DI, $\overline{IO1}$, $\overline{IO2}$		0		0.3 V _{DD}	V
Output voltage	V _{O1}	DO		0		6.5	V
	V _{O2}	BO1 to BO4, $\overline{IO1}$, $\overline{IO2}$, AOUT		0		13	V
Input frequency	f _{IN1}	XIN	V _{IN1}	1		8	MHz
	f _{IN2}	FMIN	V _{IN2}	10		160	MHz
	f _{IN3}	AMIN	V _{IN3} , SNS = 1	2		40	MHz
	f _{IN4}	AMIN	V _{IN4} , SNS = 0	0.5		10	MHz
	f _{IN5}	IFIN	V _{IN5}	0.4		12	MHz
Input amplitude	V _{IN1}	XIN	f _{IN1}	400		1500	mVrms
	V _{IN2-1}	FMIN	f = 10 to 130 MHz	40		1500	mVrms
	V _{IN2-2}	FMIN	f = 130 to 160 MHz	70		1500	mVrms
	V _{IN3}	AMIN	f _{IN3} , SNS = 1	40		1500	mVrms
	V _{IN4}	AMIN	f _{IN4} , SNS = 0	40		1500	mVrms
	V _{IN5-1}	IFIN	f _{IN5} , IFS = 1	40		1500	mVrms
Supported crystals	V _{IN5-2}	IFIN	f _{IN6} , IFS = 0	70		1500	mVrms
	Xtal	XIN, XOUT	*	4.0		8.0	MHz

Примечания: * рекомендованные значения CI для кварцев - CI ≤ 120 Ом для кварцев 4.5 МГц и CI ≤ 70 Ом для кварцев 7.2 МГц.

Пример применения кварца:



Примененный кварцевый резонатор - HC-49/U (производитель Kinseki Ltd.), CL = 12 пф, C1 = C2 = 15 пф.

[Электрические характеристики для Allowable Operating Rates при температуре -40..+85 °C, V_{SS} 0 V]

Electrical Characteristics for the Allowable Operating Ranges at Ta = -40 to +85°C, VSS = 0 V

Parameter	Symbol	Pins	Conditions	min	typ	max	Unit
Built-in feedback resistance	Rf1	XIN			1.0		MΩ
	Rf2	FMIN			500		kΩ
	Rf3	AMIN			500		kΩ
	Rf4	IFIN			250		kΩ
Built-in pull-down resistor	Rpd1	FMIN			200		kΩ
	Rpd2	AMIN			200		kΩ
Hysteresis	VHIS	CE, CL, DI, IO1, IO2			0.1 VDD		V
Output high level voltage	VOH1	PD	IO = -1 mA	VDD - 1.0			V
Output low level voltage	VOL1	PD	IO = 1 mA			1.0	V
	VOL2	BO1	IO = 0.5 mA			0.5	V
	VOL3	DO	IO = 1 mA			1.0	V
			IO = 5 mA			0.2	V
	VOL4	BO2 to BO4, IO1, IO2	IO = 1 mA			1.0	V
			IO = 5 mA			0.2	V
			IO = 8 mA			1.6	V
	VOL5	AOUT	IO = 1 mA, AIN = 1.3 V			0.5	V
Input high level current	IHH1	CE, CL, DI	VI = 6.5 V			5.0	μA
	IHH2	IO1, IO2	VI = 13 V			5.0	μA
	IHH3	XIN	VI = VDD	2.0		11	μA
	IHH4	FMIN, AMIN	VI = VDD	4.0		22	μA
	IHH5	IFIN	VI = VDD	8.0		44	μA
	IHH6	AIN	VI = 6.5 V			200	nA
Input low level current	ILL1	CE, CL, DI	VI = 0 V			5.0	μA
	ILL2	IO1, IO2	VI = 0 V			5.0	μA
	ILL3	XIN	VI = 0 V	2.0		11	μA
	ILL4	FMIN, AMIN	VI = 0 V	4.0		22	μA
	ILL5	IFIN	VI = 0 V	8.0		44	μA
	ILL6	AIN	VI = 0 V			200	nA
Output off leakage current	IOFF1	BO1 to BO4, AOUT, IO1, IO2	VO = 13 V			5.0	μA
	IOFF2	DO	VO = 6.5 V			5.0	μA
High level three-state off leakage current	IOFFH	PD	VO = VDD		0.01	200	nA
Low level three-state off leakage current	IOFFL	PD	VO = 0 V		0.01	200	nA
Input capacitance	CIN	FMIN			6		pF
Current drain	IDD1	VDD	Xtal = 7.2 MHz, fN2 = 130 MHz, VIN2 = 40 mVrms		5	10	mA
	IDD2	VDD	PLL block stopped (PLL INHIBIT), Xtal oscillator operating (Xtal = 7.2 MHz)		0.5		mA
	IDD3	VDD	PLL block stopped Xtal oscillator stopped			10	μA

[Ссылки]

1. AVR-USB-MEGA16: управление радиотрактом магнитолы RX-ES20 от компьютера.

Последнее обновление (03.06.2010)

Комментарии

- #3 Булат

2014-04-02 19:28:30

Там в управлении ничего сложного нет, сначала отправляем конфигурацию (один раз достаточно), потом частоту-шаг-диапазон, все просто.
- #2 Максим

2014-03-10 17:43:59

А можно пару примеров настройки этой микросхемы. То есть, допустим, мне надо настроится на 100.0 МГц в FM. Что мне для этого надо сделать? То, что нужно записать в IN1 я видел, но что нужно записать в IN2?
- #1 Stoni

2012-03-10 23:21:41

Спасибо! Когда-то сидел, разбирался с минимумом информации, когда разобрался - хотел написать статью. А тут уже все готово! Да и не смог бы я так красиво...

RSS лента комментариев этой записи.

Добавить комментарий

Имя (обязательное)

Сайт

😄 😁 😊 😋 😌 😍 😎 😏 😐 😑 😒 😓 😔 😕 😖 😗 😘 😙 😚 😛 😜 😝 😞 😟 😠 😡 😢 😣 😤 😥 😦 😧 😨 😩 😪 😫 😬 😭 😮 😯 😰 😱 😲 😳 😴 😵 😶 😷 😸 😹 😺 😻 😼 😽 😾 😿 😫 😬 😭 😮 😯 😰 😱 😲 😳 😴 😵 😶 😷 😸 😹 😺 😻 😼 😽 😾 😿

Осталось: 1000 символов



🔄 Обновить

ОТПРАВИТЬ (CTRL+ENTER)

JComments

Назад

< Пред.

След. >

TOP OF PAGE