

Complete 8-Bit, 32 MSPS, 95 mW CMOS A/D Converter AD9280

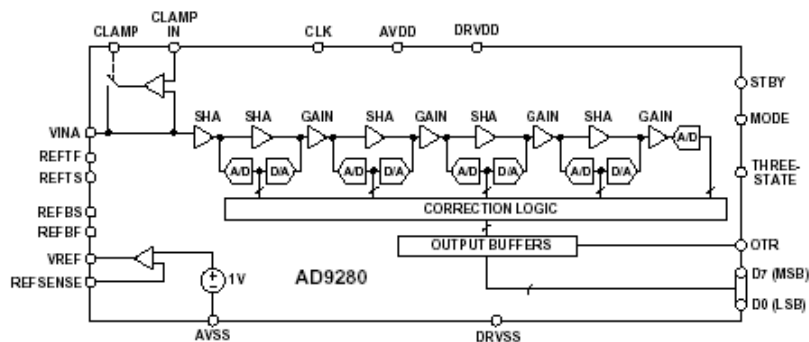
ФУНКЦИИ

CMOS, 8-ми разрядный, 32 М выборок/с, АЦП с функцией выборки
Совместимость на уровне выводов с AD876-8
Рассеиваемая мощность: 95 мВт (при питании 3 В)
Напряжение питания от +2.7 В до +5.5 В
Дифференциальная нелинейность: 0.2 LSB (младшего значащего разряда)
Режим отключения (ожидания)
Выходы с тремя состояниями
Индикатор выхода за границы диапазона
Встроенная функция восстановления постоянной составляющей
Встроенный регулируемый ИОН
Дискретизация ПЧ, вплоть до 135 МГц

ОПИСАНИЕ ПРОДУКТА

AD9280 является монолитным, 8-ми разрядным, 32 М выборок/с аналого-цифровым преобразователем (АЦП) с однополярным питанием, со встроенным усилителем с функцией УВХ и с встроенным ИОН. AD9280 имеет многоступенчатую конвейерную дифференциальную архитектуру, обеспечивающую скорость дискретизации данных 32 М выборок/с и гарантированное отсутствие потери кода в полном диапазоне эксплуатационных температур. Входные цепи AD9280 были разработаны с учетом потребностей, как приложений визуализации, так и коммуникационных приложений. Пользователь имеет возможность выбора из множества диапазонов и напряжений смещения входных сигналов, а также определения режима работы входного каскада, как недифференциального, так и дифференциального.

Усилитель с функцией УВХ одинаково хорошо подходит, как для мультиплексных систем, в которых полноразмерное напряжение сигнала последовательно подключается к последовательности каналов, так и для одноканальных входов с функцией выборки на частотах, вплоть до, а также, выше частоты Найквиста. При включении входных сигналов по переменной составляющей они могут смещаться на предустановленный уровень, с помощью встроенных цепей фиксации уровня. Данный АЦП обладает отличными динамическими характеристиками. Кроме того, AD9280 имеет встроенный программируемый источник опорного напряжения (ИОН). Внешний ИОН, также, может быть использован, для удовлетворения потребности повышенной точности постоянного уровня, а также температурного дрейфа в конкретном приложении. Единый вход тактового сигнала используется для управления всеми внутренними циклами преобразования. Цифровые выходные данные представляются непосредственно в двоичном формате. Сигнал выхода за пределы диапазона (OTR) означает режим переполнения, который может определять, в сочетании со старшим значащим разрядом направление переполнения (верхнее, или нижнее). AD9280 имеет напряжение питания от +2.7 В до +5.5 В, идеально отвечая требованиям высокопроизводительных приложений в условиях низкого энергопотребления. AD9280 специализирована для эксплуатации в промышленном диапазоне температур (от -40°C до +85°C).



AD9280 потребляет 95 мВт на напряжении питания 3 В (за исключением отсчета мощности). В спящем режиме, мощность снижается до уровня ниже 5 мВт. Очень маленький пакет AD9280 выпускается в SSOP корпусе 28-выводном.

AD9280 совместим по выводам с AD876-8, позволяя старые конструкции мигрировать на более низких напряжений питания. 300 МГц частота дискретизации устройства выборки и хранения.

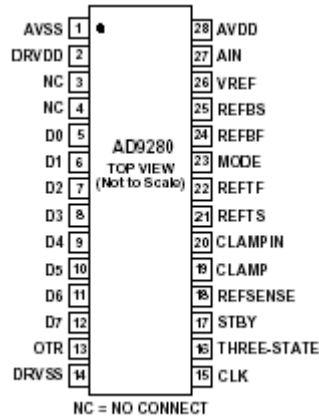
Универсальный вход AIN может быть сконфигурирован как однополярный или дифференциальный вход.

Выходной бит OTR указывает на то, когда входной сигнал находится вне диапазон ввода в AD9280.

ПРИМЕНЕНИЕМ AD9280

ТЕОРИЯ ОПЕРАЦИИ

AD9280 реализует конвейерную многоступенчатую архитектуру для достижения высокой частоты дискретизации с низким энергопотреблением. AD9280 распределяет преобразование над несколькими меньшими A/D подмодулями, совершенствуя преобразование с прогрессивно более высокой точностью, так как она проходит результаты от этапа к этапу. Как следствие распределенного преобразования, AD9280 требует малую часть 256 компараторов, используемых в традиционном флэш - АЦП. Функция sampleand-удержание внутри каждого из этапов позволяет первый этап для работы на новой входной выборки в то время как второй, третий и четвертый этапы действуют на трех предыдущих образцов.



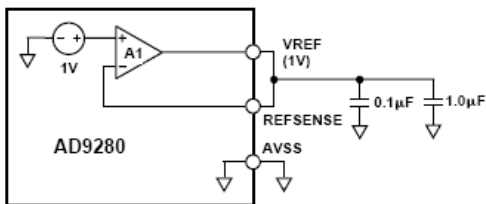
РАБОЧИЕ РЕЖИМЫ

AD9280 предназначен для обеспечения оптимальной производительности в самых разнообразных приложениях, средствах связи или измерительного оборудования, в том числе, возможна совместимость контактов с м/с AD876-8. Для того, чтобы реализовать эту возможность, внутренние переключатели на AD9280 используются для управлением конфигурации микросхемы в различных режимах. Эти режимы выбираются соответствующей комбинацией выбираемых контактов. Есть три части схемы, зависящие от этих режимов: установка опорного напряжения, включение опорного буфера, и управление аналоговым входом. В зависимости от задачи будет определяться, какой режим необходим: описания режимов ниже, а также таблицы, которые должны помочь в выборе нужного режима.

Описание режимов

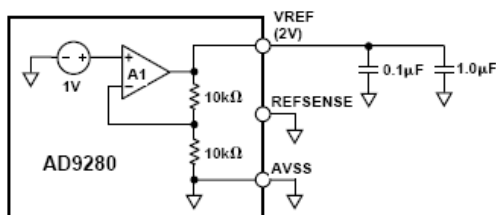
Установки опорных напряжений.

Установка внутреннего опорного напряжения 1В производится замыканием выводов REFSENSE и VREF.



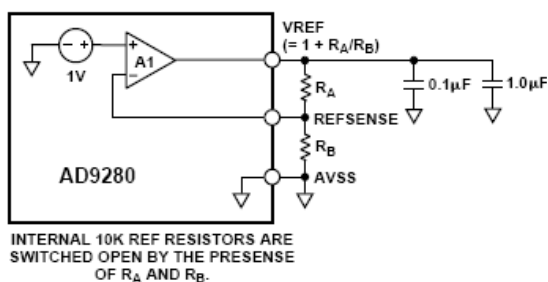
d. 1 V Reference

Установка внутреннего опорного напряжения 2В производится замыканием REFSENSE на аналоговую шину.



e. 2 V Reference

Режим установки внешним делителем внутреннего опорного сигнала может устанавливаться в точке между 1В и 2В путем добавления внешних резисторов.



INTERNAL 10K REF RESISTORS ARE SWITCHED OPEN BY THE PRESENCE OF R_A AND R_B .

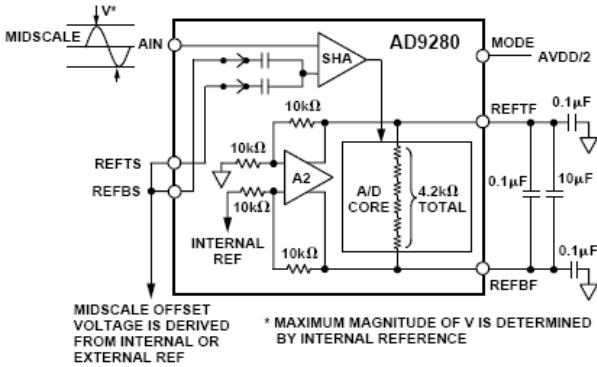
*f. Variable Reference
(Between 1 V and 2 V)*

Внешний опорный режим позволяет пользователю применять внешние подключения на REFTS, REFBS и VREF контакты. Этот режим достигается путем подключения контакта REFSENSE к VDD.

Настройка по входу.

Режим средней точки.

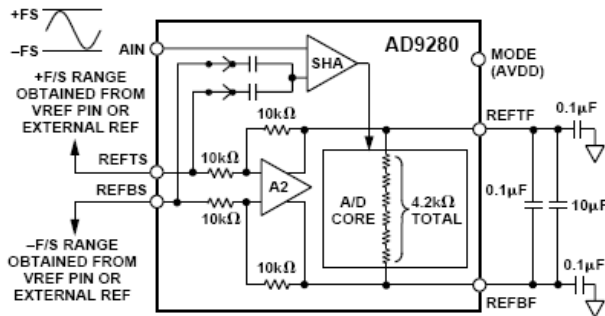
Режим средней точки устанавливается замыканием выводов REFTS REFBS вместе и подаче среднего напряжения в эту точку от внешнего или внутреннего ИОН. На вывод MODE подается напряжение AVDD/2. Аналоговый вход AIN будет измерять входной сигнал относительно напряжения средней точки.



b. Center Span Mode

TOP/BOTTOM режим.

TOP/BOTTOM режим устанавливает диапазон измерения входных напряжений между двумя точками. Две точки находятся в полосе 1B и 2B. На вывод MODE подается напряжение AVDD.

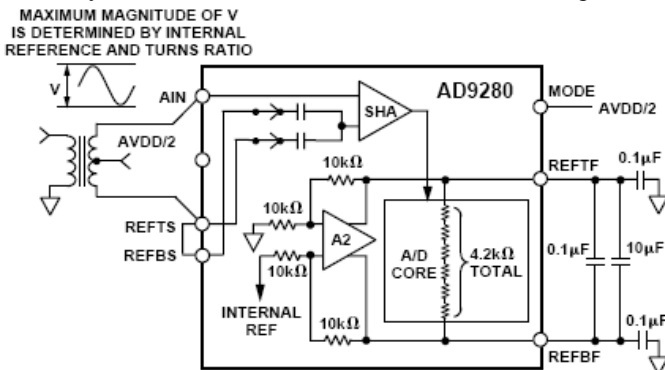


a. Top/Bottom Mode

Аналоговый вход - дифференциальный режим.

Дифференциальный режим достигается за счет подключения контакта AIN как один дифференциальный вход, а замкнутые REFTS и REFBS в качестве второго дифференциального входа. На контакт MODE подается напряжение AVDD/2. Это предпочтительный режим для оптимального подавления искажений.

Однополярный режим достигается путем использования контакта AIN, в то время как контакты REFTS и REFBS соединены в точке постоянного тока. На контакт MODE подается напряжение AVDD. Одноконечных / зажат (по переменному току) вход может быть зажат до некоторого уровня постоянного тока от сети переменного тока, соединяющего вход. Это делается, подключая контакт CLAMPIN к точке постоянного тока и применяя импульс к контакту CLAMP. На контакт MODE подается напряжение AVDD.



c. Differential Mode

Специальный (режим AD876-8)

AD876-8 режим позволяет пользователям применять AD9280 как AD876-8. Этот режим достигается неподключенным или заземленным MODE контактом.

Table I. Mode Selection

Modes	Input Connect	Input Span	MODE Pin	REFSENSE Pin	REF	REFTS	REFBS	Figure
TOP/BOTTOM	AIN	1 V	AVDD	Short REFSENSE, REFTS and VREF Together			AGND	18
	AIN	2 V	AVDD	AGND	Short REFTS and VREF Together		AGND	19
CENTER SPAN	AIN	1 V	AVDD/2	Short VREF and REFSENSE Together		AVDD/2	AVDD/2	20
	AIN	2 V	AVDD/2	AGND	No Connect	AVDD/2	AVDD/2	
Differential	AIN Is Input 1	1 V	AVDD/2	Short VREF and REFSENSE Together		AVDD/2	AVDD/2	29
	REFTS and REFBS Are Shorted Together for Input 2	2 V	AVDD/2	AGND	No Connect	AVDD/2	AVDD/2	
External Ref	AIN	2 V max	AVDD	AVDD	No Connect	Span = REFTS - REFBS (2 V max)		21, 22
			AGND			Short to VREFTF	Short to VREFBF	
AD876-8	AIN	2 V	Float or AVSS	AVDD	No Connect	Short to VREFTF	Short to VREFBF	30

AD9280—SPECIFICATIONS

(AVDD = +3 V, DRVDD = +3 V, F_S = 32 MHz (50% Duty Cycle), MODE = AVDD, 2 V Input Span from 0.5 V to 2.5 V, External Reference, T_{MIN} to T_{MAX} unless otherwise noted)

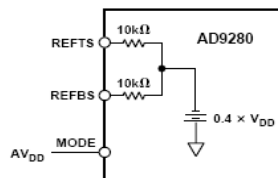
Parameter	Symbol	Min	Typ	Max	Units	Condition
RESOLUTION		8			Bits	
CONVERSION RATE	F _S	32			MHz	
DC ACCURACY						
Differential Nonlinearity	DNL		±0.2	±1.0	LSB	REFTS = 2.5 V, REFBS = 0.5 V
Integral Nonlinearity	INL		±0.3	±1.5	LSB	
Offset Error	E _{ZS}		±0.2	±1.8	% FSR	
Gain Error	E _{FS}		±1.2	±3.9	% FSR	
REFERENCE VOLTAGES						
Top Reference Voltage	REFTS	1		AVDD	V	REFTS, REFBS: MODE = AVDD Between REFTF & REFBBF: MODE = AVSS
Bottom Reference Voltage	REFBS	GND		AVDD - 1	V	
Differential Reference Voltage			2		V p-p	
Reference Input Resistance ¹			10		kΩ	
			4.2		kΩ	
ANALOG INPUT						
Input Voltage Range	AIN	REFBS		REFTS	V	REFBS Min = GND: REFTS Max = AVDD Switched
Input Capacitance	C _{IN}		1		pF	
Aperture Delay	t _{AP}		4		ns	
Aperture Uncertainty (Jitter)	t _{AJ}		2		ps	
Input Bandwidth (-3 dB)	BW					
Full Power (0 dB)			300		MHz	
DC Leakage Current			43		μA	Input = ±FS
INTERNAL REFERENCE						
Output Voltage (1 V Mode)	VREF		1		V	REFSENSE = VREF
Output Voltage Tolerance (1 V Mode)			±10	±25	mV	
Output Voltage (2 V Mode)	VREF		2		V	REFSENSE = GND 1 mA Load Current
Load Regulation (1 V Mode)			0.5	2	mV	
POWER SUPPLY						
Operating Voltage	AVDD	2.7	3	5.5	V	AVDD = 3 V, MODE = AVSS AVDD = DRVDD = 3 V, MODE = AVSS STBY = AVDD, MODE and CLOCK = AVSS
	DRVDD	2.7	3	5.5	V	
Supply Current	IAVDD		31.7	36.7	mA	
Power Consumption	P _D		95	110	mW	
Power-Down			4		mW	
Gain Error Power Supply Rejection	PSRR		1		% FS	
DYNAMIC PERFORMANCE (AIN = 0.5 dBFS)						
Signal-to-Noise and Distortion	SINAD					
f = 3.58 MHz		46.4	49			dB
f = 16 MHz			48			
Effective Bits						
f = 3.58 MHz			7.8			Bits
f = 16 MHz			7.7			Bits
Signal-to-Noise	SNR					
f = 3.58 MHz		47.8	49			dB
f = 16 MHz			48			
Total Harmonic Distortion	THD					
f = 3.58 MHz			-62	-49.5		dB
f = 16 MHz			-58			
Spurious Free Dynamic Range	SFDR					
f = 3.58 MHz			66	51.4		dB
f = 16 MHz			61			
Differential Phase	DP		0.2			Degree
Differential Gain	DG		0.08			

Parameter	Symbol	Min	Typ	Max	Units	Condition
DIGITAL INPUTS						
High Input Voltage	V_{IH}	2.4			V	
Low Input Voltage	V_{IL}			0.3	V	
DIGITAL OUTPUTS						
High-Z Leakage	I_{OZ}	-10		+10	μ A	Output = GND to VDD
Data Valid Delay	t_{OD}		25		ns	$C_L = 20$ pF
Data Enable Delay	t_{DEN}		25		ns	
Data High-Z Delay	t_{DHZ}		13		ns	
LOGIC OUTPUT (with DRVDD = 3 V)						
High Level Output Voltage ($I_{OH} = 50$ μ A)	V_{OH}	+2.95			V	
High Level Output Voltage ($I_{OH} = 0.5$ mA)	V_{OH}	+2.80			V	
Low Level Output Voltage ($I_{OL} = 1.6$ mA)	V_{OL}			+0.4	V	
Low Level Output Voltage ($I_{OL} = 50$ μ A)	V_{OL}			+0.05	V	
LOGIC OUTPUT (with DRVDD = 5 V)						
High Level Output Voltage ($I_{OH} = 50$ μ A)	V_{OH}	+4.5			V	
High Level Output Voltage ($I_{OH} = 0.5$ mA)	V_{OH}	+2.4			V	
Low Level Output Voltage ($I_{OL} = 1.6$ mA)	V_{OL}			+0.4	V	
Low Level Output Voltage ($I_{OL} = 50$ μ A)	V_{OL}			+0.1	V	
CLOCKING						
Clock Pulsewidth High	t_{CH}	14.7			ns	
Clock Pulsewidth Low	t_{CL}	14.7			ns	
Pipeline Latency			3		Cycles	
CLAMP						
Clamp Error Voltage	E_{OC}		± 60	± 80	mV	CLAMPIN = +0.5 V to +2.0 V, $R_{IN} = 10$ Ω
Clamp Pulsewidth	t_{CPW}		2		μ s	$C_{IN} = 1$ μ F (Period = 63.5 μ s)

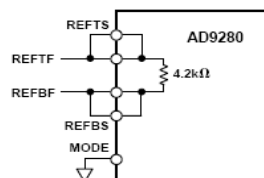
NOTES

¹See Figures 1a and 1b.

Specifications subject to change without notice.



a.



b.

ABSOLUTE MAXIMUM RATINGS*

Parameter	With Respect to	Min	Max	Units
AVDD	AVSS	-0.3	+6.5	V
DRVDD	DRVSS	-0.3	+6.5	V
AVSS	DRVSS	-0.3	+0.3	V
AVDD	DRVDD	-6.5	+6.5	V
MODE	AVSS	-0.3	AVDD + 0.3	V
CLK	AVSS	-0.3	AVDD + 0.3	V
Digital Outputs	DRVSS	-0.3	DRVDD + 0.3	V
AIN	AVSS	-0.3	AVDD + 0.3	V
VREF	AVSS	-0.3	AVDD + 0.3	V
REFSENSE	AVSS	-0.3	AVDD + 0.3	V
REFTF, REFTB	AVSS	-0.3	AVDD + 0.3	V
REFTS, REFBS	AVSS	-0.3	AVDD + 0.3	V
Junction Temperature			+150	$^{\circ}$ C
Storage Temperature		-65	+150	$^{\circ}$ C
Lead Temperature 10 sec			+300	$^{\circ}$ C

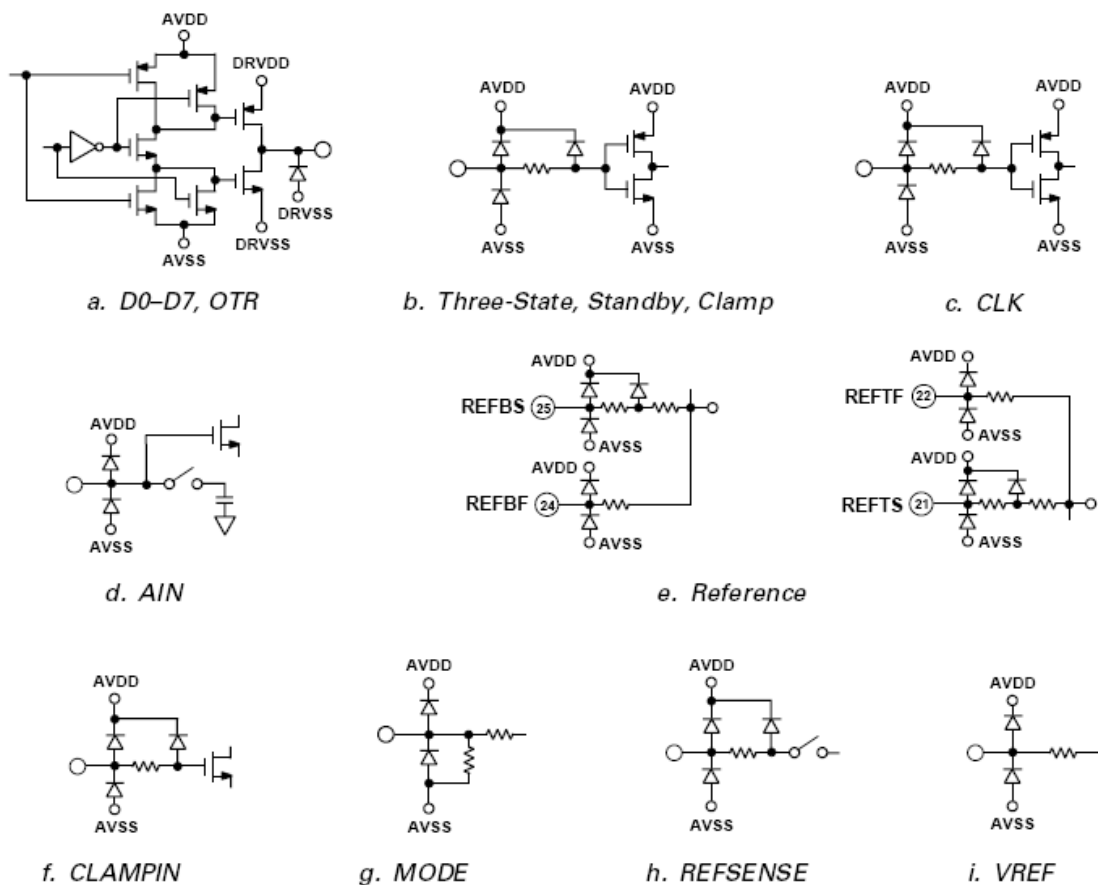


Figure 2. Equivalent Circuits

PIN FUNCTION DESCRIPTIONS

SSOP Pin No.	Name	Description
1	AVSS	Analog Ground
2	DRVDD	Digital Driver Supply
3	DNC	Do Not Connect
4	DNC	Do Not Connect
5	D0	Bit 0
6	D1	Bit 1
7	D2	Bit 2
8	D3	Bit 3
9	D4	Bit 4
10	D5	Bit 5
11	D6	Bit 6
12	D7	Bit 7, Most Significant Bit
13	OTR	Out-of-Range Indicator
14	DRVSS	Digital Ground
15	CLK	Clock Input
16	THREE-STATE	HI: High Impedance State. LO: Normal Operation
17	STBY	HI: Power-Down Mode. LO: Normal Operation
18	REFSENSE	Reference Select
19	CLAMP	HI: Enable Clamp Mode. LO: No Clamp
20	CLAMPIN	Clamp Reference Input
21	REFTS	Top Reference
22	REFTF	Top Reference Decoupling
23	MODE	Mode Select
24	REFBF	Bottom Reference Decoupling
25	REFBS	Bottom Reference
26	VREF	Internal Reference Output
27	AIN	Analog Input
28	AVDD	Analog Supply

ОПРЕДЕЛЕНИЯ СПЕЦИФИКАЦИИ

Интегральная нелинейность (INL). Интегральная нелинейность относится к отклонению каждого отдельного кода из линии, проведенной от "нуля" до "полной шкалы". Точка используется как "ноль" происходит 1/2 LSB до первого кода перехода. "Полный масштаб" определяется как уровень 1 1/2 LSB за пределы последнего кода перехода. Отклонение измеряется от центра каждого конкретного кода к истинной прямой.

Дифференциальная нелинейность (DNL, нет пропущенных кодов). Имеет идеальный АЦП демонстрирует кодовые переходы, которые в точности 1 LSB друг от друга. DNL это отклонение от этого идеального значения. Это часто определяется в терминах разрешения, для которых нет пропущенных кодов (NMC) не гарантируется.

Погрешность смещения нуля. Первый переход должен происходить на уровне 1 LSB выше "ноль". Смещение определяется как отклонения фактического первого перехода кода с этой точки.

Ошибки по входу. Первый код переход должен происходить для аналогового значения 1 LSB выше номинальной отрицательной полной шкалы. Последний переход должен происходить для аналогового значения 1 LSB ниже номинального положительного полной шкалы. Коэффициент усиления ошибки является отклонение фактической разности между первым и последним кодовых переходов и идеальной разницей между первым и последним кодовых переходов.

Проходная задержка (Задержка). Число тактовых циклов между началом преобразования и соответствующий выходной данных делается доступным. Новый выход данных обеспечивается каждый передний фронт.

Вход и установка обзора

На рисунках упрощенная модель AD9280, подчеркивает взаимосвязь между аналоговым входом, AIN, и опорного напряжения, REFTS, REFBS и VREF. Зависимость напряжений, приложенных к резисторному делителю в АЦП, REFTS и REFBS определяют максимальное и минимальное значения входного напряжения до АЦП. Входной каскад обычно сконфигурирован для несимметричного работы, но позволяет дифференциальной операции коротким замыканием выводов REFTS и REFBS вместе, чтобы использовать в качестве второго входа.

В несимметричный операции, вход охватывает диапазон, $REFBS \leq AIN \leq REFTS$, где REFBS может быть подключен к GND и REFTS подключен к VREF. Если пользователь требует другой референсный диапазон, REFBS и REFTS может быть доведен до любого напряжения в пределах шин питания 1В и 2В. В дифференциальной операции, REFTS и REFBS замкнуты вместе, и диапазон входного напряжения устанавливается VREF, $(REFTS - VREF / 2) \leq AIN \leq (REFBS + VREF / 2)$ где VREF определяется внутренним источником опорного напряжения или установленное наружно пользователем. Минимальные показатели шума могут быть получены при работе AD9280 с диапазоном по входу 2В. Наилучшие показатели без искажений могут быть получены путем эксплуатации AD9280 с 1В входной диапазон.

AD9280 может быть сконфигурирован в различных стандартных топологиях. Самая простая конфигурация является использованием бортового диапазонного опорного напряжения в AD9280, которая обеспечивает контактную возможность генерировать либо выход 1В или 2В. Если пользователь выбирает опорное напряжение, отличное от этих двух, внешний резистор делителя может быть подключен между VREF, REFSENSE и аналоговой землей, чтобы создать опорный потенциал где-то между 1В и 2В. Другой альтернативой является использование внешнего ИОН для конструкций требующих повышенной точности и/или производительность. Третьей альтернативой является приведение в верхней и нижней ссылки, минуя VREF вообще. На рисунках 16d, 16e и 16f (см. выше) иллюстрируют входные сигналы различных задач AD9280. В определении желаемого расположения, пользователь может выбрать конфигурацию входного сигнала в соответствии схемы управления. Затем, двигаясь к справочным мод на нижней части рисунка, выберите цепь опорного напряжения для размещения смещения и амплитуды полномасштабную сигнала. Таблица I описывает конфигурации контактов в соответствии с требованиями пользователя.

Фактические опорные напряжения, используемые внутренней электрической схемой AD9280 появляются на REFTF и REFBF. Для правильной работы, необходимо добавить обвязку конденсаторов на эти контакты. REFTF и REFBF должны быть развязаны для всех внутренних и внешних конфигураций, как показано на рисунке 17.

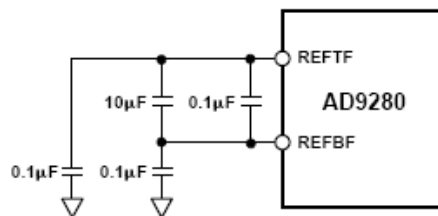


Figure 17. Reference Decoupling Network

Примечание: REFTF = установка верх, усиление

REFBF = установка низ, усиление

REFTS = установка верх, чувствительность

REFBS = установка низ, чувствительность

Внутренняя установка ИОН.

На рис. 18, 19 и 20 показаны примеры подключения ИОН AD9280 в его наиболее распространенных конфигурациях. Рис. 18 и 19 иллюстрируют верхний/нижний режим, а на рисунке 20 режиме иллюстратесцентер диапазона. На рисунке 18 показано, как подключить 1В р-р дифференциальную операцию AD9280. Замыкание VREF контакта с REFSENSE подключает внутренний опорный усилитель, A1, в режиме с единичным усилением и общим выходом 1В. На рис. 18 REFBS заземлен, чтобы дать на вход диапазон от 0 В до 1 В. Эти режимы могут быть выбраны, когда питание либо +3 В или +5 В. VREF контакт должен быть подключен к AVSS (аналоговый земля) через 1,0 мФ танталовый конденсатор и параллельно с низкой индуктивностью, 0,1 мкФ керамический конденсатор.

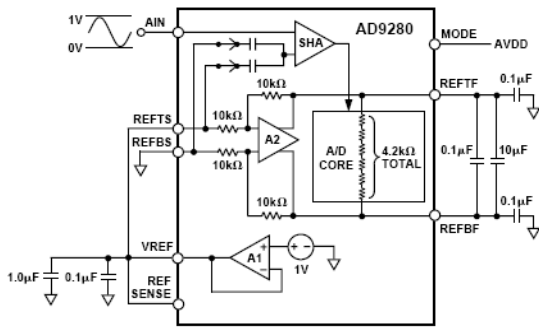


Figure 18. Internal Reference—1 V p-p Input Span (Top/Bottom Mode)

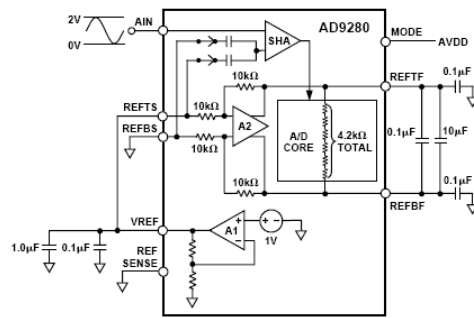


Figure 19. Internal Reference, 2 V p-p Input Span (Top/Bottom Mode)

На рис. 19 показана несимметричная конфигурация для входа 2В. Контакт REFSENSE подключен к GND, что приводит к 2В макс установке на выход. На рис. 20 показана несимметричная конфигурация, которая дает хорошие высокочастотные динамические характеристики (SINAD, СПБУ). Для оптимизации динамических характеристик, центр синфазного напряжения аналогового входа приблизительно 1,5В. Подключите замкнутые REFTS и REFBS входы с низким сопротивлением к +1,5В источника. В этой конфигурации, на контакт MODE подается половина напряжения (AVDD/2). Максимально допустимый ток входной цепи составляет не более 1 мА. Внешний буфер (OY) организуется для измерения больших токов.

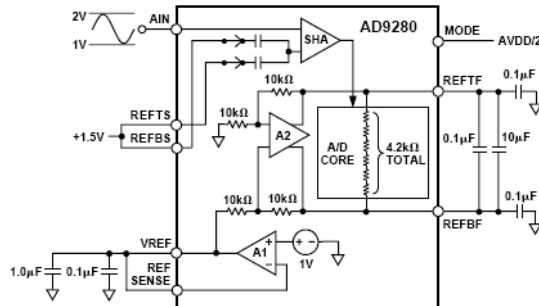


Figure 20. Internal Reference 1 V p-p Input Span (Center Span Mode)

Подключение внешнего ИОН.

Использование внешнего ИОН может обеспечить большую гибкость и исключить дрейф и точность измерений. На рис. с 21 по 23 показаны примеры того, как использовать внешний ИОН с AD9280. Чтобы использовать внешний ИОН, необходимо отключить внутренний опорный усилитель, подключив контакт REFSENSE к VDD. Затем надо имеет возможность подать на контакт VREF опорное напряжение или подать его на REFTS и REFBS контакты. AD9280 содержит внутренний опорный буфер (A2), что упрощает требования к монтажу внешнего ИОН. ИОН должен иметь возможность управлять нагрузкой 10 кОм. На рис. 21 показан пример использования управления верхней и нижней границей ИОН. REFTS соединен с низкоомным 2В ИОН а REFBS соединен с низкоомным 1В ИОН. REFTS и REFBS могут запитываться любыми напряжениями в пределах питания до тех пор, как разница между ними составляет от 1В и 2В.

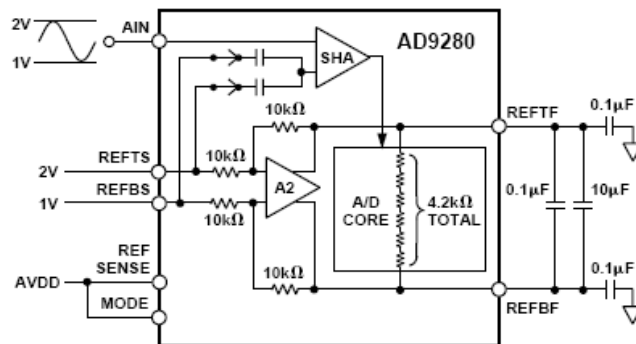


Figure 21. External Reference Mode—1 V p-p Input Span

На рис. 22 показан пример применения внешнего ИОН формирующего 2,5В при замкнутых REFTS и REFBS контактах. В этом случае, REF43 формирует 2,5В напряжения на входах REFTS и REFBS. Резистивный делитель формирует сигнал 1В на вывод VREF, который буферизируется через OY - A3. A3 должен иметь возможность управлять 10 кОм емкостной нагрузкой. Выбор этого OY, обосновывается на требованиях к шумам и точности (дрейфу).

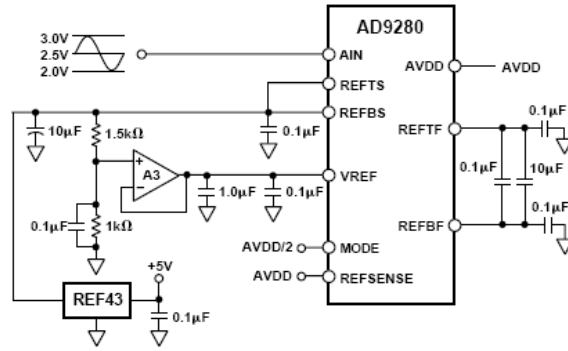


Figure 22. External Reference Mode—1 V p-p Input Span 2.5 V_{CM}

На рисунке 23а показан пример подключения внешних ИОН к REFTF и REFBBF входам, который совместим с м/с AD876. Выводы REFTS и REFTF замкнуты и управляются внешним ИОН низкого импеданса 4В. Выводы REFBS и REFBBF и управляются внешним ИОН низкого импеданса 2В. Вывод Mode подключен к GND в этой конфигурации.

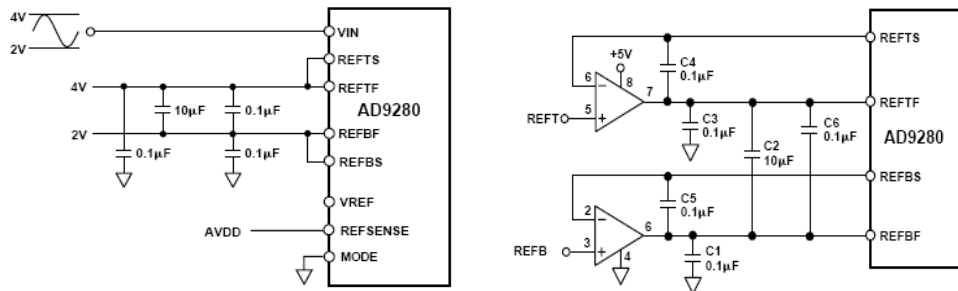


Figure 23a. External Reference—2 V p-p Input Span Figure 23b. Kelvin Connected Reference Using the AD9280

Режим ожидания (спящий режим).

АЦП может быть помещен в режим пониженного энергопотребления (спящий режим) посредством подачи сигнала на вывод STBY (режим ожидания) с высоким потенциалом и возвращается к работе при подачи низкого логического уровня. В этом режиме потребляемая мощность составляет примерно 4 мВт. АЦП будет "просыпаться" в течение 400 нс (типовое время) после того, как импульс на выводе STBY переключится на низкий уровень.

Вывод восстановления сигнала.

AD9280ARS имеет дополнительный контур с выводом для восстановления постоянной составляющей сигнала видео или смешанных сигналов. На рис. 24 показана внутренняя схема зажима и внешние управляющие сигналы, необходимые для работы зажима. Чтобы включить зажим, применять логику высоко, чтобы зажиме булавка. Это приведет к закрытию переключателя SW1. Усилитель зажим затем будет серво напряжение на AIN штырем быть равным напряжению зажима, приложенной к штифтом Клэмпин. После того, как желаемый уровень зажима достигается, SW1 открыто принимая ЗАЖИМ обратно в низкий логический уровень. Не обращая внимания на свиснуть, вызванного входного тока смещения, входной конденсатор C_{IN} будет держать напряжение постоянного тока при постоянном AIN до следующего интервала зажима. Входной резистор R_{IN} имеет минимальное рекомендуемое значение 10 Вт, для поддержания стабильности в замкнутом контуре усилителя зажима.

Допустимый диапазон напряжения, который может быть применен к CLAMPIN зависит от эксплуатационных пределов внутреннего усилителя восстановления. Рекомендуемый диапазон зажима составляет от 0,5 вольт до 2,0 вольт. Входной конденсатор должен быть такой емкости, чтобы обеспечить достаточное время захвата напряжения восстановления на выводе AIN в интервале импульсов на входе Clamp, но также и иметь емкость, не более чтобы минимизировать функцию спада между восстанавливающими интервалами. В частности, время восстановления, когда переключатель закрыт рассчитывается:

$$T_{ACQ} = R_{IN} C_{IN} \ln \left(\frac{V_C}{V_E} \right)$$

где V_C - является изменение напряжение, которое требуется по C_{in} ,
и V_E является напряжение ошибки.

V_C рассчитывается как разность между исходным уровнем входного сигнала постоянного тока в начале интервала восстановления и напряжения восстановления, подаваемого на CLAMPIN.

V_E представляет собой систему зависимый параметр, а равно максимально допустимое отклонение от V_C . Например, если необходим уровень входного сигнала 2В восстанавливается на 1В на входе AD9280 в течение 10 милливольт, то $V_C = 2 - 1 = 1В$, а V_E равно 10 мВ. Обратите внимание, что после того, как соответствующий уровень восстановления достигается на входе, только очень небольшое изменение напряжения будет необходимо для коррекции спада. Напряжение спада рассчитывается по следующей формуле:

$$dV = \frac{I_{BLAS}}{C_{IN}}(t)$$

где t = время между восстанавливающими интервалами.

Ток смещения AD9280 будет зависеть от частоты дискретизации, FS, и разницы между опорной средней точкой, $(REFTS-REFBS)/2$ и входного напряжения. При фиксированной частоте дискретизации 32 МГц, 14 показан входной ток смещения для данного входа. Для диапазона входного сигнала 1В, максимальный входной ток смещения на рис.14 составляет 22 мА. Для более низких частот дискретизации входного тока смещения будет масштабироваться пропорционально. Если провисание является критическим параметром, то минимальное значение C_{in} должна быть рассчитана в первую очередь на основе требований свистать. Ширина импульса времени восстановления на выводе CLAMP может быть соответствующим образом скорректированы, при выборе минимального значения конденсатора. Компромиссным решением принимается выбор между фронтами и временем восстановления или напряжением ошибки V_e .

Пример восстанавливающей цепи.

Некоторый однополярный видеоусилитель выводит смещенный по уровню видеосигнал между 2В и 3В со следующими параметрами:

- горизонтальный период = 63.56 мс,
- горизонтальный интервал синхронизации = 10,9 мс,
- строчный синхроимпульс = 4,7 мс,
- синхронизации амплитуда = 0,3 вольт,
- видео амплитуда 0,7 вольт,
- справка уровень черного = 2,3 вольт

Видеосигнал должен быть восстановлен по постоянной составляющей тока из диапазона 2В – 3В в диапазоне от 1В до 2В. Настройка AD9280 производится, для входного диапазона на 1В с входным диапазоном от 1В до 2В (см рис.24), установкой напряжения на выводе CLAMPIN 1В от внешнего ИОН или вывод CLAMPIN напрямую подключается к REFBS. CLAMP импульс может быть применен во время синхроимпульса, или во время спада отсекает синхросигнал ниже минимального входного напряжения AD9280. При времязадающей цепи $C_{in} = 1\text{мкФ}$ и $R_{in} = 20R$ необходимо установить уровень входного сигнала постоянного тока на 1В с точностью 1 мВ за временной интервал около 140 мс, предполагая, что полный $1В=V_c$. При емкости $C_{in}=1\text{ мФ}$, спад горизонтали можно рассчитать:

$$I_{bias} = 22\text{ мА, и } t = 63,5\text{ мс,}$$

так что $dV = 1,397\text{ мВ}$, что составляет менее одного LSB.

После того, как входной конденсатор зарядился, ширина импульса восстановления должна быть достаточно широким, чтобы скорректировать небольшие ошибки установок напряжения, такие как спад и пр. Наилучшие пределы установочных значений для восстанавливающей цепи приведены в табл. II. В зависимости от требуемой точности, необходимая ширина импульса CLAMP 1мс-3мс сможет работать в большинстве схем. Уровень OFFSET не учитывает смещение от усилителя восстановления. Схема просто сравнивает выходной код с "окончательным значением", измеренной с гораздо большей длительностью импульса CLAMP.

Table II.

CLAMP	OFFSET
8 μs	<1 LSB
4 μs	<2 LSBs
3 μs	2 LSBs
2 μs	5 LSBs
1 μs	9 LSBs

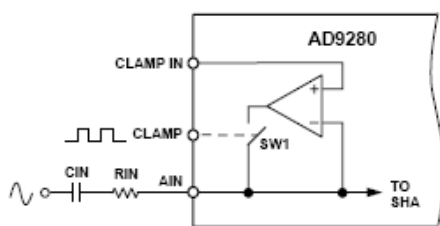


Figure 24a. Clamp Operation

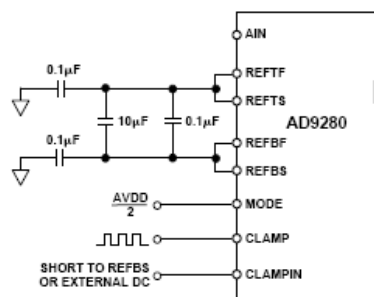


Figure 24b. Video Clamp Circuit

Работа аналогового входа.

На рис. 25 показана эквивалентная аналоговый вход AD9280, усилитель входного и образцового сигнала (на входе которого включены конденсатор SHA). Поступающие тактирующие импульсы на входе CLK по низкому логическому уровню включает S1 и S2 и размыкает S3. Источник входного сигнала, подключенный к AIN, заряжает конденсатор CH в течение тактового периода. Когда на входе CLK появляется лог «1» S1 и S2 размыкаются и буфер SHA переходит в режим хранения входного сигнала. После этого S3 замыкается, выдавая на выход операционного усилителя напряжение, сохраненное на CH. Когда на тактирующем выводе CLK логическая «1» переходит в «0», S3 открывается первым. Переключатели S1 и S2 закрыты, устанавливая SHA в режиме трека.

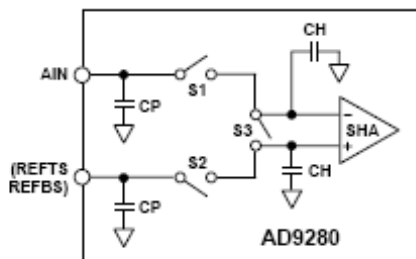


Figure 25. AD9280 Equivalent Input Structure

Структура ввода SHA имеет определенные требования по источнику входного сигнала. Сумма емкостей контактного монтажа, CP и удерживающей емкости CH, как правило, должно не превышать 5 пФ. Источник входного сигнала должен заряжать или разряжать эту емкость за половину тактового цикла для 8-битовой точностью. Когда SHA переходит в режим трека, источник входного сигнала должен успеть перезарядить конденсатор CH от уже хранящегося на CH к новому напряжению. В противном случае, для правильного измерения напряжения на входе,

источник входного сигнала должен быть по входу AIN рассчитан на нагрузку через R_{ON} (50 Ом) S1 и быстро (в течение 1/2 тактового периода) перезаряжаться. Данная схема реализует низкоомное согласование входной цепи и источника сигнала. С другой стороны, когда напряжение источника равно значению, предварительно сохраненную на СН, то запоминающий конденсатор не требует входного тока и эквивалентный входной импеданс очень высок.

Добавление последовательного сопротивления между выходом источника и входом AIN снижает требования к выходному каскаду внутри источника сигнала. Рис.26 показывает эту конфигурацию. Сопротивление резистора определяется необходимой пропускной способностью по току или по расчету переходной цепи (исключая заметные искажения сигнала). По спецификации листа технических данных, резистор должен быть ограничен до 20 Ом или менее. Для схем с сигналом шириной полосы менее 16 МГц, пользователь может сам устанавливать размер последовательного резистора. В качестве альтернативы, добавление шунта емкости между входом AIN и аналоговой землей может понизить сопротивление нагрузки по переменному току. Величина этой емкости будет зависеть от сопротивления источника и требуемой ширины полосы сигнала.

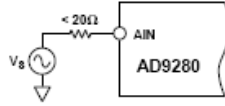


Figure 26. Simple AD9280 Drive Configuration

Диапазон входного сигнала AD9280 определяется подключением опорного напряжения. Для получения более подробной информации относительно входного диапазона, смотрите разделы внутреннего и внешнего подключения ИОН.

Во многих случаях, особенно при работе с однополярным питанием, связь по переменному току предлагает удобный способ смещения аналогового входного сигнала на соответствующий диапазон сигнала. На рис. 27 показана типичная конфигурация для переменного тока, соединяющего аналоговый входной сигнал на AD9280. Соответствие технических характеристик, изложенных в паспорте, требует тщательного подбора значений компонентов. Наиболее важным является значение F_{-3dB} угловой частоты. Это является функцией R2 и параллельное сочетание C1 и C2. Точка F_{-3dB} может быть аппроксимирована уравнением:

$$f_{-3dB} = 1/(2 \times \pi \times [R2] C_{EQ})$$

где C_{EQ} является параллельное соединение C1 и C2.

Обратите внимание, что C1, как правило, большой емкости электролитический или танталовый конденсатор, который становится индуктивным на высоких частотах. Добавление небольшого керамического или полистирольного конденсатора (порядка 0,01 мкФ), который не будет индуктивным эквивалентом на высоких частотах и поддерживает низкий импеданс в широком диапазоне частот. Примечание: по переменному току входные сигналы также могут быть сдвинуты к желаемому уровню на внутреннем восстановителе AD9280. См CLAMP функции.

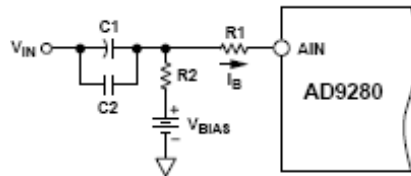


Figure 27. AC Coupled Input

Есть дополнительные соображения при выборе значения резистора. Конденсаторы AC-сцепные интегрируют переходные процессы коммутации, присутствующие на входе AD9280 и привести к чистому току смещения постоянного тока, I_B , чтобы течь на вход. Величина тока смещения возрастает по мере величина сигнала отклоняется от V_{CP} и увеличения тактовой частотой; т.е. минимальный ток смещения потока при $A_{IN} = V_{СЕРЕДИНА}$. Этот ток смещения приведет к ошибке смещения части $(R1 + R2) I_B$. Если необходимо, чтобы компенсировать эту ошибку, рассмотреть вопрос о внесении R2 пренебрежимо мал или модификации V_{bias} для учета результирующего смещения. В системах, которые должны использовать по постоянному току соединения, использовать OY для LevelShift заземленного сигнала выполнить требования на вход AD9280. На рис.28 показан OY на м/с AD8041, настроенный в режиме неинвертирующего.

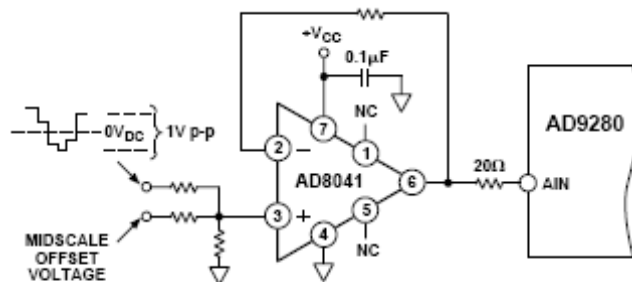


Figure 28. Bipolar Level Shift

Дифференциальный вход - измерение.

AD9280 будет принимать дифференциальные входные сигналы. Эта функция могут быть использованы замыканием выводов REFTS и REFBS и подключения к ним в качестве одного контакта дифференциального сигнала (второй вход - AIN). В приведенной ниже конфигурации AD9280 принимает сигнал в диапазоне 1В. Смотри рис.29.

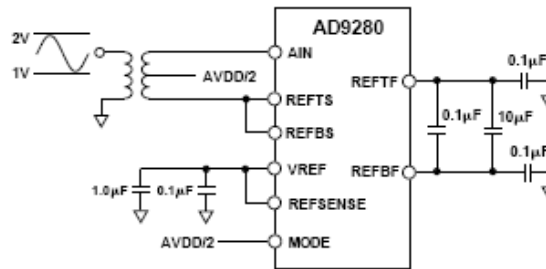


Figure 29. Differential Input

AD876-8 РЕЖИМ РАБОТЫ.

AD9280 может работать в формате AD876-8. Это дает возможность использовать АЦП как AD876-8, при этом воспользоваться меньшей потребляемой мощностью, реализованной при запуске AD9280 на 3,0 V аналогового питания. На рис. 30 показана конфигурация включения функции AD876-8 в D9280. Заземление вывода REFSENSE и отрыв вывода MODE переводит AD9280 в режим внешнего ИОН. Внешнего опорного сигнала для AD876-8 теперь будут размещены на опорных выводах AD9280. Элементы управления CLAMP будут заземлен в режиме AD876-8. AD9280 имеет задержку 3 тактовых цикла по сравнению с задержкой в 3,5 тактовых цикла AD876-8.

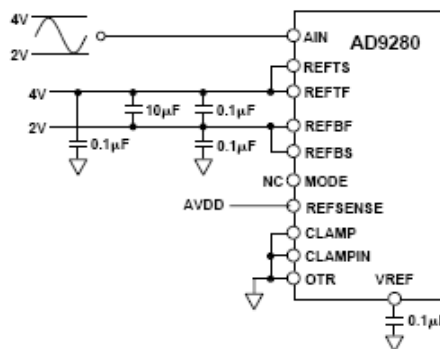


Figure 30. AD876 Mode

Тактовый вход. CLK

AD9280 тактовый вход буферизуется внутренне с ВИП питанием от вывода AVDD. Эта функция позволяет AD9280 работать либо с +5V (TTL и CMOS) или CMOS логики входного сигнала +3,3V устанавливается напряжением на выводе AVDD/2 с порогом входа для вывода CLK номинально. Конвейерная архитектура AD9280 работает на фронте и спаде входного тактового сигнала. Чтобы свести к минимуму задержки тактового цикла рекомендуемая серия логики CMOS (HC / HCT, AC / ACT). КМОП логика обеспечивает как симметричный порог напряжения уровней и достаточное время нарастания и спада, чтобы поддержать скорость 32 MSPS. AD9280 предназначен для поддержки скорости преобразования 32 MSPS, но может работать и на более высоких тактовых частотах, хотя возможно снижение уровня производительности. И наоборот, некоторые незначительные улучшения производительности могут быть реализованы если тактировать AD9280 на более медленных тактовых частотах.

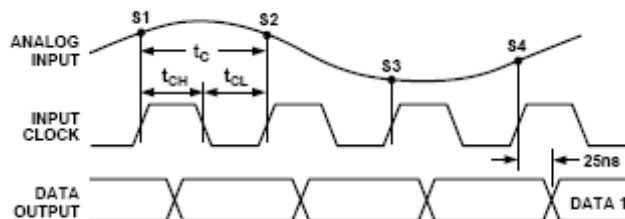


Figure 31. Timing Diagram

Мощность, рассеиваемая выходными буферами в значительной степени пропорциональна тактовой частоте; работает по сниженным ставкам тактовых обеспечивает снижение расхода энергии.

Цифровые входы и выходы.

Каждый из AD9280 цифровых входов управления, с тремя состояниями и STBY даны ссылки на аналоговой земле. Часы также ссылаются на аналоговой земле. Формат цифрового выхода является прямой двоичный (см рисунок 32). Функция «спящий режим» организовывается при условии, что для STBY = логической «1» и тактовые импульсы отключены, статическая мощность AD9280 упадет ниже 5 мВт.

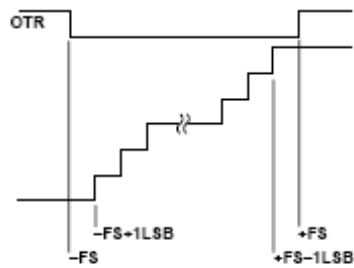


Figure 32. Output Data Format

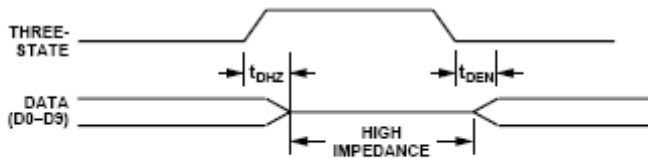


Figure 33. Three-State Timing Diagram

ОБЛАСТИ ПРИМЕНЕНИЯ ПРЯМОГО ПРЕОБРАЗОВАНИЯ С ИСПОЛЬЗОВАНИЕМ AD9280

Выборка отсчетов сигналов ПЧ выше базовой полосы области АЦП (т.е. постоянного тока до $FS/2$) становится все более популярным в коммуникационных устройствах. Этот процесс часто называют прямое преобразование вниз или Undersampling. Есть несколько преимуществ в использовании АЦП иначе (то есть, или смешивать) вниз узкополосный или широкополосный сигнал ПЧ. Прежде всего, это устранение полной стадии смесителя со своими соответствующими усилителями и фильтрами, снижая затраты и потери мощности сигналов. Во-вторых, способность применять различные методы цифровой обработки сигналов для выполнения таких функций, как фильтрация, выбор канала, квадратурной демодуляции, обработки данных, обнаружения и т.д. Подробное обсуждение об использовании этого метода в цифровых приемниках можно найти в Analog Devices Application Notes AN-301 и AN-302.

В устройствах прямое преобразование ПЧ вниз использует присущую процессу дискретизации АЦП, в котором сигнал ПЧ, лежащий вне области основной полосы частот НЧ видеодиапазоне может быть выполнен таким же образом, что смеситель с прямым преобразованием ПЧ вниз. Аналогично построению смесителя с фильтром видеозображения требуется ограничить другие потенциальные мешающие сигналы, а также наложения спектров в основной полосе области преобразования АЦП. Сложность выбора компромиссной схемы состоит в сложности этого исполнения фильтра изображения и частоты дискретизации, а также динамический диапазон АЦП.

AD9280 хорошо подходит для выполнения различных узкополосных ПЧ устройств. AD9280 имеет низкие входные искажения в SNA полной ширины полосы частот, при диапазоне 300 МГц, таким образом, охватывающей многие популярные ПЧ частоты. AD9280, как правило, дают улучшение SNR при настройке диапазона 2В, диапазон 1В обеспечивает оптимальную полномасштабную производительность огибающей сигнала. Кроме того, диапазон 1В снижает требования к производительности схемы драйвера ввода и, таким образом, может быть более практичным для использования в схеме.

На рис.34 показана упрощенная схема на AD9280, настроенного в схеме выборки ПЧ. Чтобы уменьшить сложность цифрового демодулятора во многих схемах квадратурной демодуляции, частота ПЧ и/или частота дискретизации выбираются таким образом, что ограниченный полосой частоты ПЧ сигнал переносится обратно в центр обработки модулирующего сигнала области АЦП (т.е. $FS/4$). Например, если сигнал ПЧ с центром в 45 МГц оцифровывается с 20 MSPS, изображение этого сигнала ПЧ будет перенесено обратно до 5,0 МГц, что соответствует одной четверти частоты дискретизации (т.е. $FS/4$). Этот метод демодуляции, как правило, снижает сложность почтового цифрового демодулятора СИС, который следует за АЦП.

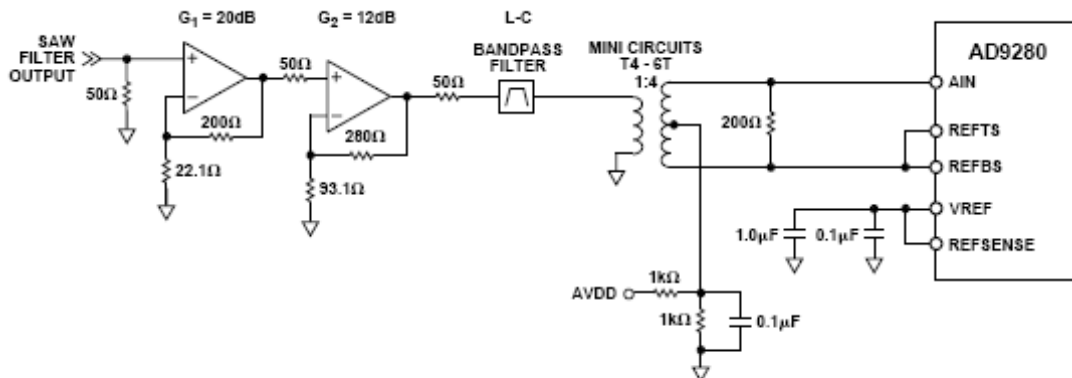


Figure 34. Simplified AD9280 IF Sampling Circuit

Для того, чтобы максимально увеличить его производительность без искажений, AD9280 сконфигурирован в дифференциальном режиме в диапазоне 1В с использованием разделительного трансформатора «1:4». На центральный вывод трансформатора подается напряжение смещения уровня середины диапазона через резисторный делитель. Выполняя функцию полосового фильтра AD9280, также является каскадом усиления +32дБ. Большой коэффициент усиления может потребоваться для компенсации серьезных потерь, вносимых фильтром на ПАВ перед полосовым

фильтром на LC, используемого для вырезки сигнала изображения. Каскад усиления также обеспечит достаточную идеальную развязку между ПАВ фильтра от влияния токов, связанный с входным каскадом AD9280.

Буфер-усилитель может быть реализован с использованием одного или двух каскадов на ОУ AD8009. AD8009 отличается низкой стоимостью, высокая рабочая частота ≤ 1 ГГц, эффективная обратная связь по току. Операционный усилитель, имеющий перехват 3-го порядка характеризуется до 250 МГц. Пассивный полосовой фильтр LC, установленный за AD8009, подавляет помехи и искажения, которые были бы внесены обратно в полосу в AD9280. Кроме того, это уменьшает любой шум вне полосы пропускания, который будет также из-за НЧ шума в полосе пропускания AD9280 в от 220+ МГц. Обратите внимание, реализация полосового фильтра в спецификации зависит от конкретной схемы и будет влиять, как на общее искажение, так и на шумовые характеристики этой схемы.

Искажение и шум АЦП при данной частоте ПЧ заслуживает серьезного внимания при оценке АЦП для применения дискретизации узкополосного сигнала ПЧ. Оба однотонной и двойного тона СПБУ по сравнению с амплитудой очень полезны при оценке АЦП шумовые и вклад шума из-за дрожания апертуры. В любой схеме рекомендуется проверить несколько экземпляров АЦП устройств одной и той же микросхемы в тех же условиях, чтобы оценить зависимость схемы от этого АЦП.

Рисунки 35-38 сочетают в себе двойной тон SFDR, а также один тон SFDR и производительность SNR на ПЧ частотах 45 МГц, 70 МГц, 85 МГц и 135 МГц. Отметим, что по сравнению с СПБУ амплитуда данных приведена к DBFs в то время как данные одного тона SNR приведена к дБс. AD9280 работал в дифференциальном режиме (через трансформатор) с промежуток 1 V. Аналогового питания (AVDD) и цифровой сети (DRVDD) были установлены на +5 В и 3,3 В соответственно.

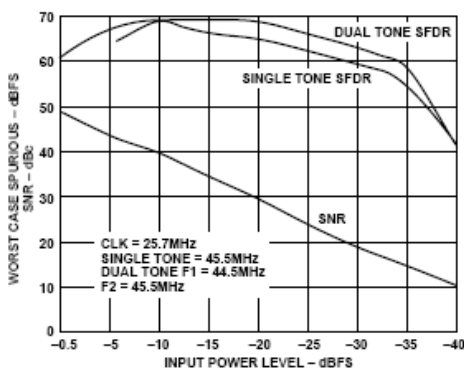


Figure 35. SNR/SFDR for IF @ 45 MHz

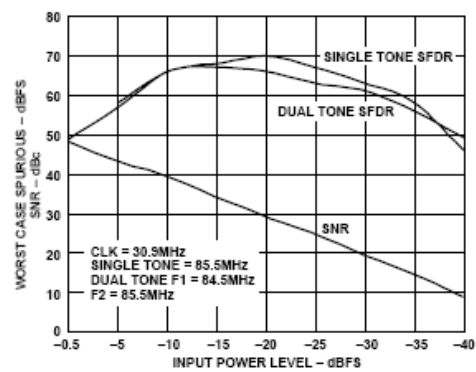


Figure 37. SNR/SFDR for IF @ 85 MHz

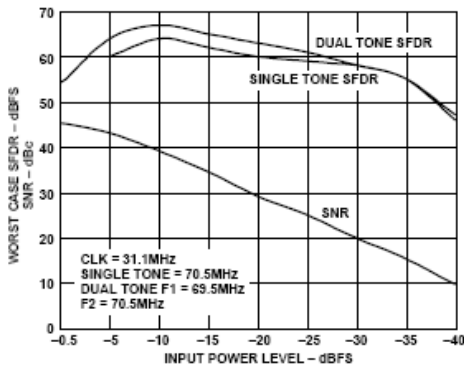


Figure 36. SNR/SFDR for IF @ 70 MHz

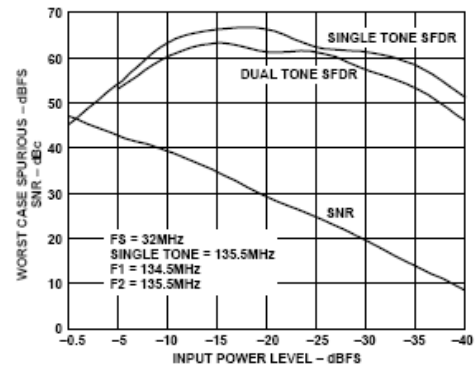


Figure 38. SNR/SFDR for IF @ 135 MHz

Общие шины и обвязка.

Для любого устройства высокой производительности, соответствующие методы заземления и компоновки имеют важное значение для достижения оптимальной производительности. Аналоговые и цифровые заземления (общие шины) на AD9280 были разделены с целью оптимизации управления в системе. Шины заземления должны быть подключены вблизи АЦП. Печатная плата для размещения AD9280 должна быть по меньшей мере, четырех слоев (брэд – достаточно двухслойки с применением экрана на втором слое), с использованием заземленного экрана и отдельного слоя с сигнальными проводниками. Использование земельных и энергетических слоев предлагает явные преимущества:

1. Минимизация площади контура, охватываемой сигналом и его пути возврата.
2. Минимизация полного сопротивления, связанного с наземными и энергетических путей.
3. Присущая распределенная конденсатор, образованный плоскостью питания, изоляции печатных плат и заземления.

Эти характеристики приводят как к снижению электромагнитных помех (EMI) и общему улучшению производительности. Важно разработать схему, которая предотвращает попадание шума от подключений на входной сигнал. Цифровые сигналы не должны проходить параллельно с подводом входного сигнала и должны быть разведены как можно дальше от входной цепи. Отдельные аналоговые и цифровые заземления должны быть соединены вместе непосредственно под микросхемой AD9280 в одной плоскости заземления. Кратко и по существу – разводите плату

надо так чтобы цифровые сигналы не пересекались с аналоговыми, всю цифру блокировать проходными конденсаторами, входные цепи по аналогу как можно короче. В фильтрах питания использовать индуктивности.

Цифровые выходы.

Каждый из буферов на чипе AD9280 для выходных битов (D0-D7) питается от цифрового питания DRVDD, отдельно от AVDD(аналогого). Драйверы вывода имеют разные стандарты, чтобы согласовывать различные логические серии (TTL, CMOS), при нехватке энергии генерируется сигнал ошибки. При любом выборе рекомендуется иметь емкостную нагрузку на каждом выводе на биты данных ≤ 20 пФ. Для DRVDD=5В, AD9280 диапазон выходного сигнала совместим как с высокоуровневой логикой CMOS, так и с TTL. Для работы с TTL логикой, выходные драйверы были предназначены для поддержки нескольких высокоскоростных TTL серий (F, As, S). Для применения, низкоскоростных ≤ 32 MSPS, прочие серии TTL также целесообразны. Для взаимодействия с низкоуровневыми сериями CMOS логики, AD9280 поддерживает работу 32 MSPS с DRVDD=3 В. Для установки интерфейса всегда необходимо проверять спецификацию на совместимость уровней серии микросхем логики.

Выходы с тремя состояниями.

Цифровые выходы AD9280 могут быть помещены в состояние высокого импеданса, установив THREE-STATE вывод в логичекую «1». Эта функция предусмотрена для удобства в схеме испытаний или проверки.

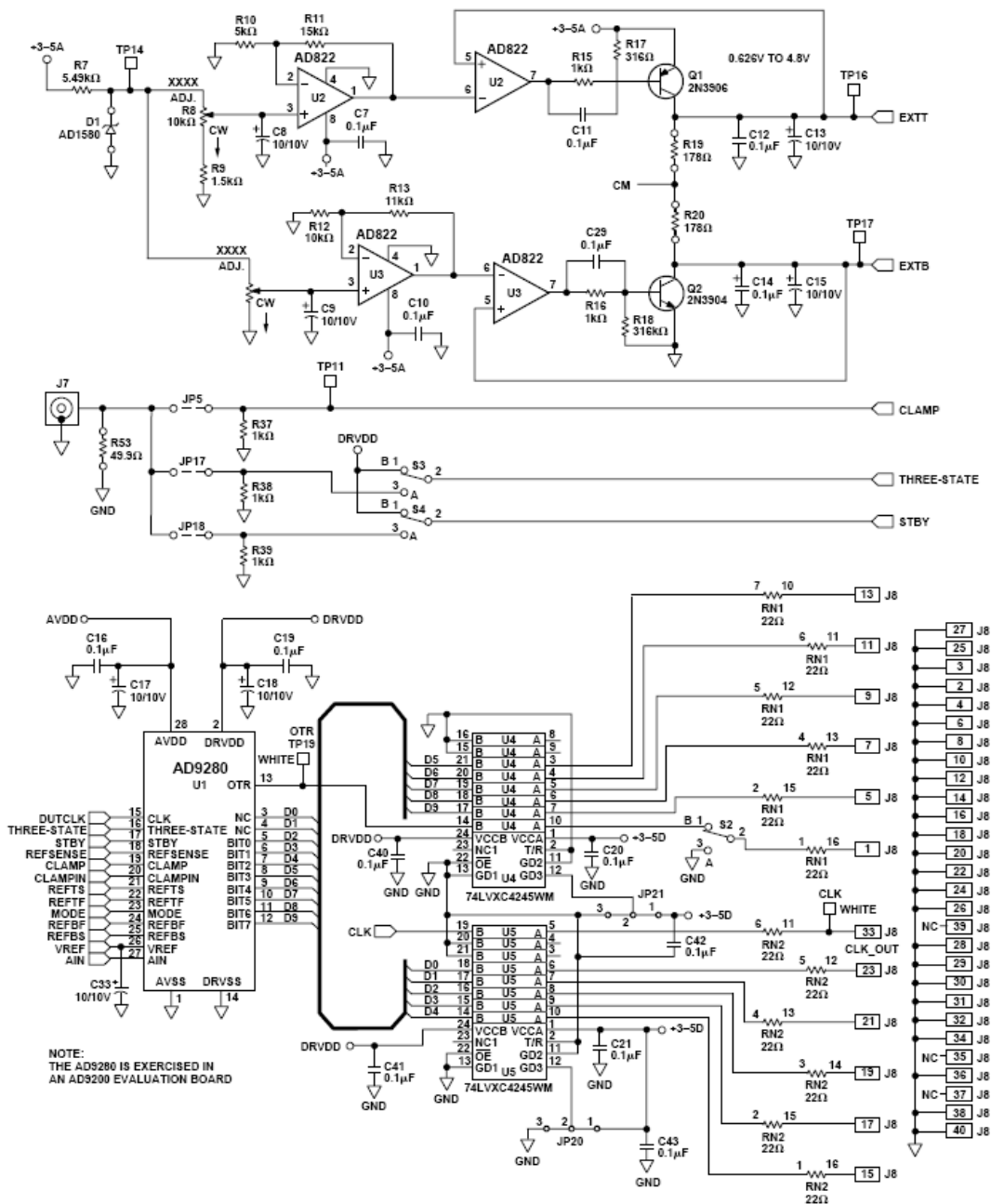


Figure 39a. Evaluation Board Schematic

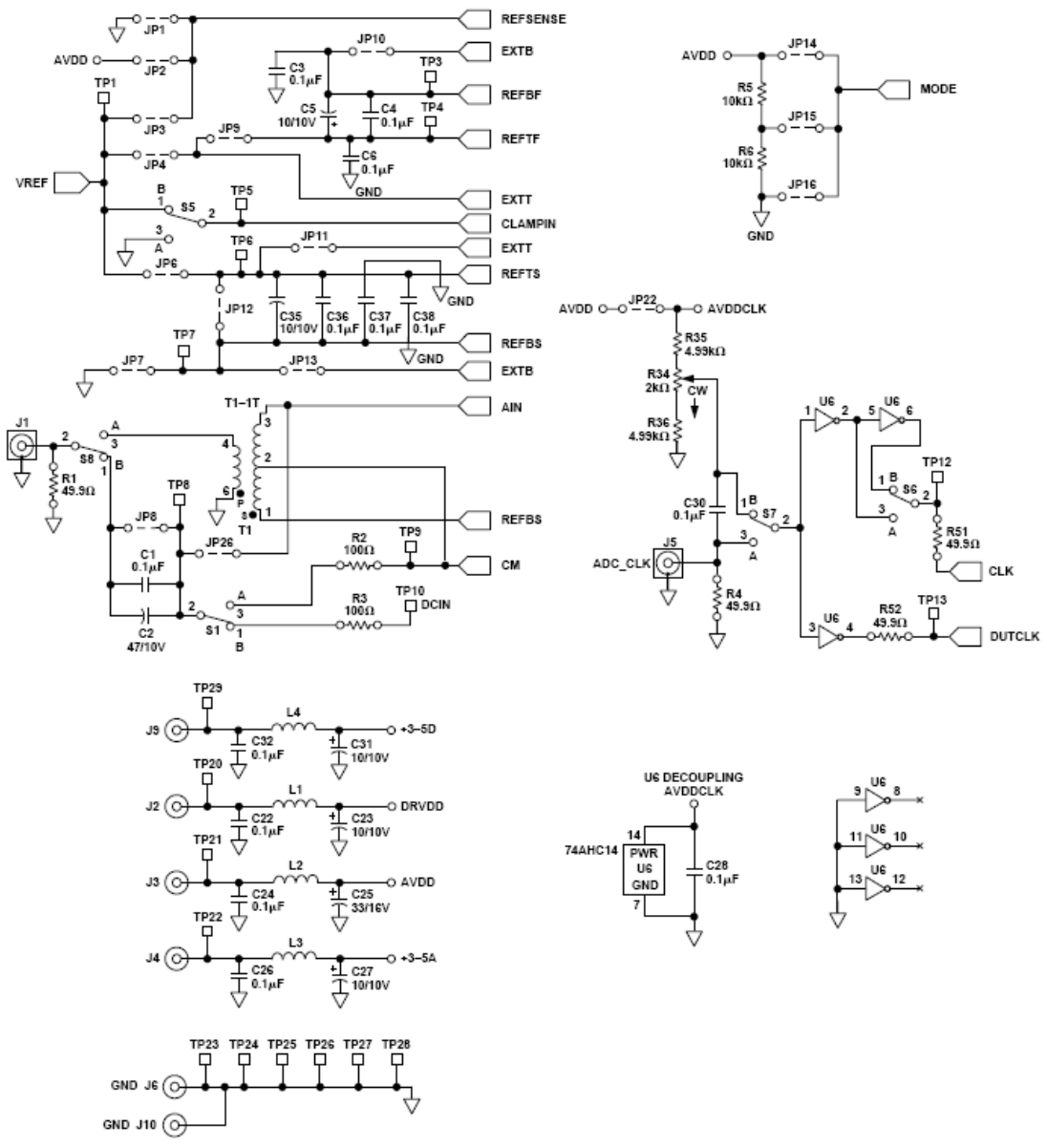


Figure 39b. Evaluation Board Schematic